

用户手册

G32F031x8

G32M3122x8

G32M3114x8

G32M3115x8

基于 **Arm® Cortex®-M0+**内核的 **32 位微控制
器**

版本：V 1.3

目录

1	简介及文档描述规则.....	8
1.1	简介	8
1.2	文档描述规则.....	8
2	系统架构	11
2.1	术语全称、缩写描述.....	11
2.2	F031 系统架构框图	11
2.3	M3114 系统架构框图.....	13
2.4	M3115 系统架构框图.....	14
2.5	M3122 系统架构框图.....	15
2.6	存储器映射	15
2.7	启动引导模式.....	18
3	FLASH 存储器	19
3.1	术语全称、缩写描述.....	19
3.2	主要特征	19
3.3	功能描述.....	20
3.4	寄存器地址映射	24
3.5	寄存器功能描述	24
4	系统配置控制器（SCU）	28
4.1	寄存器地址映射	28
4.2	寄存器功能描述	28
5	复位与时钟控制（RCC）	30
5.1	术语全称、缩写描述.....	30
5.2	复位功能描述.....	30
5.3	时钟管理功能描述	32
5.4	寄存器地址映射	36
5.5	寄存器功能描述	36
6	电源管理单元（PMU）	46
6.1	术语全称、缩写描述.....	46
6.2	简介	46
6.3	结构框图.....	46
6.4	功能描述.....	47

6.5	寄存器地址映射	51
6.6	寄存器功能描述	51
7	嵌套向量中断控制器（NVIC）	56
7.1	术语全称、缩写描述	56
7.2	简介	56
7.3	主要特征	56
7.4	中断和异常向量表	56
8	外部中断与事件控制器（EINT）	58
8.1	简介	58
8.2	主要特征	58
8.3	结构框图	58
8.4	功能描述	59
8.5	寄存器地址映射	60
8.6	寄存器功能描述	61
9	直接存储器存取（DMA）	65
9.1	术语全称、缩写描述	65
9.2	简介	65
9.3	主要特征	65
9.4	结构框图	66
9.5	功能描述	67
9.6	寄存器地址映射	70
9.7	寄存器功能描述	70
10	通用功能输入/输出引脚（GPIO）	78
10.1	术语全称、缩写描述	78
10.2	简介	78
10.3	主要特征	78
10.4	结构框图	79
10.5	功能描述	79
10.6	寄存器地址映射	85
10.7	寄存器功能描述	86
11	高级定时器（ATIMER）	102
11.1	简介	102
11.2	主要特征	102

11.3	结构框图	103
11.4	功能描述	103
11.5	寄存器地址映射	116
11.6	寄存器功能描述	117
12	通用定时器（GTIMER）	137
12.1	简介	137
12.2	主要特征	137
12.3	结构框图	138
12.4	功能描述	138
12.5	寄存器地址映射	151
12.6	寄存器功能描述	152
13	基本定时器（BTIMER）	166
13.1	简介	166
13.2	主要特征	166
13.3	结构框图	167
13.4	功能描述	167
13.5	寄存器地址映射	175
13.6	寄存器功能描述	176
14	低功耗定时器（LPTIMER）	182
14.1	简介	182
14.2	主要特征	182
14.3	结构框图	182
14.4	功能描述	182
14.5	寄存器地址映射	183
14.6	寄存器功能描述	183
15	看门狗定时器（WDT）	185
15.1	独立看门狗	185
15.2	窗口看门狗	186
15.3	IWDT 寄存器地址映射	189
15.4	IWDT 寄存器功能描述	189
15.5	WWDT 寄存器地址映射	190
15.6	WWDT 寄存器功能描述	190
16	通用同步异步收发器（USART/UART）	192

16.1	术语全称、缩写描述.....	192
16.2	简介	192
16.3	主要特征	192
16.4	结构框图	194
16.5	功能描述	194
16.6	寄存器地址映射	209
16.7	寄存器功能描述	209
17	内部集成电路接口（I2C）	220
17.1	术语全称、缩写描述.....	220
17.2	简介	220
17.3	主要特征	220
17.4	结构框图	222
17.5	功能描述	222
17.6	寄存器地址映射	229
17.7	寄存器功能描述	230
18	串行外设接口（SPI）	239
18.1	术语全称、缩写描述.....	239
18.2	简介	239
18.3	主要特征	239
18.4	结构框图	240
18.5	功能描述	240
18.6	寄存器地址映射	248
18.7	寄存器功能描述	248
19	模数转换器（ADC）	252
19.1	简介	252
19.2	主要特征	252
19.3	结构框图	253
19.4	ADC 功能描述	253
19.5	寄存器地址映射	264
19.6	寄存器功能描述	264
20	比较器（COMP）	279
20.1	术语全称、缩写描述.....	279
20.2	简介	279

20.3	主要特征	279
20.4	结构框图	280
20.5	功能描述	280
20.6	寄存器地址映射	281
20.7	寄存器功能描述	281
21	运算放大器（OPAMP）	287
21.1	简介	287
21.2	主要特征	287
21.3	结构框图	287
21.4	寄存器地址映射	289
21.5	寄存器功能描述	289
22	循环冗余校验计算单元（CRC）	291
22.1	简介	291
22.2	主要特征	291
22.3	结构框图	291
22.4	功能描述	292
22.5	寄存器地址映射	292
22.6	寄存器功能描述	293
23	除法器（DIV）	294
23.1	简介	294
23.2	主要特征	294
23.3	寄存器地址映射	294
23.4	寄存器功能描述	294
24	芯片电子签名	296
24.1	产品身份标识（UID）	296
24.2	产品型号标识（PID）	296
25	栅极驱动器（GATE DRIVER）（仅 M3122/M3114/M3115 支持） ..	297
25.1	M3114 简介	297
25.2	主要特征	297
25.3	功能描述	297
25.4	M3115 简介	298
25.5	主要特征	298
25.6	功能描述	299

25.7	M3122 简介	299
25.8	主要特征	299
25.9	功能描述	300
26	版本历史	301

1 简介及文档描述规则

1.1 简介

本参考手册向应用程序开发人员提供关于如何使用 MCU（微控制器）系统架构、存储器和外设所涉及的全部信息。

关于 Arm® Cortex®-M0+内核的相关信息，请参考 Arm® Cortex®-M0+技术参考手册；关于型号信息、尺寸和器件的电气特性等详细数据请参考对应的数据手册（Datasheet）；有关 MCU 系列全部型号中，存储器映射、外设存在情况及其数目请查阅相应的数据手册。

在此说明：珠海极海半导体有限公司，在以下正文中，简称“Geehy”。

1.2 文档描述规则

1.2.1 “寄存器功能描述”规则

- （1）控制类（CTRL）寄存器，未特别说明，都是“软件置 1 和清 0”。
- （2）控制类寄存器后面一般会有动词缩写以作区别，动词可以有：EN-Enable、CFG-Configure、D-Disable、SET-Setup、SEL-Select
- （3）状态类寄存器缩写后面一般会有 FLG 以作区别。
- （4）数值、数据类寄存器，一般会包括 V、VALUE、D、DATA，这些词后面不加动词，比如：xxPSC，CNT，后面一般不添加动词。

1.2.2 术语全称、缩写描述

表格 1 R/W 缩写及描述

R/W	描述	缩写
read/write	软件能读写此位。	R/W
read-only	软件只能读此位。	R
write-only	软件只能写此位，读此位将返回复位值。	W
read/clear	软件可以读此位，也可以通过写 1 清除此位，写 0 对此位无影响。	RC_W1
read/clear	软件可以读此位，也可以通过写 0 清除此位，写 1 对此位无影响。	RC_W0
read/clear by read	软件可以读此位，读此位将自动地清除它为 0，写此位无效。	RC_R
read/set	软件可以读也可以设置此位，写 0 对此位无影响。	R/S
read-only write trigger	软件可以读此位，写 0 或 1 触发一个事件但对此位数值没有影响。	RT_W
toggle	软件只能通过写 1 来翻转此位，写 0 对此位无影响。	T

表格 2 常用寄存器功能描述术语全称、缩写

中文全称	英文全称	英文缩写
使能	Enable	EN
禁止	Disable	D
清除	Clear	CLR
选择	Select	SEL
配置	Configure	CFG
控制	Control	CTRL
控制器	Controller	C
复位	Reset	RST
停止	Stop	STOP
设置	Set	SET
装载	Load	LD
校准	Calibration	CAL
初始化	Initialize	INIT
错误	Error	ERR
状态	Status	STS
准备	Ready	RDY
软件	Software	SW
硬件	Hardware	HW
源	Source	SRC
系统	System	SYS
外设	Peripheral	PER
地址	Address	ADDR
方向	Direction	DIR
时钟	Clock	CLK
输入	Input	I
输出	Output	O
中断	Interrupt	INT
数据	Data	DATA
大小	Size	SIZE
除法器	Divider	DIV
预分频器	Prescaler	PSC
乘法器	Multiplier	MUL

中文全称	英文全称	英文缩写
周期	Period	PRD

表格 3 模块全称、简写

中文全称	英文全称	英文缩写
复位与时钟控制	Reset and Clock Control	RCC
时钟复原系统	Clock Recovery System	CRS
电源管理单元	Power Management Unit	PMU
嵌套向量中断控制器	Nested Vector Interrupt Controller	NVIC
外部中断/事件控制器	External Interrupt /Event Controller	EINT
直接存储器存取	Direct Memory Access	DMA
调试 MCU	Debug MCU	DBG MCU
通用输入/输出引脚	General-Purpose Input Output Pin	GPIO
复用功能输入/输出引脚	Alternate Function Input Output Pin	AFIO
定时器	Timer	TMR
看门狗定时器	Watchdog Timer	WDT
独立看门狗	Independent Watchdog Timer	IWDT
窗口看门狗	Windows Watchdog Timer	WWDT
实时时钟	Real-Time Clock	RTC
通用同步异步收发器	Universal Synchronous Asynchronous Receiver Transmitter	USART
内部集成电路接口	Inter-integrated Circuit Interface	I2C
串行外设接口	Serial Peripheral Interface	SPI
片上音频接口	Inter-IC Sound Interface	I2S
控制器局域网	Controller Area Network	CAN
全速 USB 接口	Universal Serial Bus Full-Speed Device	USBD
HDMI-CEC 控制器	HDMI-CEC Controller	HDMI-CEC
模拟数字转换器	Analog-to-Digital Converter	ADC
数字模拟转换器	Digital-to-Analog Converter	DAC
触摸传感控制器	Touch Sensing Controller	TSC
比较器	Comparator	COMP
循环冗余校验计算单元	Cyclic Redundancy Check Calculation Unit	CRC
运算放大器	Operational Amplifier	OPAMP

2 系统架构

2.1 术语全称、缩写描述

表格 4 术语全称、缩写描述

中文全称	英文全称	英文缩写
高级高性能总线	Advanced High-Performance Bus	AHB
高级外围总线	Advanced Peripheral Bus	APB

2.2 F031 系统架构框图

主系统主要由两个主模块和三个从模块构成。主模块分别是 Arm® Cortex®-M0+ 内核、通用 DMA（2 通道）。从模块分别是内部 SRAM、内部闪存存储器 Flash 和在总线矩阵上的 AHB/APB 桥，其中，AHB/APB 桥连接所有外设设备。

这些都是通过一个多级的 AHB 总线构架相互连接的，如下图所示：

图 1 AHB 总线连接关系

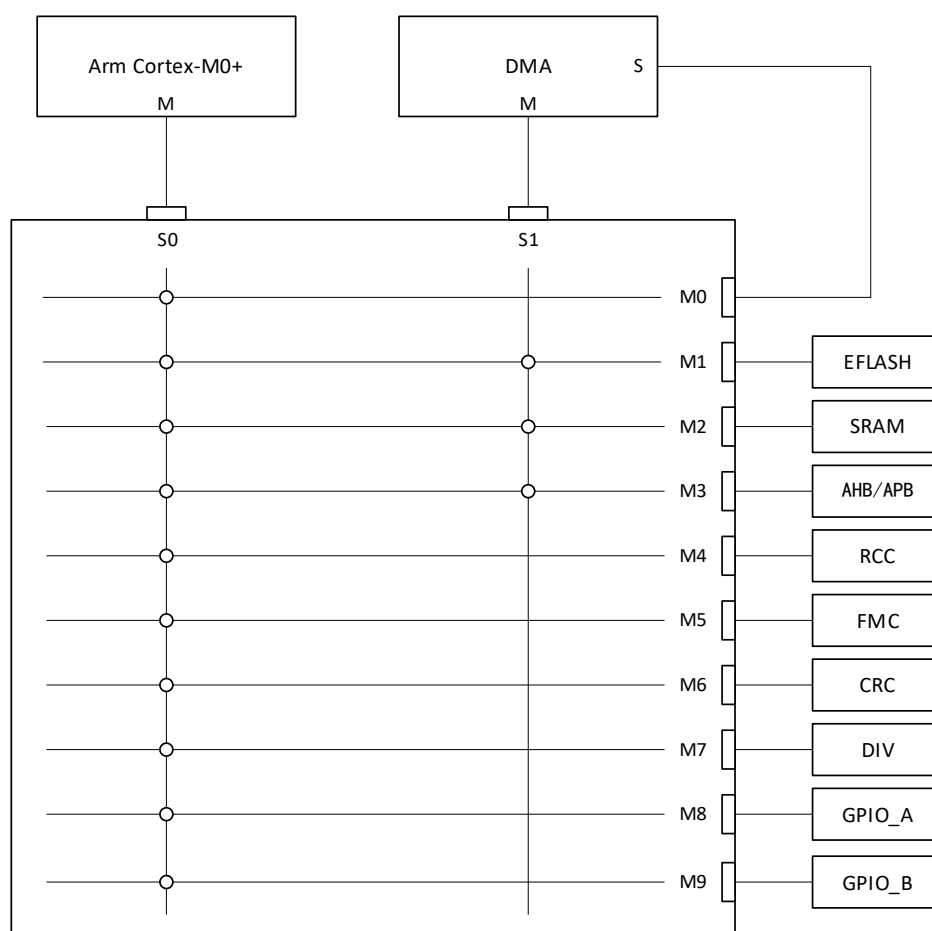
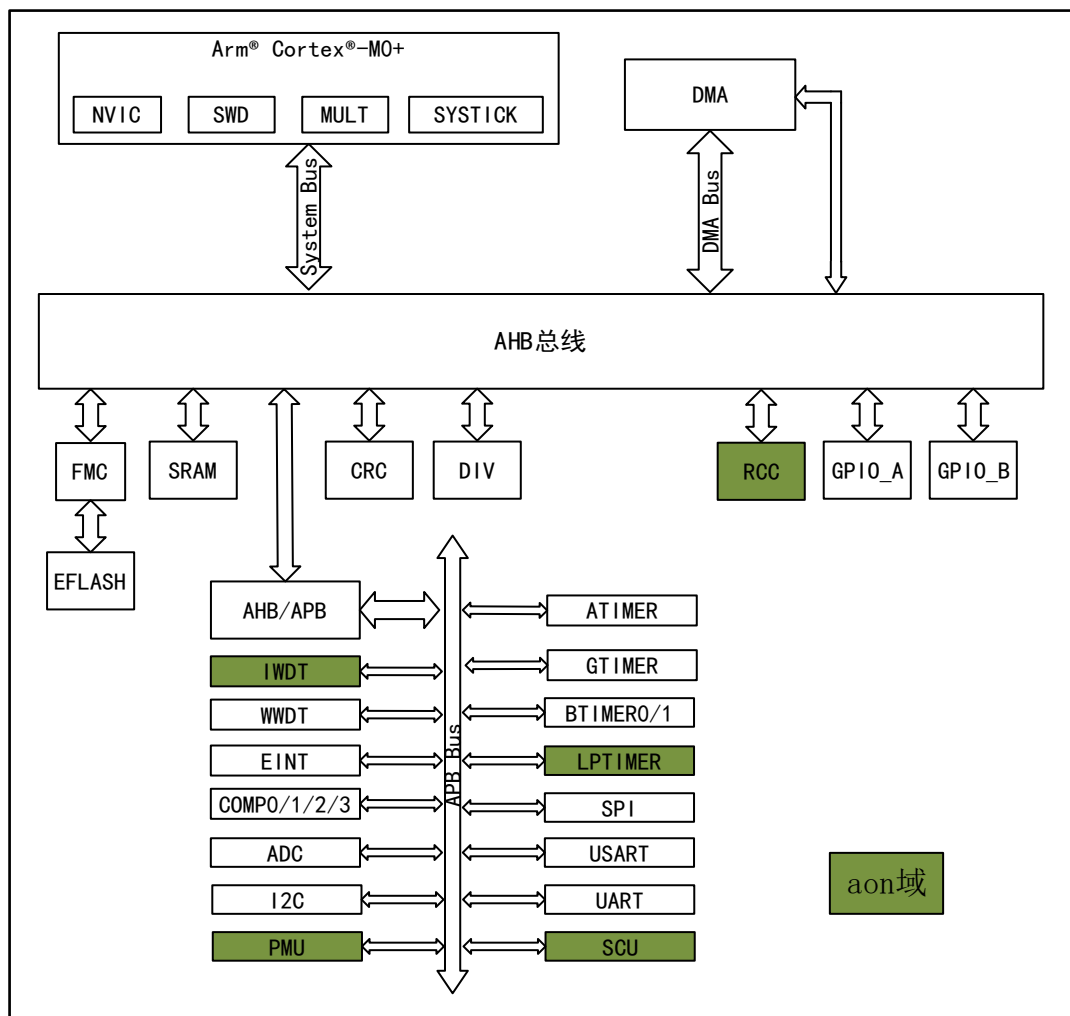
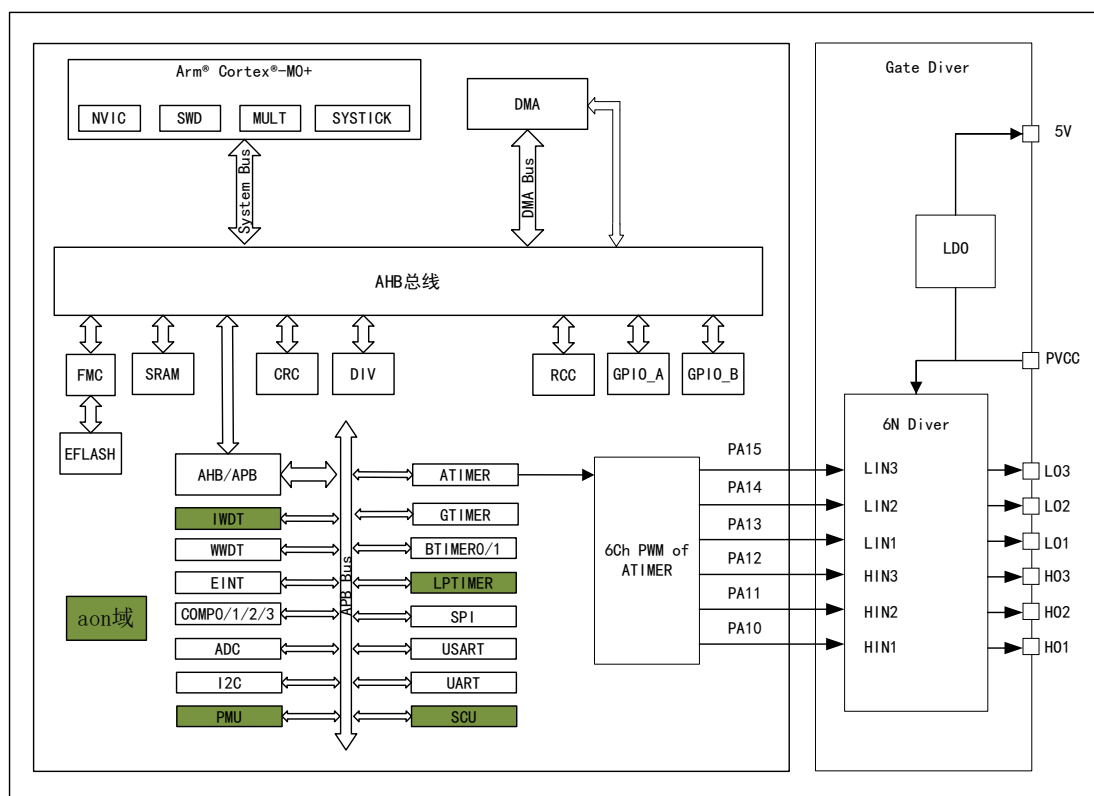


图 2 系统架构框图



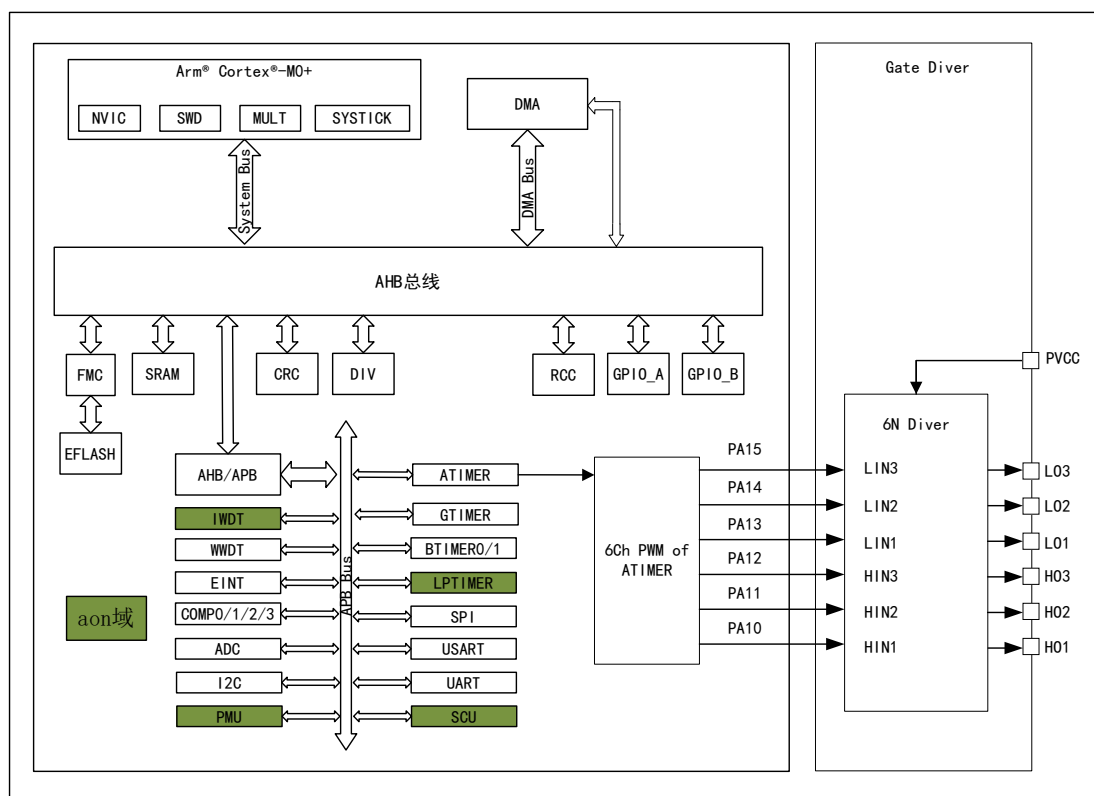
2.3 M3114 系统架构框图

图 3 系统架构框图



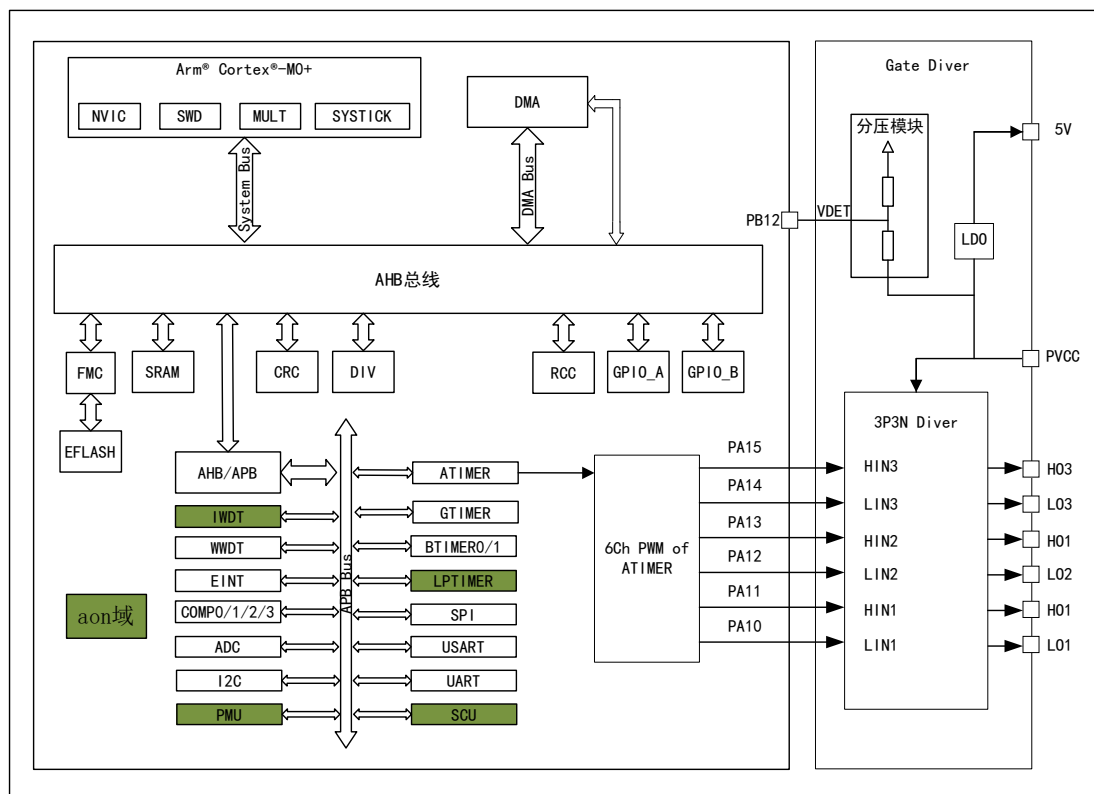
2.4 M3115 系统架构框图

图 4 系统架构框图



2.5 M3122 系统架构框图

图 5 系统架构框图



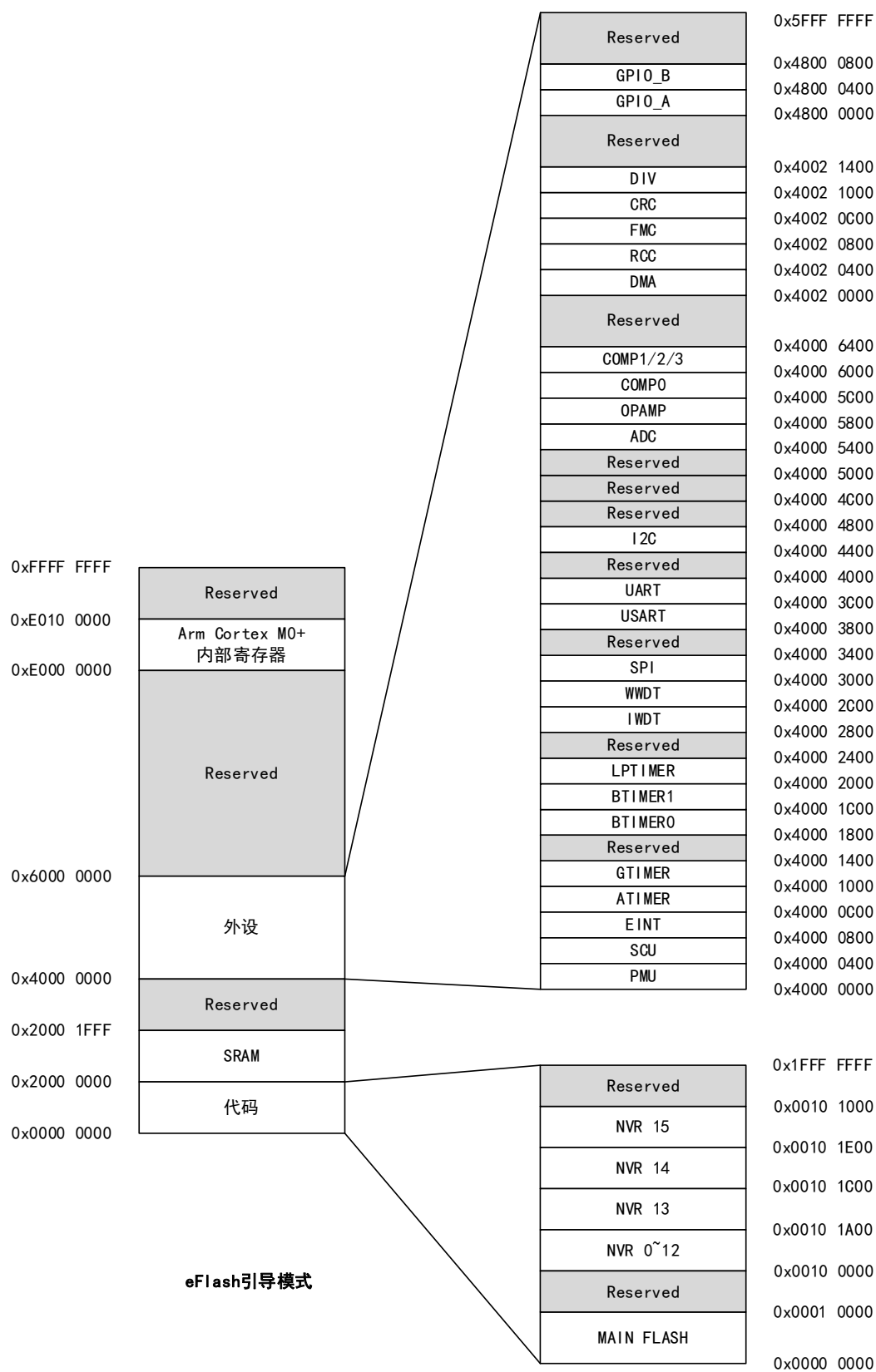
表格 5 总线名称

名称	说明
系统总线	连接 Arm® Cortex®-M0+内核的系统总线（外设总线）与总线矩阵。
DMA 总线	连接 DMA 的 AHB 主控接口与总线矩阵。
总线矩阵	协调内核和 DMA 的访问；由 CPU AHB、系统总线、DMA 总线和 FMC、SRAM 和 AHB1/APB 桥组成。AHB 外设通过总线矩阵与系统总线相连，允许 DMA 访问。
AHB/APB 桥	桥在 AHB 和 APB 总线间提供同步连接。 当对 APB 寄存器进行非 32 位访问时，访问会被自动转换成 32 位。

2.6 存储器映射

存储器映射地址总共是 4GB 地址，分配的地址包括内核（包括内核外设）、片上 Flash（包括主存储区、用户区）、片上 SRAM、总线外设（包括 AHB、APB 外设）。

图 6 地址映射



表格 6 存储器地址分配

模块	名称	地址范围	大小（字节）
保留	-	0x2000 2000 - 0x3FFF FFFF	~512 MB
SRAM	-	0x2000 0000 - 0x2000 1FFF	8 KB
保留	-	0x0010 2000 - 0x1FFF FFFF	~510MB
NVR 15（厂商区）	-	0x0010 1E00 - 0x0010 1FFF	512 B
NVR 14（厂商区）	-	0x0010 1C00 – 0x0010 1DFF	512 B
NVR 13（用户选项区）	-	0x0010 1A00 – 0x0010 1BFF	512 B
NVR 0~12（Bootloader 区）	-	0x0010 0000 – 0x0010 19FF	6.5 KB
MAIN FLASH	sector 127	0x0000FE00 - 0x0000FFFF	512 B
	sector 126	0x0000FC00-0x0000FDFF	512 B
	sector 125	0x0000FA00-0x0000FBFF	512 B
	sector 124	0x000F800-0x0000F9FF	512 B
	...	...	...
	sector 2	0x00000400-0x000005FF	512 B
	sector 1	0x00000200-0x000003FF	512 B
	sector 0	0x00000000-0x000001FF	512 B

表格 7 外设寄存器地址分配

总线	外设	地址范围	大小（字节）
-	Cortex®-M0+ internal peripherals	0xE000 0000 - 0xE00F FFFF	1MB
-	保留	0x4800 0800 - 0x5FFF FFFF	383 MB
AHB	GPIO_B	0x4800 0400 - 0x4800 07FF	1 KB
	GPIO_A	0x4800 0000 - 0x4800 03FF	1 KB
-	保留	0x4002 1400 - 0x47FF FFFF	127MB
AHB	DIV	0x4002 1000 - 0x4002 13FF	1 KB
	CRC	0x4002 0C00 - 0x4002 0FFF	1 KB
	FMC	0x4002 0800 - 0x4002 0BFF	1 KB
	RCC	0x4002 0400 - 0x4002 07FF	1 KB
	DMA	0x4002 0000 - 0x4002 03FF	1 KB
-	保留	0x4000 8000 - 0x4001 FFFF	96KB
APB	保留	0x4000 6400 - 0x4000 7FFF	7 KB
	COMP1	0x4000 6000 - 0x4000 63FF	1 KB
	COMP0	0x4000 5C00 - 0x4000 5FFF	1 KB
	OPAMP	0x4000 5800 - 0x4000 5BFF	1 KB
	ADC	0x4000 5400 - 0x4000 57FF	1 KB

总线	外设	地址范围	大小（字节）
	保留	0x4000 5000 - 0x4000 53FF	1 KB
	保留	0x4000 4C00 - 0x4000 4FFF	1 KB
	保留	0x4000 4800 - 0x4000 4BFF	1 KB
	I2C	0x4000 4400 - 0x4000 47FF	1 KB
	保留	0x4000 4000 - 0x4000 43FF	1 KB
	UART	0x4000 3C00 - 0x4000 3FFF	1 KB
	USART	0x4000 3800 - 0x4000 3BFF	1 KB
	保留	0x4000 3400 - 0x4000 37FF	1 KB
	SPI	0x4000 3000 - 0x4000 33FF	1 KB
	WWDT	0x4000 2C00 - 0x4000 2FFF	1 KB
	IWDT	0x4000 2800 - 0x4000 2BFF	1 KB
	保留	0x4000 2400 - 0x4000 27FF	1 KB
	LPTIMER	0x4000 2000 - 0x4000 23FF	1 KB
	BTIMER1	0x4000 1C00 - 0x4000 1FFF	1 KB
	BTIMER0	0x4000 1800 - 0x4000 1BFF	1 KB
	保留	0x4000 1400 - 0x4000 17FF	1 KB
	GTIMER	0x4000 1000 - 0x4000 13FF	1 KB
	ATIMER	0x4000 0C00 - 0x4000 0FFF	1 KB
	EINT	0x4000 0800 - 0x4000 0BFF	1 KB
	SCU	0x4000 0400 - 0x4000 07FF	1 KB
	PMU	0x4000 0000 - 0x4000 03FF	1 KB

2.6.1 嵌入式 SRAM

内置 8KB 的静态 SRAM。它可以以字节、半字（16 位）或全字（32 位）访问。SRAM 的起始地址是 0x2000 0000。

2.7 启动引导模式

芯片由主存储器启动（MAIN FLASH）启动。主存储器被映射到启动空间，但仍然能够在它原有的地址访问它，即闪存存储器的内容可以在两个地址区域访问。

3 Flash 存储器

该手册仅适用于 G32F031/M3122/M3114/M3115 系列产品，主要介绍 Flash 的存储结构、读、擦、写、读/写保护、解锁/锁定特性及涉及到的寄存器功能描述。

3.1 术语全称、缩写描述

表格 8 术语全称、缩写描述

中文全称	英文全称	英文缩写
嵌入式闪存	Embedded Flash	EFLASH
闪存存储器控制器	Flash Memory Controller	FMC

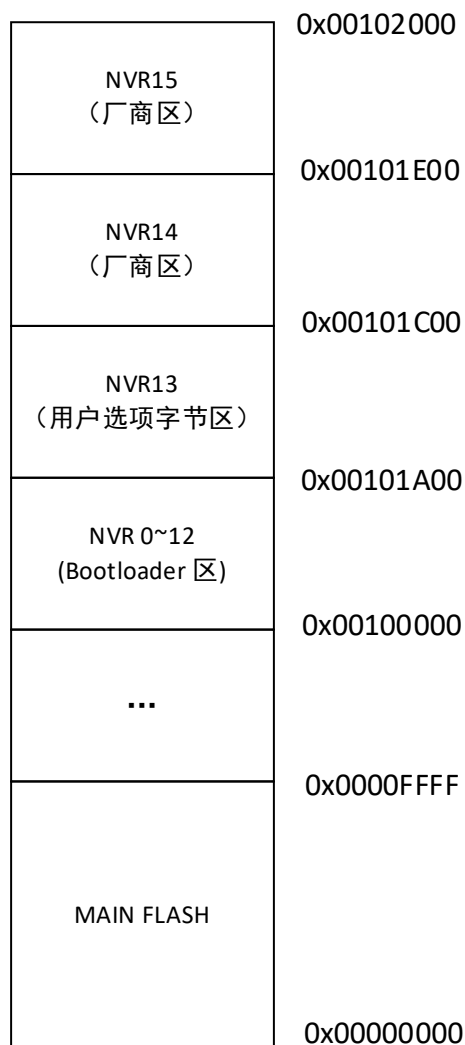
3.2 主要特征

- (1) 主区 64KB，NVR4KB，位宽 64bit
- (2) 支持读、写、擦除、读写保护
- (3) 支持解锁/锁定功能
- (4) 擦写时会拉低总线
- (5) 区域访问权限可配，寄存器可读分区的权限状态
- (6) 软件触发选项字节重加载
- (7) 擦写访问越界时触发硬件错误中断
- (8) 读访问越界时，配置 read_protect 时会有读保护，返回 0xA5A5A5A5
- (9) 配置 read_protect 时，SWD 访问 MAIN FLASH 区域任意地址，都会有读保护，返回 0xA5A5A5A5
- (10) 在 OPT 中配置 read_protect 下，SWD 访问 SRAM，可以产生 flash 全擦
- (11) 电压低于 2V，不可擦写 FLASH
- (12) 只支持 32 位擦写操作

3.3 功能描述

3.3.1 存储区地址映射

图 7 存储区地址映射



3.3.2 用户选项字节区（NVR13）

地址 0x00101A00 ~ 0x00101BFF 为 NVR13 用户选项字节区，其中部分地址具有特殊功能，如下表所示：

表格 9 用户选项字节区（NVR13）

地址	名称	位宽	R/W	描述
0x00101BE8	SYS_REMAP	32-bit	R/W	芯片上电从 BOOT 区或者 MAIN 区启动选择 0x55AAAA55: 从 MAIN 区启动 其他值: 从 BOOT 区启动
0x00101BEC	SWD_DISABLE	32-bit	R/W	SWD 访问 flash 权限

地址	名称	位宽	R/W	描述
				0x89BC3F51: 禁止 SWD 访问功能, 即禁止 SWD 访问 FLASH, 包括读擦写。 0x5389BCEA: 禁止 SWD 读 FLASH 功能, 但不禁止 SWD 擦写 FLASH 功能。 其他值: SWD 权限不受限制
0x00101BF0	READ_PROTECT	32-bit	R/W	MAIN FLASH 区读保护 0x89BC3F51: 在用户模式下 (从用户 FLASH 自举) 执行的代码时: 可对 MAIN FLASH 区执行所有操作。 1、代码从系统存储器自举或执行时: 禁止对 Flash main 区进行读访问或写访问, 并触发总线错误 hardfault 中断。 2、用 JTAG 接口访问 SRAM 时, 会自动擦除 MAIN 区。 3、SWD 正在连接时, 禁止读 FLASH。 其它值: 无保护
0x00101BF4	FLASH_CRYPT_EN	32-bit	R/W	flash 加解密开关 0x55AAAA55: 加解密使能 其它值: 无加解密模式
0x00101BF8	PRIVATE_KEY	32-bit	R/W	加解密密钥 0xFFFFFFFF: 客户未写, 将采用默认密钥 0x1122AABB 其他值: 由客户写入
0x00101BFC	OTPC_EN	32-bit	R/W	OTP 配置使能 0x55AAAA55: 只允许读 其它值: 可以任意访问

3.3.3 厂商区 (NVR14/NVR15)

地址 0x00101C00 ~ 0x00101DFF 为 NVR14 厂商区, 其中部分地址具有特殊功能, 如下表所示:

表格 10 厂商区 (NVR14)

地址	名称	位宽	R/W	描述
0x00101C08	VDD1.5V 实测值	32-bit	R	VDD1.5V 实测值(单位:mV)
0x00101C0C	HSI 实测值	32-bit	R	HSI 64MHz 实测值(单位:Hz)
0x00101C10	LSI 实测值	32-bit	R	LSI 32.768K 实测值(单位:Hz)
0x00101C14	Vsensor_CAL	32-bit	R	Tsensor 常温校准值, 在 25℃ 温度, VDD5=5V 下采集的原始数据。
0x00101C1C	VBG 实测值	32-bit	R	内置参考电压 VBG, 在 25℃ (±5℃)温度, VDD5=5V(±10mV)下采集的原始数据。 (注: V _{BG} 实测值在存储地址上的值与 ADC 通过内部通道获取的值 V _{BG} 存在一个转换关系, V _{BG} 实测值=1.2498* V _{BG})

地址	名称	位宽	R/W	描述
0x00101D80	产品型号标识 PID	16-bit	R	产品型号标识 PID 用来唯一标识一个具体的芯片型号、版本等信息的组合。详细信息见“24.2 产品型号标识”章节。

地址 0x00101E00 ~ 0x00101FFF 为 NVR15 厂商区，其中部分地址具有特殊功能，如下表所示：

表格 11 厂商区（NVR15）

地址	名称	位宽	R/W	描述
0x00101E88	UID0	32-bit	R	详细信息见“24.1 产品身份标识”章节内容
0x00101E8C	UID1	32-bit	R	详细信息见“24.1 产品身份标识”章节内容
0x00101E90	UID2	32-bit	R	详细信息见“24.1 产品身份标识”章节内容

3.3.4 FMC 主要功能

- EFLASH 的读写保护处理
- 实现 MCU 与 EFLASH 之间的读写数据
- 对 EFLASH 支持扇擦除和全擦除
- Main 数组支持扇擦除和全擦除
- 用户选项区只支持扇擦除
- 上电后自动加载初始化信息

3.3.5 数据加密功能

MAIN FLASH 区数据有加密功能，根据选项字节区加载的 FLASH_CRYPT_EN 使能信号，和异或加密因子 PRIVATE_KEY，决定是否加密。

- FLASH_CRYPT_EN = 0x55AAAA55 加密使能，其他值无加密。
- PRIVATE_KEY=0xFFFFFFFF 则表示用户未写，将采用默认密钥 0x1122AABB，其他值客户写入。

3.3.6 预取功能

当系统上电后，自动开启预取功能。可以通过配置寄存器预取使能关闭预取功能，当发生复位后，会清理掉预取缓存。

3.3.7 使用说明

3.3.7.1 EFLASH 解锁

表格 12 解锁码

	MAIN FLASH	Trim 用户区(NVR13)
KEY0	0xABCD6789	0x33AADD55
KEY1	/	0xEDCC1F55

Flash 擦写前须进行解锁，当写入错误解锁码，会有解锁错误状态，并产生相应中断。在 Flash Key 解锁错误之后将禁止擦写 Flash，可以通过系统复位或在重新写入正确的解锁码后清除错误状态来解锁擦写。而在正常擦写完成后，向 KEY

寄存器写入任意值（非解锁码）返回初始的关闭解锁状态。解锁码具体描述见寄存器 FMC_MKEY、FMC_NVRKEY 内容。

3.3.7.2 EFLASH 擦除

表格 13 不同区域的擦除方式

MAIN FLASH	用户选项字节区（NVR13）
Chip/Sector	Sector

MAIN FLASH 区 chip 擦除

该操作只针对 main 区域，步骤如下：

- （1） 向 FMC_MKEY 写解锁序列，解锁 FLASH 的 Main 区域
- （2） 置 FMC_CR->OPERATE 为 0x10(Chip Erase)
- （3） 往 FLASH-Main 区任意地址写入 0xA5A5（可以任意值）
- （4） 检测 FMC_SR->BUSYFLG 位归零，或者 FMC_SR->OPENDFLG 置 1

MAIN FLASH 区 sector 擦除

该操作只针对 main 区域，步骤如下：

- （1） 向 FMC_MKEY 写解锁序列，解锁 FLASH 的 Main 区域
- （2） 置 FMC_CR->OPERATE 为 0x01(Sector Erase)
- （3） 往 FLASH-Main sector 区任意地址写入 0xA5A5（可以任意值）
- （4） 检测 FMC_SR->BUSYFLG 位归零，或者 FMC_SR->OPENDFLG 置 1

用户选项字节区（NVR13）sector 擦除

该操作只针对 NVR13 区域，步骤如下：

- （1） 向 FMC_NVRKEY 写解锁序列，解锁 FLASH 的用户选项字节区（NVR13）区域
- （2） 置 FMC_CR->OPERATE 为 0x01(Sector Erase)
- （3） 往用户选项字节区（NVR13）sector 区任意地址写入 0xA5A5（可以任意值）
- （4） 检测 FMC_SR->BUSYFLG 位归零，或者 FMC_SR->OPENDFLG 置 1

3.3.7.3 EFLASH 编程

EFLASH 每次编程为 1 个 32bit 的数据。

MAIN FLASH 区 write 编程

该操作只针对 mian 区域，步骤如下：

- (1) 向 FMC_KEY 写解锁序列，解锁 FLASH 的 mian 区域
- (2) 置 FMC_CR->OPERATE 为 0x11(write)
- (3) 往 MAIN FLASH 区任意地址写入数据
- (4) 检测 FMC_SR->BUSYFLG 位归零，或者 FMC_SR->OPENDFLG 置 1

用户选项字节区 (NVR13) write 编程

该操作只针对用户选项字节区 (NVR13)，步骤如下：

- (1) 向 FMC_NVRKEY 写解锁序列，解锁 FLASH 的用户选项字节区 (NVR13)
- (2) 置 FMC_CR->OPERATE 为 0x11(write)
- (3) 往用户选项字节区 (NVR13) 任意地址写入 32 位数据
- (4) 检测 FMC_SR->BUSYFLG 位归零，或者 FMC_SR->OPENDFLG 置 1

3.4 寄存器地址映射

表格 14 FLASH 寄存器地址映射

寄存器名	描述	偏移地址
FMC_WKEY	写保护寄存器	0x00
FMC_MKEY	解锁 MAIN 区的关键字寄存器	0x04
FMC_NVRCKEY	解锁 NVRC 区的关键字寄存器	0x0C
FMC_CR	控制寄存器	0x14
FMC_IER	中断使能寄存器	0x18
FMC_SR	状态寄存器	0x1C
FMC_CR1	控制寄存器 1	0x20

3.5 寄存器功能描述

3.5.1 写保护寄存器 (FMC_WKEY)

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:1			保留

位/域	名称	R/W	描述
0	WKEY	R/W	Flash 寄存器写保护寄存器（Flash register write protect register） 写入合法 KEY 序列，写入 0x3399AA55 为解锁状态，其余寄存器可写。 写任意值可关闭解锁，写 0 上锁。 0：未解锁 1：解锁

3.5.2 解锁 MAIN 区的关键字寄存器（FMC_MKEY）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	MKEY	R/W	MAIN FLASH 区擦写 Key 输入寄存器（MAIN FLASH area erase Key input register） 写入合法 KEY 序列，写入 0xABCD6789 为解锁状态，其余寄存器可写。 写任意值可关闭解锁，写 0 上锁。 0：未解锁 1：解锁

3.5.3 解锁 NVRCKEY 区的关键字寄存器（FMC_NVRCKEY）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	NVRCKEY	R/W	选项字节区（NVR13）Key 输入寄存器（Option Byte area （NVR13）Key input register） 写入 KEY0 0x33AADD55 解锁选项字节区（NVR13），如果 OPTC_EN 加密该区，则解锁无效，需再次写入 KEY1 0xEDCC1F55 才能解锁。 写任意值可关闭解锁，回读为 1 表示解锁，0 表示未解锁。 0：未解锁 1：解锁

3.5.4 控制寄存器（FMC_CR）

偏移地址：0x14

复位值：0x0000 0400

位/域	名称	R/W	描述
31:16	保留		
15	OPTLOAD	R/W	选项字节强制更新（Option byte forced update） 当高 16 位写入的数据为 0xA5A5 时，该位才能写入 1。 当写入 1 时，该位强制选项字节更新，该操作会触发系统复位。 0：无效 1：有效
14:11	保留		

位/域	名称	R/W	描述
10	PREEN	R/W	预取使能 (Prefetch enable) 0: 禁止 1: 使能
9:5	保留		
4	READONLY	R/W	Flash ip 只读控制 (Flash ip Read-only control) 不可擦/写。 0: 无效 1: 有效
3:2	保留		
1:0	OPERATE	R/W	Flash 操作类型配置 (Flash operation types configure) 00: 读操作 01: 扇擦除 10: 片擦除 11: 写入 当设置 FMC_SR 的 BUSYFLG 位时, 该寄存器无法写入。

3.5.5 中断使能寄存器 (FMC_IER)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		
6	RPTIEN	R/W	FLASH 读写保护中断使能 (FLASH read/write protection interrupt enable) 0: 禁止 1: 使能
5	KEYIEN	R/W	Flash KEY 错误中断使能 (Flash KEY error interrupt enable) 0: 禁止 1: 使能
4	OPEIEN	R/W	FLSAH 擦写结束中断使能 (FLSAH erase end interrupt enable) 0: 禁止 1: 使能
3:0	保留		

3.5.6 状态寄存器 (FMC_SR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		

位/域	名称	R/W	描述
6	RPTERRFLG	R/W	FLASH 读写保护中断标志 (FLASH read write protection interrupt flag) SWD_DISABLE= 0x889BC3F51, 禁止 swd 访问功能 (读写), SWD_DISABLE= 0x5389BCEA, 不禁止写功能, 禁止 swd 读功能, 此时总线反馈 0xA5A5A5A5 数据。 其他值 SWD 不受限。硬件置 1, 软件写 0 清零。 0: 没有中断 1: 发生中断
5	KEYERRFLG	R/W	Flash KEY 错误中断标志 (Flash KEY error interrupt flag) 在没解锁时擦写 flash。操作 0x2000 0000 以内非 flash 的非法地区, 也会产生中断。硬件置 1, 软件写 0 清零。 0: 没有中断 1: 发生中断
4	OPENDFLG	R/W	FLSAH 擦写结束中断标志 (FLSAH erase end interrupt flag) 硬件置 1, 软件写 0 清零。 0: 没有中断 1: 发生中断
3:1	保留		
0	BUSYFLG	R	FLASH 擦写忙标志 (FLASH erase busy flag) 0: 空闲 1: 忙碌

3.5.7 控制寄存器 1 (FMC_CR1)

地址偏移: 0x20

复位值: 0x0000 0003

位/域	名称	R/W	描述
31:2	保留		
1:0	LATENCY	RW	访问 delay 周期 (Access delay cycle) 64MHz 上电默认为 3。 00: flash read data 需 0 等待周期 01: flash read data 需 1 等待周期 10: flash read data 需 2 等待周期 11: flash read data 需 3 等待周期 32MHz 以下可配置寄存器 LATENCY=00。 32MHz 需配置寄存器 LATENCY=01。 64MHz 需要配置寄存器 LATENCY=1x。

4 系统配置控制器（SCU）

SCU 模块用于控制全芯片外设 DBG 模式下的计数模式。

4.1 寄存器地址映射

仅支持 32 位的读写操作。

表格 15 SCU 寄存器地址映射

寄存器名	描述	偏移地址
SCU_KEY	SCU 读写保护寄存器	0x00
SCU_DBG	系统 DBG 控制寄存器	0x04

4.2 寄存器功能描述

4.2.1 SCU 读写保护寄存器（SCU_KEY）

偏移地址：0x00

复位值：0x0000 0000

电源域：CORE 域

复位范围：POR 复位，NRST 复位，STANDBY 复位，系统复位

位/域	名称	R/W	描述
31:17	保留		
16	LOCKFLG	R	SCU 寄存器写保护标志（SCU register write protect flag） 0：SCU 寄存器处于可读不可写状态 1：SCU 寄存器处于可读可写状态 注意：该位仅可读，当向 LOCKKEY 写入 0x87E4 后，该位置 1；当向 LOCKKEY 写入其他值时，该位清零
15:0	LOCKKEY	W	SCU 寄存器写操作的密码保护配置（Password protection configuration for SCU register write operations） 写入 0x87E4 进行解锁，同时 LOCKFLG 置 1。 写入任意其他值时进行锁定，同时 LOCKFLG 清零。

4.2.2 系统 DBG 控制寄存器（SCU_DBG）

偏移地址：0x04

复位值：0x0000 0000

电源域：CORE 域

复位范围：POR 复位，NRST 复位，STANDBY 复位，系统复位

位/域	名称	R/W	描述
31:8	保留		
7	WWDTDBG	R/W	在 DEBUG 模式下的 WWDT 计数方式（The WWDT counting method in DEBUG mode） 0：计数不受影响 1：在 DEBUG 模式下暂停计数
6	IWDTDBG	R/W	在 DEBUG 模式下的 IWDT 计数方式（The IWDT counting method in DEBUG mode） 0：计数不受影响

位/域	名称	R/W	描述
			1: 在 DEBUG 模式下暂停计数
5	LPTMRDBG	R/W	在 DEBUG 模式下, LPTMR 计数方式 (The LPTMR counting method in DEBUG mode) 0: 计数不受影响 1: 在 DEBUG 模式下暂停计数
4	BTMR1DBG	R/W	在 DEBUG 模式下, BTMR1 计数方式 (The BTMR1 counting method in DEBUG mode) 0: 计数不受影响 1: 在 DEBUG 模式下暂停计数
3	BTMR0DBG	R/W	在 DEBUG 模式下, BTMR0 计数方式 (The BTMR0 counting method in DEBUG mode) 0: 计数不受影响 1: 在 DEBUG 模式下暂停计数
2	保留		
1	GTMRDBG	R/W	在 DEBUG 模式下, GTMR 计数方式 (The GTMR counting method in DEBUG mode) 0: 计数不受影响 1: 在 DEBUG 模式下暂停计数
0	ATMRDBG	R/W	在 DEBUG 模式下, ATMR 计数方式 (The ATMR counting method in DEBUG mode) 0: 计数不受影响 1: 在 DEBUG 模式下暂停计数

5 复位与时钟控制（RCC）

5.1 术语全称、缩写描述

表格 16 术语全称、缩写描述

中文全称	英文全称	英文缩写
复位与时钟控制	Reset and Clock Control	RCC
复位	Reset	RST
上电复位	Power-On Reset	POR
掉电复位	Power-Down Reset	PDR
高速内部时钟	High Speed Internal Clock	HSICKLK
低速内部时钟	Low Speed Internal Clock	LSICKLK
校准	Calibrate	CAL
调整	Trim	TRM
不可屏蔽中断	Non Maskable Interrupt	NMI

5.2 复位功能描述

支持的复位分为五类：系统复位、NRST 复位、电源复位、STANDBY 复位和 LPTMR 复位五种复位形式。

5.2.1 系统复位

5.2.1.1 “系统复位”复位源

- 窗口看门狗终止计数（WWDT 复位）
- 独立看门狗终止计数（IWDG 复位）
- 软件复位（SW 复位）
- CPU 死锁引起的异常系统复位
- 载入选项字节复位
- 电源复位

以上任一事件发生时，都能产生一个系统复位。另外，可以通过查看 RCC_RSTCSR（复位控制/状态寄存器）中的复位标志位识别复位事件来源。

当发生系统复位时，芯片将复位除以下寄存器外的所有寄存器：

- RCC 复位控制寄存器 RCC_RSTCSR
- RCC 关于 AON 域控制寄存器 RCC_AONCSR
- PMU 与 STANDBY 相关寄存器，PMU_LPCR，PMU_WKCR，PMU_WKSR
- PVD 控制寄存器 PMU_PVDCSR

注意：

- (1) 当配置为 STANDBY0 模式时，LPTMR 受到系统复位和 LPTMRRST 影响；当配置为 STANDBY1 模式时，LPTMR 仅受 POR，NRST，LPTMRRST 影响。
- (2) 当配置为 STANDBY0 模式时，IWDT 受到系统复位和 STANDBY 流程影响；当配置为 STANDBY1 模式时，若系统处于非 STANDBY 模式仍然受到系统复位影响，不受 STANDBY 模式进入流程影响，会继续计数并唤醒 STANDBY，在 STANDBY 唤醒流程中复位。

软件复位

将 Arm® Cortex®-M0+ 中断应用和复位控制寄存器中的 SYSRESETREQ 置“1”时，可实现软件复位。

载入选项字节复位

载入字节复位由被软件控制的在 FMC_CR 寄存器中 OPTLOAD 位触发。

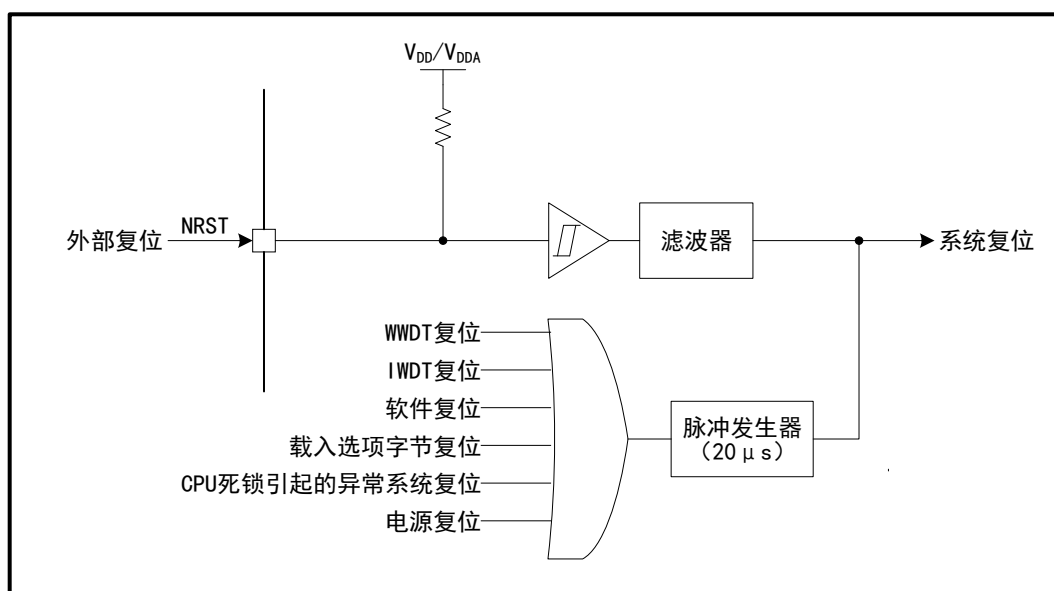
5.2.1.2 “系统复位”复位电路

外部复位 NRST 产生复位信号时，会先通过约 50ns 的模拟滤波后，再通过最多 10ms 的数字滤波（可以通过 RCC_RSTCSR 寄存器的 NRSTFLTSEL 位配置是否使能数字滤波及数字滤波的大小），再作用至系统。

内部复位源产生复位信号后，通过脉冲发生器产生约 20μs 的低电平脉冲，作用于系统，而不引起外部 NRST 引脚电平发生变化。

“系统复位”复位电路见下图。

图 8 “系统复位”复位电路



5.2.2 NRST 复位

当外部 NRST 引脚发生低电平时，系统发生 NRST 复位。

当发生 NRST 复位时，芯片将复位除以下寄存器外的所有寄存器：

- RCC 复位控制寄存器 RCC_RSTCSR

5.2.3 电源复位

“电源复位”复位源如下：

- 上电复位（POR 复位）
- 掉电复位（PDR 复位）

以上任一事件发生时，产生电源复位。电源复位将复位所有寄存器。

5.2.4 STANDBY 复位

当系统执行 STANDBY 流程时，系统发生 STANDBY 复位。

当发生 STANDBY 时，由于数字 CORE 域全部掉电，芯片将复位所有 CORE 域下的寄存器：

- 在 STANDBY0 模式下，LPTMR 和 IWDG 会被强制复位
- 在 STANDBY1 模式下，LPTMR 不受影响，IWDG 会在 STANDBY 唤醒流程被复位

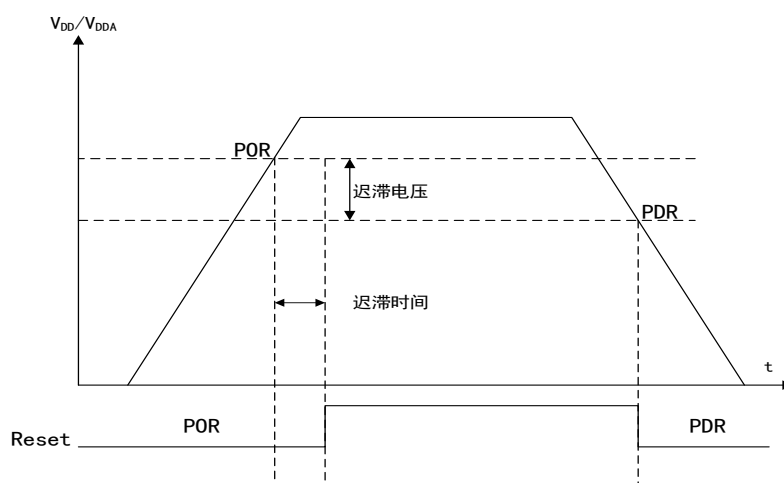
5.2.5 LPTMR 复位

当配置 RCC_AONCSR 中 LPTMRRST 置 1 时，发生 LPTMR 复位。

LPTMR 复位将复位 RCC_AONCSR 中 LPTMREN，和 LPTMR 模块中的所有逻辑。

5.2.6 上/下电复位时序

图 9 上电复位、掉电复位、低功耗唤醒时序图



5.3 时钟管理功能描述

芯片提供两种不同的时钟源，可作为系统时钟源：

- 内部高速时钟 HSICLK: 64MHz 高速 RC 振荡器
- 内部低速时钟 LSICLK: 32.768KHz 低速 RC 振荡器

5.3.1 HSICLK 内部高速时钟信号

HSICLK 时钟信号由内部 64MHz 的 RC 振荡器产生。

每个芯片的 HSI 时钟频率在出厂前已经被厂家校准到 $\pm 0.5\%$ 。RCC_CR 寄存器的 HSIRDY 位表示 HSI 是否稳定。直至硬件设置 HSIRDY 位为 1，HSI 时钟才会输入到系统。如果 RCC_IER 寄存器的 HSIRDYIEN 位使能，则产生对应中断。HSI 可以通过 RCC_CR 寄存器的 HSIEN 位使能和禁用，HSIEN 位配置为 0 时，HSIRDY 标志会在 4 个 HSI 时钟周期后清零。

硬件逻辑保护：

- 系统时钟对 HSI 有硬件逻辑保护。当 HSI 作为系统时钟源时，HSIEN 无法关闭，写 0 无效。
- 系统对 FLASH 编程擦写有硬件逻辑保护。为了保证操作正常，当关闭 HSIEN 时，标志位 HSIRDY 会随着 HSIEN 硬件清零，但 FLASH 编程擦写能够继续工作，CLKOUT 功能仍然保证能够输出该时钟。

5.3.2 LSICLK 内部低速时钟信号

LSI 时钟信号由内部 32.768KHz 的 RC 振荡器产生。

可以作为 LPTMR 和 IWDG 的工作时钟，也可作为系统时钟。在停机和待机 1 模式下可作为低功耗时钟源继续工作。RCC_AONCSR 寄存器的 LSIRDY 位表示 LSI 是否稳定。直至硬件设置 LSIRDY 位为 1，LSI 时钟才会输入到系统。如果 RCC_IER 寄存器的 LSIRDYIEN 位使能，则产生对应中断。LSI 可以通过 RCC_AONCSR 寄存器的 LSIEN 位使能和禁用，LSIEN 位配置为 0 时，LSIRDY 标志会在 2 个 LSI 时钟周期后清零。

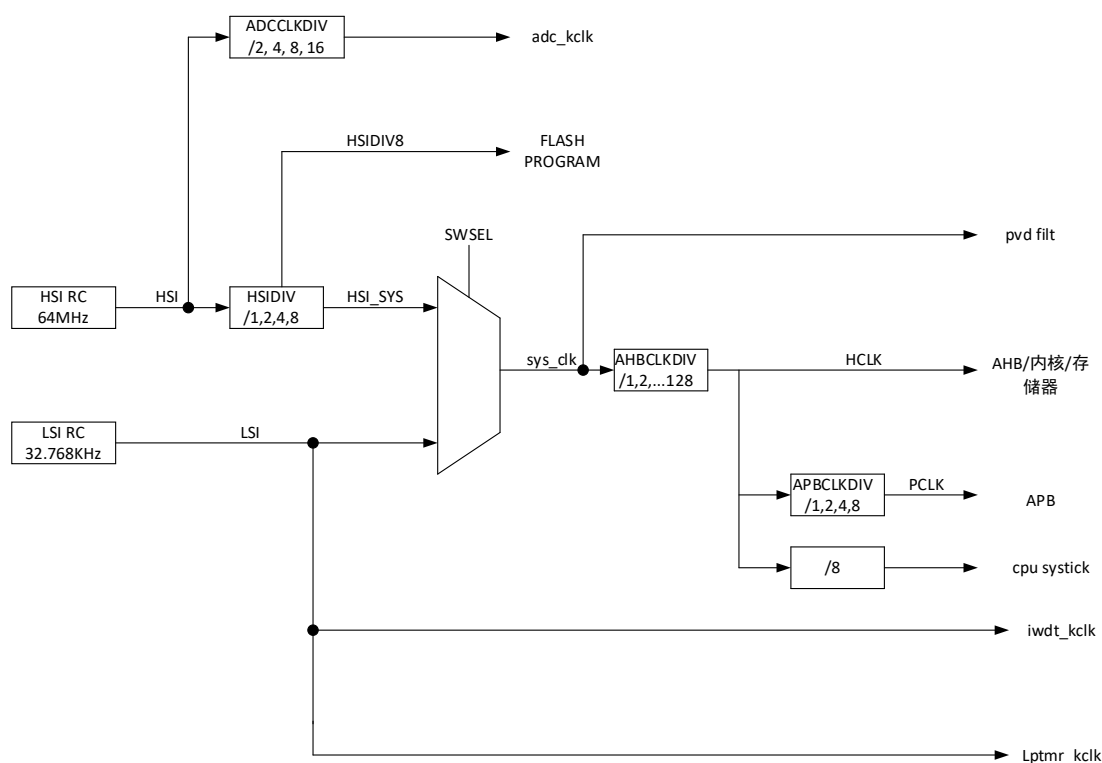
硬件逻辑保护：

- 系统时钟对 LSI 有硬件逻辑保护。当 LSI 作为系统时钟源时，LSIEN 无法关闭，写 0 无效。
- 系统对 IWDG 有硬件逻辑保护。为了保证 IWDG 工作正常，当关闭 LSIEN，标志位 LSIRDY 会随着 LSIEN 硬件清零，但 IWDG 能够继续计数，CLKOUT 功能仍然保证能够输出该时钟。
- 系统对 NRST 滤波有硬件逻辑保护。为了保证 NRST 滤波正常，当关闭 LSIEN，标志位 LSIRDY 会随着 LSIEN 硬件清零，但 NRST 滤波能够继续正常工作，但相对开启 LSIEN，滤波时间会延长 5~6 个 LSI 周期。
- 系统没有对 LPTMR 时钟源做硬件逻辑保护。当使能 LPTMR 但关闭 LSIEN，会导致 LPTMR 停止计数。

5.3.3 时钟树

G32F031/M3122/M3114/M3115 的时钟树见下图：

图 10 G32F031/M3122/M3114/M3115 时钟树



5.3.4 系统时钟和切换

可选择 HSI 或 LSI 作为系统时钟。其中 HSI 可选择其 1, 2, 4, 8 分频作为系统时钟分支。最高频率为 64MHz。芯片初次上电时，默认选择 HSI 作为系统时钟。切换步骤：

- (1) 确保原时钟和新时钟都准备就绪
- (2) 配置 RCC_CFG 中的 SWSEL 至对应配置
- (3) 当 RCC_CFG 中的 SWSTS 标志变更为新时钟源，代表切换成功。

注意：

- (1) 作为系统时钟的时钟源，硬件有逻辑保护，软件无法关闭。
- (2) 切换系统时钟源时，如果目标时钟尚未开启或尚未稳定，系统将保持当前时钟源继续工作，并一直等待新时钟源稳定后再进行切换，切换过程中硬件自动保护无法关闭时钟源。切换完毕后，用户可根据需求关闭原时钟源。
- (3) HSI 作系统时钟的分频 HSIDIV 不影响占空比。
- (4) STOP 低功耗模式不影响 HSIDIV，若进入 STOP 前配置 HSIDIV，则唤醒仍然保持该分频，会导致 STOP 唤醒变慢。
- (5) 系统时钟可作为 PVD 功能的滤波时钟，在 PVD 滤波功能开启时，不建议使用 LSI 作系统时钟导致 PVD 滤波太慢。在进入 STOP 状态时，由于系统时钟关闭，需要软件关闭 PVD 滤波功能再进入 STOP。

5.3.5 总线时钟

内置 AHB 和 APB 总线。AHB 的时钟源为系统时钟，根据配置位 AHBCLKDIV[2:0]进行分频，最高频率为 64MHz，最大分频系数为 128 分频。APB 的时钟源为 AHB 时钟，根据配置位 APBCLKDIV[1:0]进行分频，最高频率为 64MHz，最大分频系数为 8 分频。

5.3.6 CLKOUT 的时钟源选择

配置寄存器 RCC_CFG 的 CLKOUTDIV、CLKOUTEN、CLKOUTSEL 位可以将内部时钟输出至 CLKOUT 引脚。时钟输出源有以下几种：

- 系统时钟
- HSI 时钟
- LSI 时钟
- HCLK 时钟（CPU）

注意：

- (1) 当使能该功能或者切换输出源时，可能有时钟毛刺。
- (2) 时钟源未稳定时，CLKOUT 无法输出对应时钟。
- (3) 可根据需求在 STOP 下使用该功能，但不支持 STANDBY 模式下工作。

5.3.7 IWDG 的时钟源选择

当 IWDG（独立看门狗）启动时，LSICLK 振荡器将被强制打开，等到稳定后把时钟信号供给 IWDG。IWDG 工作时，建议开启 LSIEN，但软件关闭 LSIEN 后，仍然能够正常计数。

5.3.8 LPTMR 的时钟源选择

当 LPTMR 工作时，以 LSI 作为工作时钟进行计数。

LPTMR 时钟配置步骤：

- (1) 开启 LSIEN，并确认 LSIRDY 置 1。
- (2) 配置 RCC_AONCSR 的 LPTMREN，使能该外设。
- (3) 配置 LPTMR 外设中相关设置进行工作。

注意：当 LPTMR 工作时，确保 LSIEN 开启，否则该模块将停止计数。

5.3.9 ADC 的时钟源选择

ADC 工作时钟来源为系统时钟，以 HSI 64MHz 作为工作时钟进行工作，分频配置由 ADCCLKDIV[1:0]控制，分频系数分别为 2，4，8，16。当 HSI 时钟作为 ADC 时钟源时，软件必须保证 HSIEN 开启，否则 ADC 无法工作。

5.3.10 SYSTICK 时钟

CPU SYSTICK 功能时钟由 HCLK 的 8 分频提供。

5.4 寄存器地址映射

表格 17 RCC 寄存器地址映射

寄存器名	描述	偏移地址
RCC_KEY	RCC 读写保护寄存器	0x00
RCC_CR	时钟控制寄存器	0x04
RCC_CFG	时钟配置寄存器	0x08
RCC_IER	时钟中断使能寄存器	0x0C
RCC_ISR	时钟中断标志寄存器	0x10
RCC_AHBRST	AHB 外设复位寄存器	0x14
RCC_APB1RST	APB 外设复位寄存器	0x18
RCC_AHBCLKEN	AHB 外设时钟使能寄存器	0x1C
RCC_APB1CLKEN	APB 外设时钟使能寄存器	0x20
RCC_ADCCR	ADC 时钟控制寄存器	0x24
RCC_RSTCSR	复位控制/状态寄存器	0x28
RCC_AONCSR	AON 域控制寄存器	0x2C

5.5 寄存器功能描述

5.5.1 RCC 读写保护寄存器 (RCC_KEY)

偏移地址: 0x00

复位值: 0x0000 00000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:17	保留		
16	LOCKFLG	R	RCC 寄存器写保护标志 (RCC register write protect flag) 0: RCC 寄存器处于保护状态 1: RCC 寄存器处于可读可写状态 注意: 当向 LOCKKEY 写入 0x87E4 后, 该位置 1; 当向 LOCKKEY 写入其他值时, 该位清零。
15:0	LOCKKEY[15:0]	W	RCC 寄存器写操作的密码保护配置 (Password protection configuration for RCC register write operations) 写入 0x87E4 进行解锁, 同时 LOCKFLG 自动置 1。写入任意其他值时进行加锁, 同时 LOCKFLG 清零。

5.5.2 时钟控制寄存器 (RCC_CR)

偏移地址: 0x04

复位值: 0x0000 0003

电源域: CORE 域

复位范围：POR 复位，NRST 复位，STANDBY 复位，系统复位

位/域	名称	R/W	描述
31:2	保留		
1	HSIRDY	R	HSI 时钟稳定标志 (HSI clock stability flag) 0: 未稳定 1: 稳定 当关闭 HSIEN 时，HSIRDY 在 4 个 HSI 时钟周期后清零。
0	HSIEN	R/W	HSI 时钟使能 (HSI clock enable) 0: 禁止 1: 使能 当 HSI 作为系统时钟时，写 0 无效。

5.5.3 时钟配置寄存器 (RCC_CFG)

偏移地址：0x08

复位值：0x0000 0000

电源域：CORE 域

复位范围：POR 复位，NRST 复位，STANDBY 复位，系统复位

位/域	名称	R/W	描述
31:23	保留		
22:20	CLKOUTDIV	R/W	时钟输出分频 (Clock output division) 000: CLKOUT 1 分频 001: CLKOUT 2 分频 010: CLKOUT 4 分频 011: CLKOUT 8 分频 100: CLKOUT 16 分频 101: CLKOUT 32 分频 110: CLKOUT 64 分频 111: CLKOUT 128 分频
19	CLKOUTEN	R/W	时钟输出使能 (Clock output enable) 0: 禁止 1: 使能
18	保留		
17:16	CLKOUTSEL	R/W	时钟输出选择 (Clock output select) 00: 系统时钟 01: HSI 时钟 10: LSI 时钟 11: CPU HCLK 时钟
15:14	保留		
13:12	HSIDIV	R/W	系统时钟 HSI 分支的分频 (Frequency division of the HSI branch of the system clock) 00: 不分频 01: 2 分频 10: 4 分频 11: 8 分频
11:10	保留		

位/域	名称	R/W	描述
9:8	APBCLKDIV	R/W	APB 时钟分频 (APB clock division) 00: HCLK 01: HCLK 2 分频 10: HCLK 4 分频 11: HCLK 8 分频
7	保留		
6:4	AHBCLKDIV	R/W	AHB 时钟分频 (AHB clock division) 000: 系统时钟 001: 系统时钟 2 分频 010: 系统时钟 4 分频 011: 系统时钟 8 分频 100: 系统时钟 16 分频 101: 系统时钟 32 分频 110: 系统时钟 64 分频 111: 系统时钟 128 分频
3:2	保留		
1	SWSTS	R	当前系统时钟标志 (Current system clock flag) 0: HSI 为系统时钟 1: LSI 为系统时钟
0	SWSEL	R/W	系统时钟选择 (System clock select) 0: HSI 1: LSI

5.5.4 时钟中断使能寄存器 (RCC_IER)

偏移地址: 0x0C

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:3	保留		
2	HSIRDYIEN	R/W	HSI 时钟稳定中断使能 (HSI clock stabilization interrupt enable) 0: 禁用 1: 使能
1	保留		
0	LSIRDYIEN	R/W	LSI 时钟稳定中断使能 (LSI clock stabilization interrupt enable) 0: 禁用 1: 使能

5.5.5 时钟中断标志寄存器 (RCC_ISR)

偏移地址: 0x10

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:3	保留		
2	HSIRDYFLG	R/W	HSI 时钟稳定中断标志 (HSI clock stabilization interrupt flag) 0: 未发生稳定中断 1: 发生稳定中断 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
1	保留		
0	LSIRDYFLG	R/W	LSI 时钟稳定中断标志 (LSI clock stabilization interrupt flag) 0: 未发生稳定中断 1: 发生稳定中断 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。

5.5.6 AHB 外设复位寄存器 (RCC_AHBRST)

偏移地址: 0x14

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:18	保留		
17	GPIOBRST	R/W	GPIOB 复位 (GPIOB reset) 0: 不复位 1: 复位
16	GPIOARST	R/W	GPIOA 复位 (GPIOA reset) 0: 不复位 1: 复位
15:5	保留		
4	DIVRST	R/W	除法器复位 (Divider reset) 0: 不复位 1: 复位
3	CRCRST	R/W	CRC 复位 (CRC reset) 0: 不复位 1: 复位
2:1	保留		
0	DMARST	R/W	DMA 复位 (DMA reset) 0: 不复位 1: 复位

5.5.7 APB 外设复位寄存器 (RCC_APBRSST)

偏移地址: 0x18

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:25	保留		
24	COMP1RST	R/W	COMP1 复位 (COMP1 reset) 0: 不复位 1: 复位
23	COMP0RST	R/W	COMP0 复位 (COMP0 reset) 0: 不复位 1: 复位
22	OPARST	R/W	OPAMP 复位 (OPAMP reset) 0: 不复位 1: 复位
21	ADCRST	R/W	ADC 复位 (ADC reset) 0: 不复位 1: 复位
20:18	保留		
17	I2CRST	R/W	I2C 复位 (I2C reset) 0: 不复位 1: 复位
16	保留		
15	UARTRST	R/W	UART 复位 (UART reset) 0: 不复位 1: 复位
14	USARTRST	R/W	USART 复位 (USART reset) 0: 不复位 1: 复位
13	保留		
12	SPIRST	R/W	SPI 复位 (SPI reset) 0: 不复位 1: 复位
11	WWDTRST	R/W	WWDTRST 复位 (WWDTRST reset) 0: 不复位 1: 复位
10:8	保留		
7	BTMR1RST	R/W	BTMR1 复位 (BTMR1 reset) 0: 不复位 1: 复位
6	BTMR0RST	R/W	BTMR0 复位 (BTMR0 reset) 0: 不复位 1: 复位
5	保留		
4	GTMR	R/W	GTMR 复位 (GTMR reset) 0: 不复位 1: 复位

位/域	名称	R/W	描述
3	ATMRRST	R/W	ATMR 复位 (ATMR reset) 0: 不复位 1: 复位
2	EINTRST	R/W	EINT 复位 (EINT reset) 0: 不复位 1: 复位
1:0	保留		

5.5.8 AHB 外设时钟使能寄存器 (RCC_AHBCLKEN)

偏移地址: 0x1C

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:18	保留		
17	GPIOBEN	R/W	GPIOB 时钟使能 (GPIOB clock enable) 0: 禁止 1: 使能
16	GPIOAEN	R/W	GPIOA 时钟使能 (GPIOA clock enable) 0: 禁止 1: 使能
15:5	保留		
4	DIVEN	R/W	除法器时钟使能 (Divider clock enable) 0: 禁止 1: 使能
3	CRCEN	R/W	CRC 时钟使能 (CRC clock enable) 0: 禁止 1: 使能
2:1	保留		
0	DMAEN	R/W	DMA 时钟使能 (DMA clock enable) 0: 禁止 1: 使能

5.5.9 APB 外设时钟使能寄存器 (RCC_APBCLKEN)

偏移地址: 0x20

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:25	保留		
24	COMP1EN	R/W	COMP1 时钟使能 (COMP1 clock enable) 0: 禁止 1: 使能

位/域	名称	R/W	描述
23	COMP0EN	R/W	COMP0 时钟使能 (COMP0 clock enable) 0: 禁止 1: 使能
22	OPAEN	R/W	OPAMP 时钟使能 (OPAMP clock enable) 0: 禁止 1: 使能
21	ADCEN	R/W	ADC 时钟使能 (ADC clock enable) 0: 禁止 1: 使能
20:18	保留		
17	I2CEN	R/W	I2C 时钟使能 (I2C clock enable) 0: 禁止 1: 使能
16	保留		
15	UARTEN	R/W	UART 时钟使能 (UART clock enable) 0: 禁止 1: 使能
14	USARTEN	R/W	USART 时钟使能 (USART clock enable) 0: 禁止 1: 使能
13	保留		
12	SPIEN	R/W	SPI 时钟使能 (SPI clock enable) 0: 禁止 1: 使能
11	WWDTEN	R/W	WWDT 时钟使能 (WWDT clock enable) 0: 禁止 1: 使能 注意: 该位未作写入保护, 如果写 0, WWDT 将停止计数。
10	IWDTEN	R/W	IWDT 外设的 APB 时钟使能 (APB clock of the IWDT peripheral enable) 0: 禁止 1: 使能 注意: 该位软件只能写 1, 写 0 无效。
9:8	保留		
7	BTMR1EN	R/W	BTMR1 时钟使能 (BTMR1 clock enable) 0: 禁止 1: 使能
6	BTMR0EN	R/W	BTMR0 时钟使能 (BTMR0 clock enable) 0: 禁止 1: 使能
5	保留		

位/域	名称	R/W	描述
4	GTMREN	R/W	GTMR 时钟使能 (GTMR clock enable) 0: 禁止 1: 使能
3	ATMREN	R/W	ATMR 时钟使能 (ATMR clock enable) 0: 禁止 1: 使能
2	EINTEN	R/W	EINT 时钟使能 (EINT clock enable) 0: 禁止 1: 使能
1:0	保留		

5.5.10 ADC 时钟控制寄存器 (RCC_ADCCR)

偏移地址: 0x24

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位, 系统复位

位/域	名称	R/W	描述
31:2	保留		
1:0	ADCCLKDIV	R/W	ADCCLK 时钟分频 (ADCCLK clock divide) 00: 系统时钟 2 分频 01: 系统时钟 4 分频 10: 系统时钟 8 分频 11: 系统时钟 16 分频

5.5.11 复位控制/状态寄存器 (RCC_RSTCSR)

偏移地址: 0x28

复位值: 0x0000 0080

电源域: AON 域

复位范围: POR 复位

位/域	名称	R/W	描述
31:16	保留		
15	LOCKUPRSTEN	R/W	LOCKUP 系统复位使能 (LOCKUP system reset enable) 0: 禁用 LOCKUP 系统复位 1: 当 CPU 产生 LOCKUP 时, 芯片进行系统复位
14	PVDRSTEN	R/W	PVD 系统复位使能 (PVD system reset enable) 0: 禁用 PVD 系统复位 1: 当 PVD 监测电压低于阈值时, 芯片进行系统复位
13:10	保留		

位/域	名称	R/W	描述
9:8	NRSTFLTSEL	R/W	NRST 滤波选择 (NRST filter select) 00: 不进行滤波, 仅模拟 50ns 滤波 01: 数字滤波 1ms 10: 数字滤波 5ms 11: 数字滤波 10ms 注意: 当 LSI 关闭时, NRST 滤波时间比配置值长 5 个 LSI 时钟周期。当正在配置该位时发生 NRST 复位事件, 滤波时间将不可控
7	PORRSTFLG	R/W	POR/PDR 复位标志 (POR/PDR reset flag) 0: 未发生 POR/PDR 复位 1: 发生 POR/PDR 复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
6	LOCKUPRSTFLG	R/W	LOCKUP 系统复位标志 (LOCKUP system reset flag) 0: 未发生 LOCKUP 系统复位 1: 发生 LOCKUP 系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
5	WWDTTRSTFLG	R/W	窗口看门狗 WWDT 系统复位标志 (Window watchdog WWDT system reset flag) 0: 未发生 WWDT 系统复位 1: 发生 WWDT 系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
4	IWDTRSTFLG	R/W	独立看门狗 IWDT 系统复位标志 (Independent watchdog IWDT system reset flag) 0: 未发生 IWDT 系统复位 1: 发生 IWDT 系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
3	SWRSTFLG	R/W	软件系统复位标志 (Software system reset flag) 0: 未发生软件系统复位 1: 发生软件系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
2	PVDRSTFLG	R/W	PVD 系统复位标志 (PVD system reset mark) 0: 未发生 PVD 系统复位 1: 发生 PVD 系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
1	NRSTRSTFLG	R/W	NRST 引脚系统复位标志 (NRST pin system reset mark) 0: 未发生 NRST 引脚系统复位 1: 发生 NRST 引脚系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。
0	OPTRSTFLG	R/W	选项字节加载系统复位标志 (Option byte load system reset flag) 0: 未发生选项字节加载系统复位 1: 发生选项字节加载系统复位 注意: 硬件置 1, 软件写 0 清空, 写 1 无效。

5.5.12 AON 域控制寄存器 (RCC_AONCSR)

偏移地址: 0x2C

复位值: 0x0000 0000

电源域：AON 域

复位范围：POR 复位和 NRST 复位将复位该寄存器所有位，LPTMR 复位将复位 LPTMREN。进入 STANDBY 模式 0 时，该寄存器全部复位；进入 STANDBY 模式 1 时，该寄存器不受影响。

位/域	名称	R/W	描述
31:17	保留		
16	LPTMRRST	R/W	LPTMR 复位 (LPTMR reset) 0: 不复位 1: 复位
15	LPTMREN	R/W	LPTMR 时钟使能 (LPTMR clock enable) 0: 禁止 1: 使能
14:2	保留		
1	LSIRDY	R	LSI 时钟稳定标志 (LSI clock stability flag) 0: 未稳定 1: 稳定 当关闭 LSIEN 时，LSIRDY 在 2 个 LSI 时钟周期后清零。
0	LSIEN	R/W	LSI 时钟使能 (LSI clock enable) 0: 禁止 1: 使能 当 LSI 作为系统时钟时，写 0 无效。

6 电源管理单元（PMU）

6.1 术语全称、缩写描述

表格 18 术语全称、缩写描述

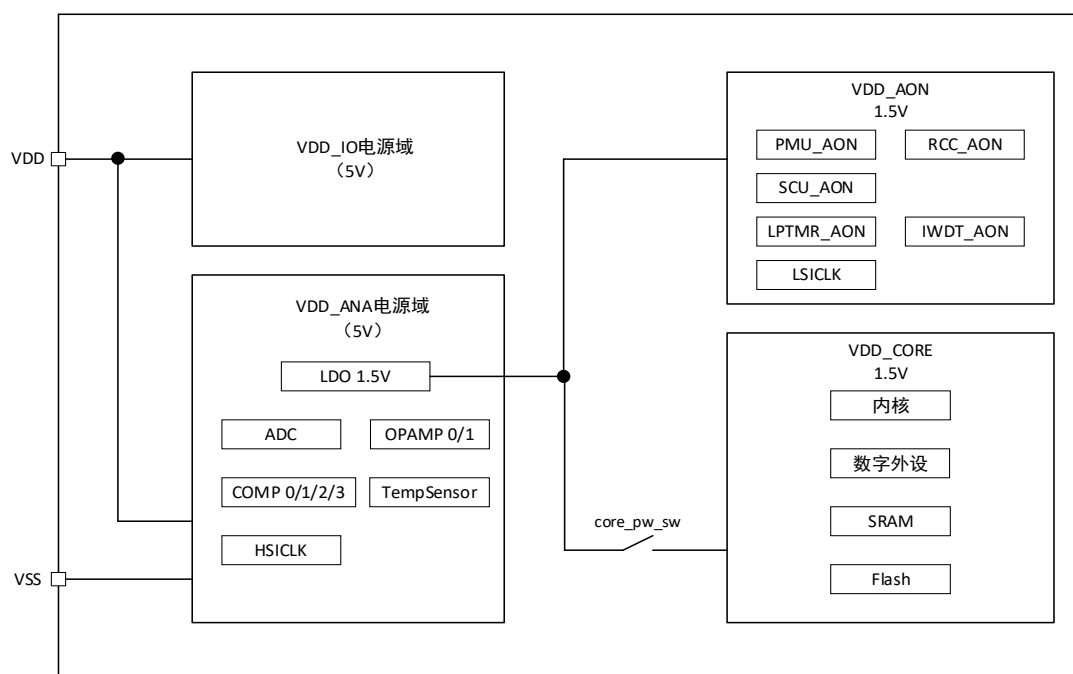
中文全称	英文全称	英文缩写
电源管理单元	Power Management Unit	PMU
上电复位	Power On Reset	POR
掉电复位	Power Down Reset	PDR
电源电压检测器	Power Voltage Detector	PVD

6.2 简介

电源是一个系统稳定运行的基础，工作电压 1.8~5.5V，可以通过内置的电压调节器提供 1.5V 的电源。

6.3 结构框图

图 11 电源控制结构框图



6.4 功能描述

6.4.1 电源域

产品的电源域有：模拟 IO 电源域、模拟电源域、AON 电源域和 CORE 电源域。

表格 19 电源域

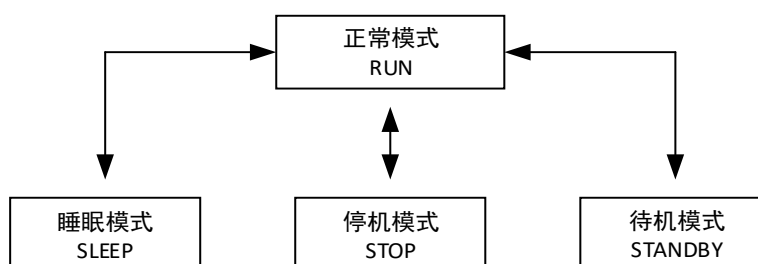
名称	电压范围 (V)	说明
IO 电源域	5V	包含所有模拟 IO 的供电
模拟电源域	5V	包含模拟 ADC, OPAMP, COMP, TS 等模拟模块, HSI 时钟, 提供 1.5V 电源的 LDO
AON 电源域	1.5V	包含所有数字非掉电模块和 LSI 时钟
CORE 电源域	1.5V	包含内核, FLASH 存储器, SRAM 存储器, 数字外设模块

6.4.2 功耗控制

6.4.2.1 低功耗模式降低功耗

低功耗模式有三种：睡眠模式、停机模式和待机模式。通过关闭内核、时钟源、设置调压器来降低功耗。低功耗模式与正常模式（RUN）模式状态转换如下图所示。

图 12 低功耗模式转换



SLEEP 模式仅停止 CPU 内核时钟，其余外设均正常工作；STOP 模式，STANDBY0 模式和 STANDBY1 模式外设工作状态如表所示。

表格 20 STOP 模式，STANDBY0 模式和 STANDBY1 模式外设工作状态

	STOP		STANDBY0		STANDBY1	
	状态 ⁽¹⁾	唤醒源	状态	唤醒源	状态	唤醒源
CPU 内核	-	-	-	-	-	-
FLASH	-	-	-	-	-	-
SRAM	- ⁽²⁾	-	- ⁽²⁾	-	-	-
HSI	-	-	-	-	-	-
LSI	O	-	-	-	O	-
POR/PDR	Y	Y	Y	Y	Y	Y
SYSTICK	-	-	-	-	-	-
PVD	O	O	-	-	-	-
DIV_SHIFT	-	-	-	-	-	-

	STOP		STANDBY0		STANDBY1	
	状态 ⁽¹⁾	唤醒源	状态	唤醒源	状态	唤醒源
CRC	-	-	-	-	-	-
GPIO	O	O ⁽³⁾	O	O ⁽³⁾	O	O ⁽³⁾
DMA	-	-	-	-	-	-
LPTMR	O	O	-	-	O	O
COMP	-	-	-	-	-	-
OPAMP	-	-	-	-	-	-
ADC	-	-	-	-	-	-
I2C	-	-	-	-	-	-
UART	-	-	-	-	-	-
USART	-	-	-	-	-	-
SPI	-	-	-	-	-	-
WWDT	-	-	-	-	-	-
IWDT	O	O	-	-	O	O
BTMR1	-	-	-	-	-	-
BTMR0	-	-	-	-	-	-
GTMR	-	-	-	-	-	-
ATMR	-	-	-	-	-	-
EINT	O	O	-	-	-	-

注意:

- (1) Y 表示正常工作, O 表示可配置工作 (默认关闭, 可软件使能), -表示不可用。
- (2) SRAM 在 STOP 模式下, 数据保持, 在 STANDBY 下掉电, 数据不保持。
- (3) GPIO 引脚在 STOP 模式下可通过配置 EINT 模块进行唤醒; 在 STANDBY 模式下可通过配置 PMU 模块进行唤醒, 支持 STANDBY 唤醒的引脚分别为: PA7 和 PB2。另外 NRST 引脚也可以唤醒, 但复位范围有不同, 详见 RCC 章节。

正常模式

芯片初次上电或从低功耗退出时, 默认进入 RUN 模式。系统时钟默认为 HSICLK。

注意: 当系统初次上电或从 STANDBY 唤醒时, 系统时钟频率为 64MHz; 当系统从 STOP 正常唤醒时, 由于系统配置 HSIDIV 不受 STOP 影响, 系统时钟会根据其分频配置为不同频率。

睡眠模式

睡眠模式特点见下表:

表格 21 睡眠模式特点

特性	说明
进入	内核寄存器的 SLEEPDEEP 位置 0 确认没有挂起的中断 (WFI) 或事件 (WFE) 执行 WFI 或 WFE 指令立即进入 SLEEP 模式
进入后	除 CPU 内核外, 所有模块均正常工作
唤醒	若执行 WFI 进入 SLEEP 模式, 则通过任意中断唤醒 若执行 WFE 进入 SLEEP 模式, 则通过任意事件唤醒
唤醒延迟	几个 HCLK 周期
唤醒后	系统恢复原工作状态

注意: 任意系统复位能够唤醒睡眠模式, 唤醒后系统重新执行程序。

停机模式

停机模式特点见下表:

表格 22 停机模式特点

特性	说明
进入	内核寄存器的 SLEEPDEEP 位置 1 PMU 模块中 PMU_LPCR 的 LPCFG 位置 0 确认没有挂起的中断 (WFI) 或事件 (WFE) 执行 WFI 或 WFE 指令立即进入 STOP 模式
进入后	除 IWDT 和 LPTMR 外, 其余模块均停止工作, HSI 时钟关闭, LSI 时钟保持不变, FLASH 进入 DEEP STANDBY 状态, SRAM 数据保持
唤醒	若执行 WFI 进入 STOP 模式, 则通过 EINT 配置的相关中断唤醒, 如果通过 PVD 或 LPTMR 唤醒, 则需额外开启对应外设中断; 若执行 WFE 进入 STOP 模式, 则通过 EINT 配置的相关事件唤醒
唤醒延迟	HSI 模拟时钟建立和稳定时间+FLASH 退出 DEEP STANDBY 时间 (以 HSI64MHz 唤醒, 最大 20μs)
唤醒后	系统时钟自动切换为 HSI 时钟, 以 HSIDIV 配置为准的对应频率工作 若唤醒后需以 LSI 做系统时钟工作, 则要软件操作进行切换

注意: 任意系统复位能够唤醒停机模式, 唤醒后系统重新执行程序, 由于 HSIDIV 将被系统复位, 系统将工作在 64MHz 下。

待机模式

待机模式特点见下表:

表格 23 待机模式特点

特性	说明
进入	内核寄存器的 SLEEPDEEP 位置 1 PMU 模块中 PMU_LPCR 的 LPCFG 位置 1 确认没有挂起的中断 (WFI) 或事件 (WFE) 确认没有发生 STANDBY 唤醒事件 执行 WFI 或 WFE 指令立即进入 STANDBY 模式

特性	说明
进入后	当配置为 STANDBY0 模式时，所有外设均停止工作，CORE 域掉电，所有时钟关闭，FLASH 掉电，SRAM 掉电 当配置为 STADNBY1 模式时，IWDG 和 LPTMR 不受影响，其余模块均停止工作，CORE 域掉电，HSI 时钟关闭，LSI 时钟不受影响，FLASH 掉电，SRAM 掉电
唤醒	当处于 STANDBY0 模式时，仅通过 WKUP 引脚的上升/下降/双边沿唤醒 当处于 STANDBY1 模式时，可通过 WKUP 引脚，IWDG 和 LPTMR 唤醒
唤醒延迟	100μs
唤醒后	系统时钟自动切换为 HSI_SYS_CLK 时钟，由于 HSI_DIV 被复位，所以频率固定为 64MHz 系统重新执行程序

注意：

- (1) NRST 能够唤醒 STANDBY，但会额外复位 AON 部分寄存器，详见 RCC 章节
- (2) 当系统进入 STANDBY 后，FLASH 会掉电，SRAM 会掉电且数据不保持。在 STANDBY0 模式下，LPTMR 和 IWDG 会被强制复位；在 STANDBY1 模式下会继续保持工作，需额外配置外设唤醒使能才能对 STANDBY 模式进行唤醒，唤醒后 IWDG 将被复位，LPTMR 可继续工作。
- (3) 在系统进入 STANDBY 前，根据需求配置唤醒引脚的唤醒使能和上下拉模式，该配置位在 PMU_WKCR 寄存器，当唤醒引脚使能后，对应唤醒引脚的功能将不受 GPIO 控制器中的配置影响，该引脚的输入使能开启，输出使能关闭，上下拉模式由 PMU_WKCR 控制。在进入 STANDBY 后，GPIO 控制器中的引脚配置将被复位。
- (4) STANDBY 唤醒引脚有固定 50ns 的模拟滤波，该滤波功能对该引脚的其他功能不生效。

STANDBY 进入的软件操作流程：

- (1) 配置 PMU_WKCR 中，唤醒引脚的上下拉需求 WKPUx，唤醒引脚的唤醒极性 WKPOLx
- (2) 使能唤醒引脚，WKENx 置 1（注意，当使能后，对应的上下拉配置和极性配置将有写入保护，且对应引脚强制输入使能，输出关闭，上下拉关系由 IO 控制器的配置替换为 PMU 唤醒的上下拉配置。为了避免滤波误触发唤醒，唤醒检测功能将在配置 WKENx 后延迟 6 个系统时钟）
- (3) 确认 PMU_WKSR 中没有唤醒标志，即 WKFLGx 全为 0
- (4) 配置 PMU_LPCR 中 LPCFG=1，并执行深度睡眠的 WFI/WFE，进入 STANDBY

6.4.3 电源电压监控

芯片内部集成了上电复位（POR）、掉电复位（PDR）和可编程电源电压监控（PVD）电路。

POR/PDR 复位始终处于工作状态，当监测到电源电压低于阈值（ $V_{POR/PDR}$ ）时，系统保持复位状态，所有寄存器将复位。

PVD 功能能够监测 V_{DD} 与 V_{PVD} 阈值比较。可以通过 PVDEN 使能 PVD 功能，并通过 PMU_PVDCSR 中的 PVDTHSEL[2:0]位选择阈值。

功能	说明
PVD 状态	PMU_PVDCSR 中的 PVDSTS 标志可以指示当前 VDD 状态。为了避免误触发，当 PVD 功能关闭时或刚开启约 30 μ s 处于功能建立时间内，该标志保持为 0。用户可通过 PVDRDYFLG 标志识别该功能是否已经建立完毕，然后读取正确的 PVDSTS 标志。
PVD 中断	PMU_PVDCSR 中的 PVDHT 和 PVDLT 可以对高于/低于阈值进行监测，如果触发监测事件，PVDFLG 将自动置 1。如果通过 EINT 模块配置该通道中断，系统将响应中断，可以通过中断服务程序将 MCU 设置成安全状态。
PVD 系统复位	配置 RCC_RSTCSR 中的 PVDRSTEN 使能 PVD 系统复位功能，当 VDD 低于阈值时，系统进入系统复位，直至 VDD 恢复至阈值电压以上恢复正常模式并重新执行程序。

注意：

- 用户使用 PVD 中断和 PVD 系统复位时，无需等待 PVDRDYFLG 稳定标志，系统会自动处理建立延迟，避免误触发。
- PVD 包含系统时钟进行滤波功能，但滤波功能不支持 STOP 模式下工作。用户在进入 STOP 模式前必须关闭滤波功能，才能保证 PVD 在 STOP 模式下继续工作。

6.5 寄存器地址映射

表格 24 PMU 寄存器地址映射

寄存器名	描述	偏移地址
PMU_KEY	PMU 读写保护寄存器	0x00
PMU_LPCR	PMU 低功耗模式寄存器	0x04
PMU_WKCR	PMU 低功耗唤醒控制寄存器	0x08
PMU_WKSR	PMU 低功耗唤醒状态寄存器	0x0C
PMU_PVDCSR	PVD 控制/状态寄存器	0x10

6.6 寄存器功能描述

6.6.1 PMU 读写保护寄存器（PMU_KEY）

偏移地址：0x00

复位值：0x0000 0000

电源域：CORE 域

复位范围：POR 复位，NRST 复位，STANDBY 复位，系统复位

位/域	名称	R/W	描述
31:17			保留
16	LOCKFLG	R	PMU 寄存器写保护标志（PMU register write protection flag） 0：PMU 寄存器处于可读不可写状态 1：PMU 寄存器处于可读可写状态 注意：该位仅可读，当向 LOCKKEY 写入 0x87E4 后，该位置 1； 当向 LOCKKEY 写入其他值时，该位清零。

位/域	名称	R/W	描述
15:0	LOCKKEY	W	PMU 寄存器写操作的密码保护配置 (Password protection configuration for write operations in PMU registers) 写入 0x87E4 进行解锁, 同时 LOCKFLG 置 1, 写入任意其他值时进行加锁, 同时 LOCKFLG 清 0。

6.6.2 PMU 低功耗模式寄存器 (PMU_LPCR)

偏移地址: 0x04

复位值: 0x0000 0000

电源域: AON 域

复位范围: POR 复位, NRST 复位

位/域	名称	R/W	描述
31:2	保留		
1	STANDBYCFG	R/W	STANDBY 工作模式 (STANDBY work mode) 0: 系统进入 standby 模式 0 后, LSI 关闭, LPTMR 和 IWDT 被复位且不工作 1: 系统进入 standby 模式 1 后, LSI 保持, LPTMR 和 IWDT 继续工作, 且可唤醒 STANDBY 注意: 在该模式下发生 STANDBY 唤醒将复位 IWDT。
0	LPCFG	R/W	低功耗模式 (Low power mode) 0: STOP 模式 1: STANDBY 模式

6.6.3 PMU 低功耗唤醒控制寄存器 (PMU_WKCR)

偏移地址: 0x08

复位值: 0x0000 0000

电源域: AON 域

复位范围: POR 复位, NRST 复位

位/域	名称	R/W	描述
31:26	保留		
25	LPTMRWKEN	RW	使能 LPTMR 唤醒 STANDBY (LPTMR wake up STANDBY enable) 0: LPTMR 不唤醒 STANDBY 1: STANDBY1 模式下唤醒 STANDBY 注意: STANDBY0 模式下 LPTMR 无法唤醒
24	IWDTWKEN	RW	使能 IWDT 唤醒 STANDBY (IWDT wake up STANDBY enable) 0: IWDT 不唤醒 STANDBY 1: STANDBY1 模式下唤醒 STANDBY 注意: STANDBY0 模式下 IWDT 无法唤醒
23:20	保留		
19:18	WKPU1	R/W	唤醒引脚 1 在 STANDBY 下的上下拉控制 (Up and down pull control of wake pin 1 in STANDBY mode) 0x: 无上下拉 10: 上拉 11: 下拉 注意: 当 WKEN1 使能后, 该位不可修改。

位/域	名称	R/W	描述
17:16	WKPUS0	R/W	唤醒引脚 0 在 STANDBY 下的上下拉控制 (Up and down pull control of wake pin 0 in STANDBY mode) 0x: 无上下拉 10: 上拉 11: 下拉 注意: 当 WKEN0 使能后, 该位不可修改。
15:12	保留		
11:10	WKPOL1	R/W	唤醒引脚 1 对 STANDBY 的唤醒极性 (Wake-up polarity of the STANDBY pair on the wake-up pin 1) 00: 上升沿 01: 下降沿 1x: 双边沿 注意: 当 WKEN1 使能后, 该位不可修改。
9:8	WKPOL0	R/W	唤醒引脚 0 对 STANDBY 的唤醒极性 (Wake-up polarity of the STANDBY pair on the wake-up pin 0) 00: 上升沿 01: 下降沿 1x: 双边沿 注意: 当 WKEN0 使能后, 该位不可修改。
7:2	保留		
1	WKEN1	R/W	使能唤醒引脚 1 对 STANDBY 的唤醒 (Wake pin 1 for STANDBY enable) 0: 禁止 1: 使能
0	WKEN0	R/W	使能唤醒引脚 0 对 STANDBY 的唤醒 (Wake pin 0 for STANDBY enable) 0: 禁止 1: 使能

6.6.4 PMU 低功耗唤醒状态寄存器 (PMU_WKSR)

偏移地址: 0x0C

复位值: 0x0000 0000

电源域: AON 域

复位范围: POR 复位, NRST 复位

位/域	名称	R/W	描述
31:26	保留		
25	LPTMRWKFLG	RW	LPTMR 对 STANDBY 唤醒标志 (LPTMR for the STANDBY wake-up flag) 0: 未发生 LPTMR 唤醒 1: 发生了 LPTMR 唤醒 注意: 建议在 STANDBY1 模式下使用, 在 STANDBY0 模式下该标志置一后不会唤醒 STANDBY。 硬件置 1, 软件写 0 清空, 写 1 无效。
24	IWDTWKFLG	R/W	IWDT 对 STANDBY 唤醒标志 (IWDT for the STANDBY wake-up flag) 0: 未发生 IWDT 的唤醒

位/域	名称	R/W	描述
			1: 发生了 IWDG 的唤醒 注意: 建议在 STANDBY1 模式下使用, 在 STANDBY0 模式下该标志置一后不会唤醒 STANDBY。 硬件置 1, 软件写 0 清空, 写 1 无效。
23:5	保留		
4	STANDBYFLG	R/W	STANDBY 事件标志 (STANDBY event flag) 0: 未发生进入 STANDBY 事件 1: 发生了进入 STANDBY 事件 硬件置 1, 软件写 0 清空, 写 1 无效。
3:2	保留		
1	WKFLG1	R/W	唤醒引脚 1 对 STANDBY 唤醒标志 (Wake pin 1 pairs with the STANDBY wake-up flag) 0: 未发生该引脚的唤醒 1: 发生了该引脚的唤醒 硬件置 1, 软件写 0 清空, 写 1 无效。
0	WKFLG0	R/W	唤醒引脚 0 对 STANDBY 唤醒标志 (Wake pin 0 pairs with the STANDBY wake-up flag) 0: 未发生该引脚的唤醒 1: 发生了该引脚的唤醒 硬件置 1, 软件写 0 清空, 写 1 无效。

6.6.5 PVD 控制/状态寄存器 (PMU_PVDCSR)

偏移地址: 0x10

复位值: 0x0000 0000

电源域: CORE 域

复位范围: POR 复位, NRST 复位, STANDBY 复位

位/域	名称	R/W	描述
31:17	保留		
16	PVDRDYFLG	R	PVD 功能建立稳定标志 (PVD function establishes stable flag) 0: PVD 功能关闭或正处于建立启动时间内 1: PVD 功能已经准备就绪 注意: 当 PVDEN 未使能或在建立启动时间内, 该标志保持为 0。
15	PVDSTS	R	PVD 监测结果输出 (PVD monitoring results output) 0: VDD 低于 PVD 阈值电压 1: VDD 高于 PVD 阈值电压 注意: 当 PVDEN 未使能或在建立启动时间内, 该标志保持为 0
14	PVDFLG	R/W	PVD 监测事件标志 (PVD monitoring event flag) 0: 未发生监测事件 1: 发生了监测事件 注意: 硬件置 1, 软件写 0 清空, 写 1 无效
13	保留		
12:10	PVDFLTSEL	R/W	PVD 滤波长度选择 (PVD filter length select)

位/域	名称	R/W	描述
			000: 64 个系统时钟 (64MHz 时 1us) 001: 128 个系统时钟 (64MHz 时 2us) 010: 192 个系统时钟 (64MHz 时 3us) 011: 320 个系统时钟 (64MHz 时 5us) 100: 640 个系统时钟 (64MHz 时 10us) 101: 1280 个系统时钟 (64MHz 时 20us) 110: 1920 个系统时钟 (64MHz 时 30us) 111: 3200 个系统时钟 (64MHz 时 50us) 注意: 当 PVDEN 使能后, 该位无法修改。
9	PVDFLTEN	R/W	使能 PVD 滤波 (PVD filter enable) 0: 禁止 1: 使能 注意: 当 PVDEN 使能后, 该位无法修改。
8	PVDIEN	R/W	使能 PVD 监测事件中断 (PVD monitoring event interrupts the enable) 0: 禁止 1: 使能
7:6	保留		
5	PVDHT	R/W	PVD 高于阈值电压事件监测 (PVD above threshold voltage events monitoring) 0: 不对 VDD 高于阈值电压进行监测 1: 当 VDD 高于阈值电压时, PVDFLG 置 1, 可触发中断 注意: 当 PVDEN 使能后, 该位无法修改。
4	PVDLT	R/W	PVD 低于阈值电压事件监测 (PVD below threshold voltage events monitoring) 0: 不对 VDD 低于阈值电压进行监测 1: 当 VDD 低于阈值电压时, PVDFLG 置 1, 可触发中断 注意: 当 PVDEN 使能后, 该位无法修改。
3:1	PVDTHSEL[2:0]	R/W	配置 PVD 阈值电压 (PVD threshold voltage configure) 000: 阈值电压 1.9V/2.0V 001: 阈值电压 2.3V/2.4V 010: 阈值电压 2.7V/2.8V 011: 阈值电压 3.1V/3.2V 100: 阈值电压 3.5V/3.6V 101: 阈值电压 3.9V/4.0V 110: 阈值电压 4.3V/4.4V 111: 阈值电压 4.7V/4.8V 注意: 当 PVDEN 使能后, 该位无法修改。
0	PVDEN	R/W	使能 PVD (PVD enable) 0: 禁止 1: 使能

7 嵌套向量中断控制器（NVIC）

7.1 术语全称、缩写描述

表格 25 术语全称、缩写描述

中文全称	英文全称	英文缩写
不可屏蔽中断	Non Maskable Interrupt	NMI

7.2 简介

产品中的 Cortex-M0+内核集成了嵌套向量中断控制器（Nested Vectored Interrupt Controller（NVIC）），它和内核紧密耦合，能高效、低延迟处理异常和中断、电源管理控制。更多关于 NVIC 的说明请参考《Cortex-M0+技术参考手册》。

7.3 主要特征

- （1） 32 个可屏蔽中断通道
- （2） 4 个可编程的优先级
- （3） 电源管理控制
- （4） 低延时的异常和中断处理
- （5） 系统控制寄存器的实现

7.4 中断和异常向量表

表格 26 中断和异常向量表

名称	向量编号	优先级	向量地址	描述
	-	-	0x0000_0000	保留
Reset	-	-3	0x0000_0004	复位
NMI	-	-2	0x0000_0008	不可屏蔽中断
HardFault	-	-1	0x0000_000C	各种硬件故障
SVCall	-	可设置	0x0000_002C	通用 SWI 指令调用的系统服务
PendSV	-	可设置	0x0000_0038	可挂起的系统服务
SysTick	-	可设置	0x0000_003C	系统节拍定时器
WWDT	0	可设置	0x0000_0040	窗口看门狗中断
PVD	1	可设置	0x0000_0044	电源电压检测中断
-	2	-	0x0000_0048	保留
FLASH	3	可设置	0x0000_004C	闪存全局中断
RCC	4	可设置	0x0000_0050	RCC 中断
EINT0_1	5	可设置	0x0000_0054	EINT 线[1:0]中断

名称	向量编号	优先级	向量地址	描述
EINT2_3	6	可设置	0x0000_0058	EINT 线[3:2]中断
EINT4_15	7	可设置	0x0000_005C	EINT 线[15:4]中断
-	8	-	0x0000_0060	保留
DMA_CH0	9	可设置	0x0000_0064	DMA 通道 0 中断
DMA_CH1	10	可设置	0x0000_0068	DMA 通道 1 中断
-	11	-	0x0000_006C	保留
ADC	12	可设置	0x0000_0070	ADC 中断
ATMR_BRK_ UP_TRG_COM	13	可设置	0x0000_0074	ATIMER_BRK/UP/TRG 和 COM 中 断
ATMR_CC	14	可设置	0x0000_0078	ATIMER 比较中断
GTMR	15	可设置	0x0000_007C	GTIMER 中断
-	16	-	0x0000_0080	保留
BTMR0	17	可设置	0x0000_0084	BTIMER0 中断
BTMR1	18	可设置	0x0000_0088	BTIMER1 中断
LPTMR	19	可设置	0x0000_008C	LPTIMER 中断
-	20	-	0x0000_0090	保留
COMP0	21	可设置	0x0000_0094	COMP0 中断
COMP1_2_3	22	可设置	0x0000_0098	COMP1/2/3 中断
I2C	23	可设置	0x0000_009C	I2C 中断
-	24	-	0x0000_00A0	保留
SPI	25	可设置	0x0000_00A4	SPI 中断
-	26	-	0x0000_00A8	保留
USART	27	可设置	0x0000_00AC	USART 中断
UART	28	可设置	0x0000_00B0	UART 中断
-	29	-	0x0000_00B4	保留
-	30	-	0x0000_00B8	保留
-	31	-	0x0000_00BC	保留

8 外部中断与事件控制器（EINT）

8.1 简介

中断/事件分为内部中断/事件、外部中断/事件。在该手册中，外部中断指从 I/O 引脚输入信号引起的中断/事件，在中断向量表中指 **EINTx**；其它中断指内部中断/事件。

事件可分为硬件事件、软件事件。硬件事件是通过外部/内核硬件信号产生事件，软件事件是通过指令产生事件。

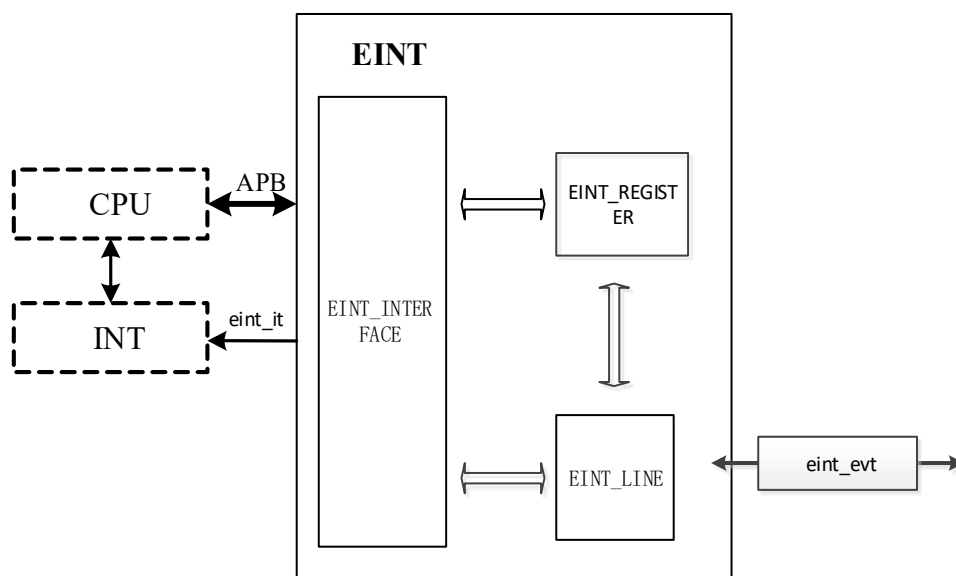
中断需经过中断处理函数实现需要处理的工作；事件不需要经过中断处理函数，可硬件触发预先设置的工作。外部事件例如可通过事件是 **GPIO** 输出脉冲，内部事件例如通过一个定时器的更新事件触发另一个定时器工作。

8.2 主要特征

- (1) 支持 18 个事件/中断请求
- (2) 每个事件/中断线都可独立屏蔽
- (3) 系统不处于停机模式时自动禁止内部的线
- (4) 每个外部事件/中断线都可独立触发
- (5) 每个外部中断线都有专用的状态位
- (6) 检测脉冲宽度低于 **APB** 时钟宽度的外部信号

8.3 结构框图

图 13 结构框图



8.4 功能描述

8.4.1 “外部中断与事件”类别及差异点

“外部中断与事件”按照触发源、配置及执行过程，可分为：外部硬件中断、外部硬件事件、外部软件事件、外部软件中断，差异点见下表：

表格 27 “外部中断与事件”分类及差异点

名称	触发源	配置及执行过程
外部硬件中断	外部信号	(1) 设置触发方式，允许中断请求，使能对应外设中断线（在 NVIC 中使能）。 (2) 当外部中断线上产生了和配置一致的边沿时，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。
外部硬件事件	外部信号	(1) 设置触发方式，使能事件线。 (2) 当外部事件线上产生了和配置一致的边沿时，产生 1 个事件请求脉冲，对应的挂起位不被置 1。
外部软件事件	软件中断寄存器/发送事件（SEV）指令	(1) 使能事件线。 (2) 对应事件线的软件中断事件寄存器写 1，产生 1 个事件请求脉冲，对应的挂起位不被置 1。
外部软件中断	软件中断寄存器	(1) 允许中断请求，使能对应外设中断线（在 NVIC 中使能）。 (2) 对应中断线的软件中断事件寄存器写 1，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。

8.4.2 唤醒

在需要的边沿检测设置触发寄存器 RTEN 或 FTEN，当外部中断线上的边沿发生时锁住边沿，输出唤醒信号。

PMU 进入 STOP 之前，要确认没有挂起的中断（WFI）或事件（WFE）；如果有，则需要软件写 IPEND 寄存器清除挂起位，避免无法进入 STOP。

8.4.3 事件

如果产生事件，必须先配置好并使能事件线。根据需要的边沿检测通过设置 2 个触发寄存器，同时在事件屏蔽寄存器的相应位写“1”允许事件请求。当事件线上发生了需要的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置“1”。

8.4.4 中断

如果产生中断，必须先配置好并使能中断线。根据需要的边沿检测设置 2 个触发寄存器，同时在中断屏蔽寄存器的相应位写“1”允许中断请求。当外部中断线上发生了期待的边沿时，将产生一个中断请求，对应的挂起位也随之被置“1”。在挂起寄存器的对应位写“1”，将清除该中断请求。

8.4.5 外部中断与事件线映射

表格 28 外部中断与事件线映射

外部中断与事件通道名称	外部中断与事件线编号
PA0/PB0	EINT 0
PA1/PB1	EINT 1
...	...
PA12/PB12	EINT 12
PA13	EINT 13
PA14	EINT 14
PA15	EINT 15
PVD 输出	EINT 16
LPTMR	EINT 17
保留	EINT 18~ EINT31

8.4.6 使用说明

- (1) 配置 EINT_CFG0/ EINT_CFG1，选择好 PAD 通道
- (2) 配置 EINT_IMASK/ EINT_EMASK 寄存器，打开中断或事件屏蔽开关
- (3) 配置 EINT_RTEN/ EINT_FTEN 寄存器，选择上升沿触发或下降沿触发
- (4) 如果要软件触发中断或事件，可配置 EINT_SWIEN 寄存器
- (5) 中断产生后，EINT_IPEND 寄存器拉高，软件可通过改变边沿检测的极性清 0，或通过向该位写 1 清 0
- (6) 切换 PAD 通道前，先关闭 EINT_RTEN/ EINT_FTEN

8.5 寄存器地址映射

表格 29 外部中断/事件控制器寄存器地址映射

寄存器名	描述	偏移地址
EINT_IMASK	中断屏蔽寄存器	0x00
EINT_EMASK	事件屏蔽寄存器	0x04
EINT_RTEN	使能上升沿触发寄存器	0x08
EINT_FTEN	使能下降沿触发寄存器	0x0C
EINT_SWIEN	软件中断事件寄存器	0x10
EINT_IPEND	中断挂起寄存器	0x14
EINT_CFG0	配置寄存器 0	0x18
EINT_CFG1	配置寄存器 1	0x1C

8.6 寄存器功能描述

8.6.1 中断屏蔽寄存器 (EINT_IMASK)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	IMASKx	R/W	屏蔽线 x 上的中断请求 (Interrupt Request Mask on Line x) (x=0~17) 0: 屏蔽 1: 开放

8.6.2 事件屏蔽寄存器 (EINT_EMASK)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	EMASKx	R/W	屏蔽线 x 上的事件请求 (Event Request Mask on Line x) (x=0~17) 0: 屏蔽 1: 开放

8.6.3 使能上升沿触发寄存器 (EINT_RTEN)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	RTENx	R/W	使能线 x 上的上升沿触发事件和中断 (Rising Trigger Event Enable and Interrupt of Line x) (x=0~17) 0: 禁止 1: 使能

8.6.4 使能下降沿触发寄存器 (EINT_FTEN)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	FTENx	R/W	使能线 x 上的下降沿触发事件和中断 (Falling Trigger Event Enable and Interrupt of Line x) (x=0~17) 0: 禁止 1: 使能

8.6.5 软件中断事件寄存器 (EINT_SWIEN)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	SWIENx	R/W	线 x 上的软件中断（Software Interrupt Event on Line x）（x=0~17） 软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。 当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK（EINT_EMASK）开放中断（事件）请求，则此时将产生一个中断（事件）。 0：无作用 1：软件产生中断（事件）

8.6.6 中断挂起寄存器（EINT_IPEND）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:0	IPENDx	RC_W1	发生线 x 上的中断挂起标志（Interrupt Pending Occur of Line x Flag）（x=0~17） 是否发生可选择的触发请求 0：无 1：发生 当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过改变边沿检测的极性清 0，或通过向该位写入 1 清 0。

8.6.7 配置寄存器 0（EINT_CFG0）

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
31:29	保留		
28	EINT7	R/W	配置 EINT7 的引脚（EINT7 pin Configure） 0：PA7 1：PB7
27:25	保留		
24	EINT6	R/W	配置 EINT6 的引脚（EINT6 pin Configure） 0：PA6 1：PB6
23:21	保留		
20	EINT5	R/W	配置 EINT5 的引脚（EINT5 pin Configure） 0：PA5 1：PB5
19:17	保留		
16	EINT4	R/W	配置 EINT4 的引脚（EINT4 pin Configure） 0：PA4 1：PB4

位/域	名称	R/W	描述
15:13	保留		
12	EINT3	R/W	配置 EINT3 的引脚 (EINT3 pin Configure) 0: PA3 1: PB3
11:9	保留		
8	EINT2	R/W	配置 EINT2 的引脚 (EINT2 pin Configure) 0: PA2 1: PB2
7:5	保留		
4	EINT1	R/W	配置 EINT1 的引脚 (EINT1 pin Configure) 0: PA1 1: PB1
3:1	保留		
0	EINT0	R/W	配置 EINT0 的引脚 (EINT0 pin Configure) 0: PA0 1: PB0

8.6.8 配置寄存器 1 (EINT_CFG1)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:29	保留		
28	EINT15	R/W	配置 EINT15 的引脚 (EINT15 pin Configure) 0: PA15 1: 无
27:25	保留		
24	EINT14	R/W	配置 EINT14 的引脚 (EINT14 pin Configure) 0: PA14 1: 无
23:21	保留		
20	EINT13	R/W	配置 EINT13 的引脚 (EINT13 pin Configure) 0: PA13 1: 无
19:17	保留		
16	EINT12	R/W	配置 EINT12 的引脚 (EINT12 pin Configure) 0: PA12 1: PB12
15:13	保留		
12	EINT11	R/W	配置 EINT11 的引脚 (EINT11 pin Configure) 0: PA11 1: PB11

位/域	名称	R/W	描述
11:9	保留		
8	EINT10	R/W	配置 EINT10 的引脚 (EINT10 pin Configure) 0: PA10 1: PB10
7:5	保留		
4	EINT9	R/W	配置 EINT9 的引脚 (EINT9 pin Configure) 0: PA9 1: PB9
3:1	保留		
0	EINT8	R/W	配置 EINT8 的引脚 (EINT8 pin Configure) 0: PA8 1: PB8

9 直接存储器存取（DMA）

9.1 术语全称、缩写描述

表格 30 术语全称、缩写描述

中文全称	英文全称	英文缩写
全局	Global	G
传输	Transfer	T
半	Half	H
完成	Complete	C
错误	Error	E
通道	Channel	CH
循环	Circular	CIR
外设	Peripheral	PER
增量	Increment	I
存储器	Memory	M
优先级	Priority	PRI
数量	Number	N
地址	Address	ADDR

9.2 简介

DMA（Direct Memory Access：直接存储器存取）在无须 CPU 干预的情况下，可实现外设与存储器或存储器与存储器之间数据的直接传输，从而节省 CPU 资源来做其他操作。

产品有一个 DMA 控制器，2 个通道。DMA 的每个通道功能完全一样，请求选择模块在 16 个外设请求中进行选择并与外设握手，触发通道控制模块对数据传输整个过程进行控制，FIFO 实现数据的缓存和读写位宽的转换。AHB 主接口分别实现通道传输与 AHB 接口协议的转换。因为每个时刻 AHB 总线只能服务一个通道，所以 AHB 主接口与 2 通道间要设置仲裁器。DMA 的配置寄存器接口使用 AHB 从接口。DMA 根据中断事件会产生中断。DMA 使用全同步设计，AHB BUS 时钟作为参考时钟，无分频时钟。

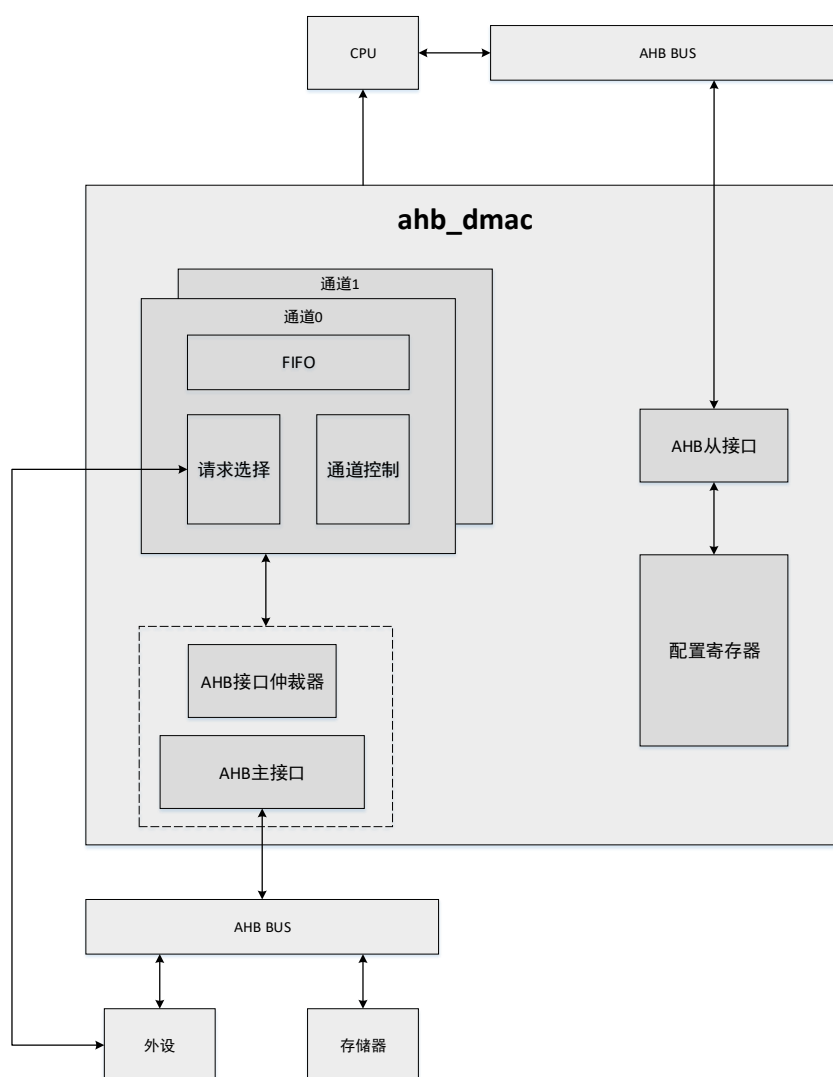
9.3 主要特征

- （1） DMA 有 2 个通道
- （2） 一个 AHB 主接口，一个 AHB 从接口

- (3) 数据传输方式有三种：外设到存储器、存储器到外设、存储器到存储器
- (4) 每个通道都有连接专门的硬件 DMA 请求
- (5) 多个请求同时发生时支持软件优先级和硬件优先级
- (6) 每个通道都有 5 个事件标志和独立中断
- (7) 可配置源和目标的传输宽度为字节、半字或字
- (8) 支持循环传输模式
- (9) 支持源和目标增量模式
- (10) 可配置突发增量大小为单次、4 个、8 个或 16 个节拍
- (11) 可编程的数据传输数目，最大到 65535，单位由 PSIZECFG 位决定

9.4 结构框图

图 14 结构框图



9.5 功能描述

9.5.1 DMA 请求

若外设或存储器需要使用 DMA 传输数据，就必须先发送 DMA 请求，等待 DMA 同意之后才开始数据传输。

DMA 一共有 2 个通道，每个通道都连接着不同的外设，每个通道都有 5 个事件标志（DMA 半传输、DMA 传输完成、DMA 传输出错、DMA FIFO 错误和直接模式错误），5 个事件标志的逻辑或成为一个单独的中断请求，且都支持软件触发。

多个外设请求同一个通道时，需要配置对应寄存器，开启或关闭每个外设的请求，以保证一个通道仅能开启一个外设请求。

表格 31 DMA 请求映射表

外设	Bit 值	通道 0	通道 1
外设 0	0000	ADC	ADC
外设 1	0001	-	-
外设 2	0010	-	-
外设 3	0011	-	-
外设 4	0100	GTMR_CH3	GTMR_CH0
外设 5	0101	GTMR_UP	GTMR_CH1
外设 6	0110	GTMR_TRIG	GTMR_CH2
外设 7	0111	-	-
外设 8	1000	-	-
外设 9	1001	-	-
外设 10	1010	-	-
外设 11	1011	USART_TX	USART_RX
外设 12	1100	UART_RX	UART_TX
外设 13	1101	SPI_TX	SPI_RX
外设 14	1110	I2C_RX	I2C_TX
外设 15	1111	SPI_RX	SPI_TX

9.5.2 仲裁器

发生多个 DMA 通道请求（对 DMA 的 AHB 主接口的请求）时，需要用到仲裁器来管理先后响应的顺序。管理分两个阶段：第一阶段软件阶段分为高和低两个优先级；第二阶段硬件阶段，在软件优先级相同的情况下，通道编号越低优先级越高。

9.5.3 FIFO

FIFO 用来在源数据传输到目标地址之前临时存放数据，每个通道都有 1 个独立的 4 字 FIFO，可通过软件来控制 FIFO 阈值为 1/4、1/2、3/4 或满。

DMA 传输模式有两种，第一种为直接模式，在每个外设请求后立即启动对存储

器的单次传输，若 DMA 配置为存储器到外设传输数据，DMA 会将一个数据存放在 FIFO 内，一旦外设触发 DMA 请求，就将数据发送过去。直接模式需要将源和目标地址的数据宽度配置相同，不支持突发模式，不支持存储器到存储器的传输方式；第二种为 FIFO 模式，先配置 FIFO 阈值，当数据存储量达到阈值时，将 FIFO 内容传输到目标，FIFO 模式适用于在源地址和目标地址数据宽度不同时使用，支持突发模式，FIFO 可将数据先存放起来，然后根据需求输出数据。

9.5.4 端口

DMA 控制器通过 AHB Master 端口与存储器和外设进行数据传输，DMA 的 AHB Master 连接在 AHB 矩阵总线上，根据总线关系访问内部 Flash、内部 SRAM、AHB 外设、APB 外设。

9.5.5 中断

每个通道传输都有 5 种类型的中断事件，分别是半传输、传输完成、传输错误、FIFO 错误和直接模式错误。有相应的配置寄存器控制中断的使能。

- 半传输中断：只有 DMA 作流控时才会有，不是精确中断，传输过半时触发，最晚不超过数据的一半加上 FIFO 阈值的数据量传输完成的时刻。
- 传输完成中断：传输完成时触发。
- 传输错误中断：DMA 传输期间总线读写错误时触发；双缓存模式下，当 CTARG 为 0 时写入 M0ADDR，或者 CTARG 为 1 时写入 M1ADDR，也会触发。
- FIFO 错误中断：FIFO 下溢或溢出时触发；FIFO 的阈值与存储器的 Burst 类型属于不支持的传输类型，并使能了通道时会触发。
- 直接模式错误中断：直接模式下，外设到存储器的传输，如果 MINCM 设置为 0，即存储器为固定地址，当前 FIFO 里有数据还没有传送到存储器，此时又产生了 DMA 传输请求时触发。

9.5.6 使用说明

9.5.6.1 DMA 初始化参数配置

传输模式

DMA 支持外设到存储器、存储器到外设和存储器到存储器三种传输模式

传输模式可通过 DMA_SCFG 寄存器的 DIRCFG 位控制。

递增模式

通过 DMA_SCFG 寄存器的 PINCM 和 MINCM 位控制外设和存储器的递增模式，当两个位都置 1 时，配置为递增模式，增量为 DMA_SCFG 寄存器 PSIZECFG 和 MSIZECFG 位的值，PSIZECFG 和 MSIZECFG 位用来设置外设和存储器的数据大小为字节、半字和字。

单次传输和突发模式

突发传输是指在传输阶段增大每次传输的数据量以此来提高传输速度的高速传输，突发传输过程中要占用 AHB 总线。

单次和突发传输可通过 DMA_SCFG 寄存器的 PBCFG 和 MBCFG 位来控制，可配置为单次传输、4 个节拍的增量突发传输、8 个节拍的增量突发传输、16 个节拍的增量突发传输。该增量由 PSIZECFG 和 MSIZECFG 位的值决定。仅在支持递增模式的前提下才能使能突发模式。

突发模式需结合 FIFO 使用，FIFO 阈值选择必须适合存储器的突发大小，具体如下表所示。

表格 32 FIFO 阈值配置

MSIZECFG	FIFO 阈值	MBCFG=01	MBCFG=10	MBCFG=11
字节	1/4	4 个节拍的 1 次突发	禁止	禁止
	1/2	4 个节拍的 2 次突发	8 个节拍的 1 次突发	
	3/4	4 个节拍的 3 次突发	禁止	
	满	4 个节拍的 4 次突发	8 个节拍的 2 次突发	16 个节拍的 1 次突发
半字	1/4	禁止	禁止	禁止
	1/2	4 个节拍的 1 次突发		
	3/4	禁止		
	满	4 个节拍的 2 次突发	8 个节拍的 1 次突发	
字	1/4	禁止	禁止	
	1/2			
	3/4			
	满	4 个节拍的 1 次突发		

循环模式

循环模式用来处理循环缓冲区和连续的通道，循环模式会在传输结束后将数据项数目自动的配置为初始值，继续进行数据的传输。

循环模式可通过 DMA_SCFG 寄存器的 CIRC MEN 位控制。

双缓冲区模式

设置 DMA_SCFG 寄存器的 DBM 置 1 可开启双缓冲区模式，并自动激活循环模式，在双缓冲区模式下，DMA_M1ADDR 寄存器被激活，当传输完 DMA_M0ADDR 寄存器地址指针所对应的存储区后，将切换至 DMA_M1ADDR 寄存器地址指针所对应的存储区继续传输，一直循环调用，当 DMA 在访问 DMA_M1ADDR 时，DMA_SCFG 寄存器的 CTARG 位置 1，同时可向 DMA_M0ADDR 寄存器写或读数据。

该模式不支持存储器到存储器传输。

9.5.6.2 通道配置流程

- (1) 通过读取 CHEN 判断通道是否使能，如果 CHEN=1，先将 CHEN 配置为 0，再读取确认，然后将各中断状态清零
- (2) 根据传输类型需求配置通道寄存器
- (3) 将 CHEN 配置为 1，使能通道

9.6 寄存器地址映射

表格 33 DMA 寄存器地址映射表

寄存器名	描述	偏移地址
DMA_ISR	DMA 中断状态寄存器	0x00
DMA_IFCLR	DMA 中断标志清零寄存器	0x08
DMA_SCFGx	DMA 通道 x 配置寄存器	0x10+0x18 x
DMA_NDATAx	DMA 通道 x 数据项数寄存器	0x14+0x18 x
DMA_PADDRx	DMA 通道 x 外设地址寄存器	0x18+0x18 x
DMA_M0ADDRx	DMA 通道 x 存储器 0 地址寄存器	0x1C+0x18 x
DMA_M1ADDRx	DMA 通道 x 存储器 1 地址寄存器	0x20+0x18 x
DMA_FIFOCRx	DMA 通道 x FIFO 控制寄存器	0x24+0x18 x

9.7 寄存器功能描述

9.7.1 DMA 中断状态寄存器 (DMA_ISR)

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11	TXCIFLG1	R	通道 1 传输完成标志 (Channel 1 Transfer Complete Interrupt Flag) 这些位由硬件置 1，软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无传输完成事件 1: 产生传输完成事件
10	HTXIFLG1	R	通道 1 半传输中断标志 (Channel 1 Half Transfer Interrupt Flag) 这些位由硬件置 1，软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无半传输事件 1: 产生半传输事件

位/域	名称	R/W	描述
9	TXEIFLG1	R	通道 1 传输错误中断标志 (Channel 1 Transfer Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无传输错误 1: 产生传输错误
8	DMEIFLG1	R	通道 1 直接模式错误中断标志 (Channel 1 Direct Mode Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无直接模式错误 1: 产生直接模式错误
7	保留		
6	FEIFLG1	R	通道 1 FIFO 错误中断标志 (Channel 1 FIFO Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无 FIFO 错误事件 1: 产生 FIFO 错误事件
5	TXCIFLG0	R	通道 0 传输完成标志 (Channel 0 Transfer Complete Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无传输完成事件 1: 产生传输完成事件
4	HTXIFLG0	R	通道 0 半传输中断标志 (Channel 0 Half Transfer Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无半传输事件 1: 产生半传输事件
3	TXEIFLG0	R	通道 0 传输错误中断标志 (Channel 0 Transfer Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无传输错误 1: 产生传输错误
2	DMEIFLG0	R	通道 0 直接模式错误中断标志 (Channel 0 Direct Mode Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无直接模式错误 1: 产生直接模式错误
1	保留		
0	FEIFLG0	R	通道 0 FIFO 错误中断标志 (Channel 0 FIFO Error Interrupt Flag) 这些位由硬件置 1, 软件在 DMA_IFCLR 寄存器的相应位上写 1 清 0。 0: 无 FIFO 错误事件 1: 产生 FIFO 错误事件

9.7.2 DMA 中断标志清零寄存器 (DMA_IFCLR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11	CTXCIFLG1	W	通道 1 传输完成标志清零 (Channel 1 Clear Transfer Complete Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 TXCIFLG1 标志清零
10	CHTXIFLG1	W	通道 1 半传输中断标志清零 (Channel 1 Clear Half Transfer Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 HTXIFLG1 标志清零
9	CTXEIFLG1	W	通道 1 传输错误中断标志清零 (Channel 1 Clear Transfer Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 TXEIFLG1 标志清零
8	CDMEIFLG1	W	通道 1 直接模式错误中断标志清零 (Channel 1 Clear Direct Mode Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 DMEIFLG1 标志清零
7	保留		
6	CFEIFLG1	W	通道 1 FIFO 错误中断标志清零 (Channel 1 Clear FIFO Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 FEIFLG1 标志清零
5	CTXCIFLG0	W	通道 0 传输完成标志清零 (Channel 0 Clear Transfer Complete Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 TXCIFLG0 标志清零
4	CHTXIFLG0	W	通道 0 半传输中断标志清零 (Channel 0 Clear Half Transfer Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 HTXIFLG0 标志清零
3	CTXEIFLG0	W	通道 0 传输错误中断标志清零 (Channel 0 Clear Transfer Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 TXEIFLG0 标志清零
2	CDMEIFLG0	W	通道 0 直接模式错误中断标志清零 (Channel 0 Clear Direct Mode Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 DMEIFLG0 标志清零
1	保留		
0	CFEIFLG0	W	通道 0 FIFO 错误中断标志清零 (Channel 0 Clear FIFO Error Interrupt Flag) 0: 无效 1: DMA_ISR 寄存器中的 FEIFLG0 标志清零

9.7.3 DMA 通道 x 配置寄存器 (DMA_SCFGx) (x=0,1)

偏移地址: 0x10+0x18 x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:29	保留		
28:25	PSEL	R/W	选择外设 (Peripheral Selection) 0000: 选择外设 0 0001: 选择外设 1 0010: 选择外设 2 0011: 选择外设 3 0100: 选择外设 4 0101: 选择外设 5 0110: 选择外设 6 0111: 选择外设 7 1000: 选择外设 8 1001: 选择外设 9 1010: 选择外设 10 1011: 选择外设 11 1100: 选择外设 12 1101: 选择外设 13 1110: 选择外设 14 1111: 选择外设 15 这些位只有在 CHEN 位为 0 时才允许写入。
24:23	MBCFG	R/W	配置存储器突发传输 (Memory Burst Transfer Configure) 00: 单次传输 01: INCR4 (4 个节拍的增量突发传输) 10: INCR8 (8 个节拍的增量突发传输) 11: INCR16 (16 个节拍的增量突发传输) 该位只有在 CHEN 位为 0 时才允许写入。 在直接模式下, 这些位强制清 0。
22:21	PBCFG	R/W	配置外设突发传输 (Peripheral Burst Transfer Configure) 00: 单次传输 01: INCR4 (4 个节拍的增量突发传输) 10: INCR8 (8 个节拍的增量突发传输) 11: INCR16 (16 个节拍的增量突发传输) 该位只有在 CHEN 位为 0 时才允许写入。 在直接模式下, 这些位强制清 0。
20	保留		
19	CTARG	R/W	当前目标 (仅在双缓冲区模式下) (Current Target (only in double buffer mode)) 该位由硬件置 1 和清 0, 也可由软件写入。 0: 当前目标存储器为存储器 0 1: 当前目标存储器为存储器 1 这些位只有在 CHEN 位为 0 时才允许写入。

位/域	名称	R/W	描述
18	DBM	R/W	双缓冲区模式 (Double Buffer Mode) 0: 传输结束时不切换缓冲区 1: DMA 传输结束时切换目标存储器 该位只有在 CHEN 位为 0 时才允许写入。
17	保留		
16	PRILCFG	R/W	配置优先级 (Priority Level Configure) 0: 低 1: 高这个位只有在 CHEN 位为 0 时才允许写入。
15	PERIOSIZE	R/W	外设增量偏移量 (Peripheral increment offset size) 0: 用于计算外设地址的偏移量与 PSIZECFG 相关 1: 用于计算外设地址的偏移量固定为 4 若位 PINCM 为 0, 此位无意义, 该位只有在 CHEN 位为 0 时才允许写入。 若选择直接模式或位 PBCFG 不配置为 00, 且当使能通道时, 该位由硬件强制置为低电平。
14:13	MSIZECFG	R/W	配置存储器数据大小 (Memory Data Size Configure) 00: 字节 (8 位) 01: 半字 (16 位) 10: 字 (32 位) 11: 保留 这些位只有在 CHEN 位为 0 时才允许写入。 在直接模式下, 当 CHEN 位为 1 时, MSIZECFG 位由硬件强制置为与 PSIZECFG 位相同的值。
12:11	PSIZECFG	R/W	配置外设数据大小 (Peripheral Data Size Configure) 00: 字节 (8 位) 01: 半字 (16 位) 10: 字 (32 位) 11: 保留 这些位只有在 CHEN 位为 0 时才允许写入。
10	MINCM	R/W	存储器递增模式 (Memory Increment Mode) 0: 存储器地址指针固定 1: 每次数据传输后, 存储器地址指针递增 该位只有在 CHEN 位为 0 时才允许写入。
9	PINCM	R/W	外设增量模式 (Memory Increment Mode) 0: 外设地址指针固定 1: 每次数据传输后, 外设地址指针递增 该位只有在 CHEN 位为 0 时才允许写入。
8	CIRCMEN	R/W	使能循环模式 (Circular Mode Enable) 该位由软件置 1 和清 0, 也可由硬件清 0。 0: 禁止 1: 使能 若 DMA 传输结束时切换目标存储区且使能通道, 该位由硬件自动强制置 1。

位/域	名称	R/W	描述
7:6	DIRCFG	R/W	配置数据传输方向 (Data Transfer Direction Configure) 00: 外设到存储器 01: 存储器到外设 10: 存储器到存储器 11: 保留 这些位只有在 CHEN 位为 0 时才允许写入。
5	保留		
4	TXCIEN	R/W	使能传输完成中断 (Transfer Complete Interrupt Enable) 0: 禁止 1: 使能
3	HTXIEN	R/W	使能半传输中断 (Half Transfer Interrupt Enable) 0: 禁止 1: 使能
2	TXEIEN	R/W	使能传输错误中断 (Transfer Error Interrupt Enable) 0: 禁止 1: 使能
1	DMEIEN	R/W	使能直接模式错误中断 (Direct Mode Error Interrupt Enable) 0: 禁止 1: 使能
0	CHEN	R/W	使能通道 (Channel Enable) 0: 禁止 1: 使能 以下情况该位由硬件清 0: DMA 传输结束时。 AHB 主总线出现传输错误时。 存储器 AHB 端口上的 FIFO 阈值与突发大小不兼容时。

9.7.4 DMA 通道 x 数据项数寄存器 (DMA_NDATA) (x=0,1)

偏移地址: 0x14+0x18 x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	NDATA	R/W	传输的数据项数目 (Number Of Data Items To Transfer) 传输的数据项数目为 0-65535, 只有禁止通道时, 才允许对此寄存器进行操作, 使能通道后, 该寄存器为只读, 用来指示要传输的剩余数据项数目。每次 DMA 传输后, 该寄存器递减。 传输完成后此寄存器为 0, 循环模式下传输完成后自动重载初始值。

9.7.5 DMA 通道 x 外设地址寄存器 (DMA_PADDR) (x=0,1)

偏移地址: 0x18+0x18 x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	PADDR	R/W	外设地址 (Peripheral Address) 读/写数据的外设数据寄存器的基址。 该位只有在 CHEN 位为 0 时才允许写入。

9.7.6 DMA 通道 x 存储器 0 地址寄存器 (DMA_M0ADDR) (x=0,1)

偏移地址: 0x1C+0x18 x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	M0ADDR	R/W	存储器 0 地址 (Memory 0 Address) 读/写数据的存储器 0 的基址。 这些位受到写保护, 只有在以下情况才能写入: 禁止通道 使能通道且 DMA_SCFG 寄存器的 CTARG 位置 1

9.7.7 DMA 通道 x 存储器 1 地址寄存器 (DMA_M1ADDR) (x=0,1)

偏移地址: 0x20+0x18 x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	M1ADDR	R/W	存储器 1 地址 (Memory 1 Address) 读/写数据的存储器 1 的基址。 该寄存器仅适用于双缓冲模式。 这些位受到写保护, 只有在以下情况才能写入: 禁止通道 使能通道且 DMA_SCFG 寄存器的 CTARG 位清 0

9.7.8 DMA 通道 xFIFO 控制寄存器 (DMA_FIFO CR) (x=0,1)

偏移地址: 0x24+0x18 x

复位值: 0x0000 0020

位/域	名称	R/W	描述
31:8	保留		
7	FEIEN	R/W	使能 FIFO 错误中断 (FIFO Error Interrupt Enable) 0: 禁止 1: 使能
6	保留		
5:3	FSTS	R	FIFO 状态 (FIFO Status) 000: 0<fifo_level<1/4 001: 1/4≤fifo_level<1/2 010: 1/2≤fifo_level<3/4 011: 3/4≤fifo_level<满 100: FIFO 空 101: FIFO 满 其他: 无意义 在直接模式下, 这些位无效。

位/域	名称	R/W	描述
2	DMDEN	R/W	禁止直接模式（Direct Mode Disable） 0：使能直接模式 1：禁止直接模式 该位只有在 CHEN 位为 0 时才允许写入；选择存储器到存储器模式且 CHEN 位为 1 时，该位由硬件置 1。
1:0	FTHSEL	R/W	选择 FIFO 阈值（FIFO Threshold Select） 00：FIFO 容量的 1/4 01：FIFO 容量的 1/2 10：FIFO 容量的 3/4 11：FIFO 完整容量 在直接模式下，这些位无效，该位只有在 CHEN 位为 0 时才允许写入。

10 通用功能输入/输出引脚（GPIO）

对于 M3122/M3114/M3115 产品，在使用引脚复用功能时，请注意部分引脚已经与内部的栅极驱动器连接。详情请参考系统框图或数据手册。

10.1 术语全称、缩写描述

表格 34 术语全称、缩写描述

中文全称	英文全称	英文缩写
P 通道金属氧化物半导体	P-channel Metal Oxide Semiconductor	P-MOS
N 通道金属氧化物半导体	N-channel Metal Oxide Semiconductor	N-MOS

10.2 简介

内嵌最多 29 个 GPIO 引脚，所有 IO 可在 5V 下工作，支持输入、输出、复用、模拟这 4 种模式，输入模式下可配置成输入高阻态。都可以在输入、输出或复用功能间切换。多数 GPIO 引脚都与复用外设共用。此外，一些引脚具有重定义功能，如模拟输入、外部中断、芯片外设的输入/输出，但是在同一时刻仅有一个功能可以映射到引脚上。

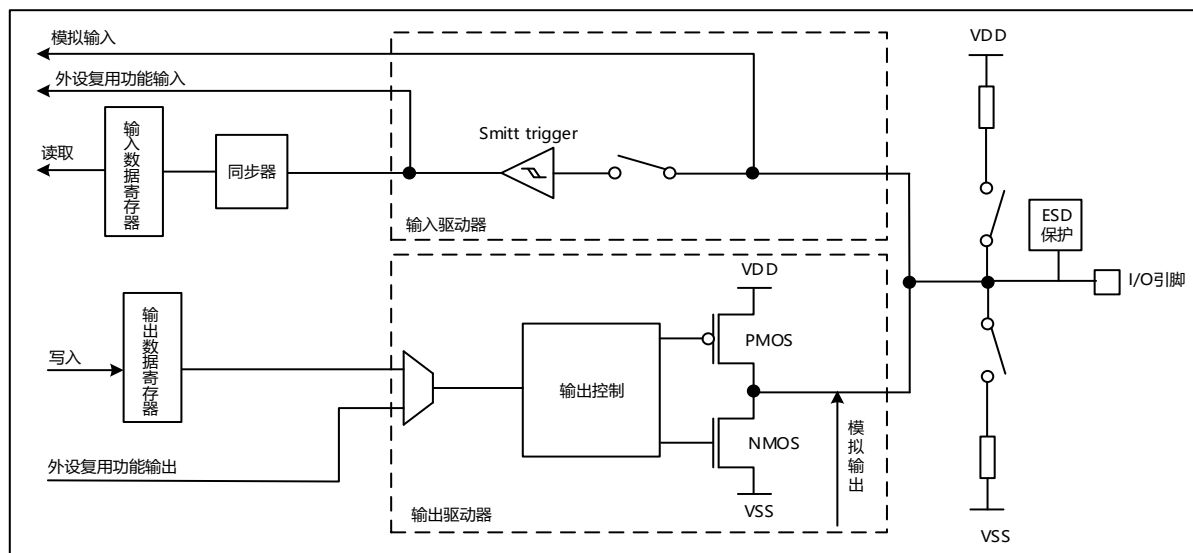
10.3 主要特征

- （1） 输入模式
 - 浮空输入
 - 上拉输入
 - 下拉输入
- （2） 输出模式
 - 推挽输出
 - 开漏输出
- （3） 复用模式
 - 推挽复用功能
 - 开漏复用功能
- （4） 模拟模式
- （5） GPIO 都可以作为外部中断/唤醒线
- （6） 输出速率：最高 20MHz
- （7） 可配置输出驱动能力高低两档，3mA/6mA
- （8） 可配置的锁存保护：GPIO 相关配置寄存器有锁存保护/解锁功能
- （9） 灵活的复用功能：每个 IO 有 8 组复用配置

(10) 电机相关管脚 PA10~PA15, 可进一步重映射

10.4 结构框图

图 15 GPIO 结构框图



10.5 功能描述

GPIO 的每个引脚都可以通过软件配置上拉、下拉、浮空和模拟输入，或者推挽/开漏输出输入模式以及复用功能。所有的 GPIO 接口都具有外部中断能力。

10.5.1 复位期间和刚复位后的 IO 状态

GPIO 在复位期间和刚复位后，复用功能未开启，I/O 端口将会被配置为浮空输入模式。

10.5.2 输入模式

在输入模式中可以设置为上拉、下拉、浮空和模拟输入。

当 GPIO 配置为输入模式时，所有的 GPIO 引脚内部都有一个内部弱上拉和弱下拉电阻，它们可以被激活也可以被断开。

上拉、下拉、浮空模式

在（上拉、下拉、浮空）输入模式中

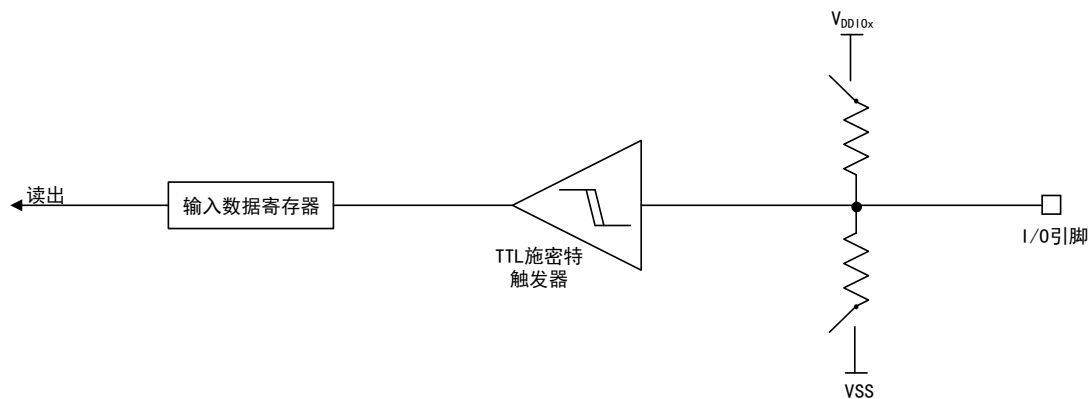
- 施密特触发器打开
- 禁止输出缓冲器
- 通过配置上拉/下拉寄存器 GPIOx_PUPDR 选择是否使用上拉/下拉电阻
- 输入数据寄存器 GPIOx_INDR 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据。

- 通过输入数据寄存器 GPIOx_INDR 读取 I/O 状态

浮空输入模式的初始电平状态不确定，且易受外界干扰；连接设备时，由外部的输入电平决定（阻抗非常高的除外）。

上拉/下拉输入模式的初始电平状态，如果是上拉则为高电平，如果为下拉则为低电平；连接设备时，由外部的输入电平及负载阻抗决定。

图 16 输入模式 I/O 结构



10.5.3 输出模式

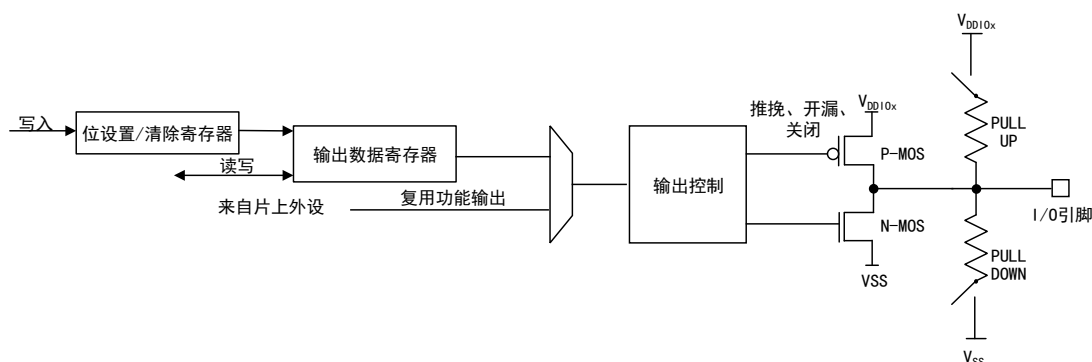
在输出模式中可以为推挽输出和开漏输出。

当 GPIO 配置为输出引脚时，可以配置端口的输出速度和选择输出驱动模式（推挽/开漏）。

在输出模式中

- 施密特触发器打开
- 激活输出缓冲器
- 通过配置上拉/下拉寄存器 GPIOx_PUPDR 选择是否使用上拉/下拉电阻
- 推挽模式：
 - 双 MOS 管以轮流方式工作，输出数据寄存器可控制 I/O 输出高低电平；
 - 通过输出数据寄存器 GPIOx_OUTDR 读取最后写入的值
- 开漏模式：
 - 只有 N-MOS 管工作，输出数据寄存器可控制 I/O 输出高阻态或低电平
 - 输入数据寄存器 GPIOx_INDR 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据
 - 通过输入数据寄存器 GPIOx_INDR 读取 I/O 的实际状态

图 17 输出模式 I/O 结构



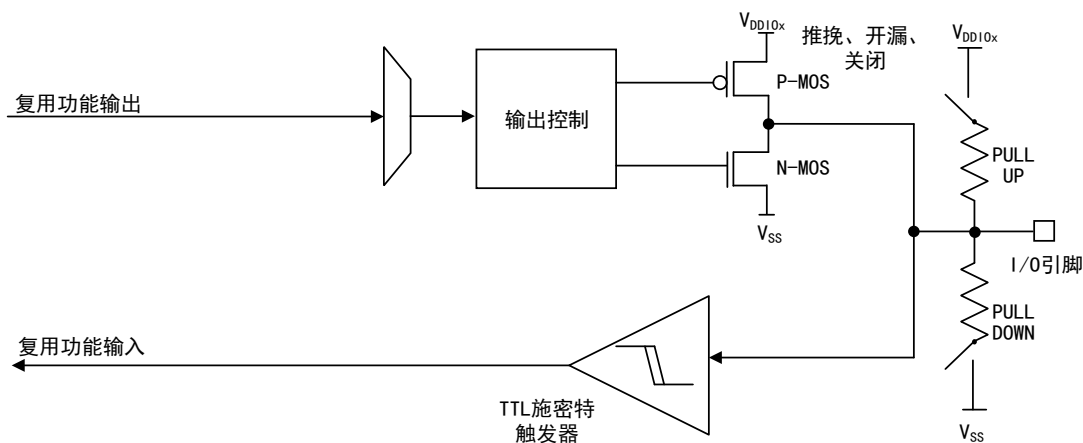
10.5.4 复用模式

在复用模式中可以设置为推挽复用和开漏复用

在推挽/开漏复用模式中

- 打开输出缓冲器
- 由外设驱动输出缓冲器
- 激活施密特触发输入
- 通过配置上拉/下拉寄存器 GPIOx_PUPDR 选择是否使用上拉/下拉电阻
- I/O 引脚上的数据在每个 AHB 时钟周期采样并存入端口输入状态寄存器
- 通过输入数据寄存器 GPIOx_INDR 读取 I/O 的实际状态

图 18 复用模式 I/O 结构

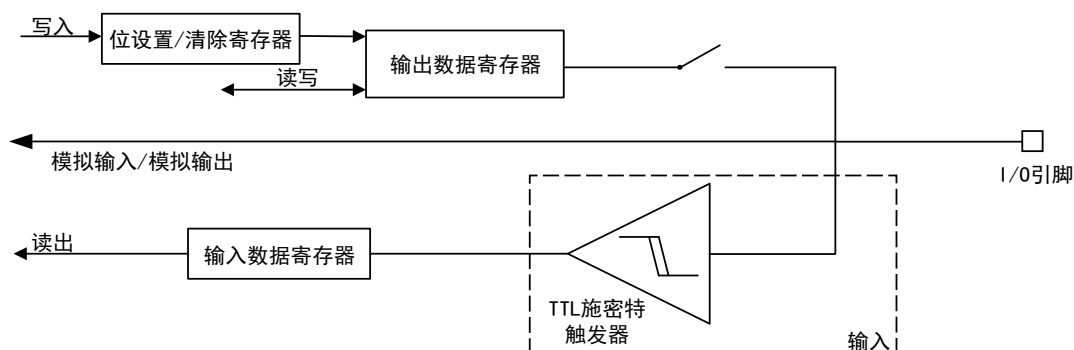


10.5.5 模拟模式

在模拟功能模式中

- 禁止输出缓冲器
- 禁止施密特触发器输入，施密特触发器的输出值强制为 0
- 禁用弱上拉和下拉电阻
- 读取输入数据寄存器的值为 0

图 19 模拟功能 I/O 结构



10.5.6 外部中断/唤醒线

所有的 GPIO 端口都有外部中断功能，如果要使用外部中断线，端口必须要配置成输入模式。

10.5.7 I/O 数据位处理

GPIO 端口置位/复位寄存器（GPIOx_BSRR）允许对输出数据寄存器（GPIOx_OUTDR）的每一个位进行置位/复位操作。置位/复位寄存器的有效数据宽度是 GPIOx_OUTDR 有效数据宽度的两倍。

GPIOx_BSRR 中的任意位写 0 不会影响 GPIOx_OUTDR 寄存器的值。如果 GPIOx_BSRR 的 PAXBS 和 PAXBR 位同时置 1，则 PAXBS 位操作优先。GPIOx_BSRR 寄存器可以改变 GPIOx_OUTDR 寄存器的相应位，GPIOx_OUTDR 位可以直接从 GPIOx_BSRR 寄存器进行访问。

GPIOx_OUTDR 在用 GOIOx_BSRR 寄存器置位或复位访问机制时，不需要通过软件关闭中断访问 GPIOx_OUTDR。

10.5.8 复用功能与重映射

多路复用器

多路复用器用来将器件 I/O 口线连接内嵌的外设模块，并且在同一时刻上只能一对一。

每个 I/O 引脚配有一个多路复用器，但是实际上最多用到 8 个（AF0-AF7），由 GPIOx_AFSELR0 和 GPIOx_AFSELR1 寄存器配置。当 I/O 引脚复位后，所有引脚口都连接到 AF0。

重映射

每个外设都有多个复用功能，但由于一个引脚只能选择一个复用功能输入，所以可以将外设的复用功能映射到其他 I/O 引脚上，即把复用功能信号重新分配一个引脚地址。

引脚的复用功能和重映射地址表见数据手册。

I/O 复用配置

当 I/O 口要连接到外设复用功能时，需要做以下调试：

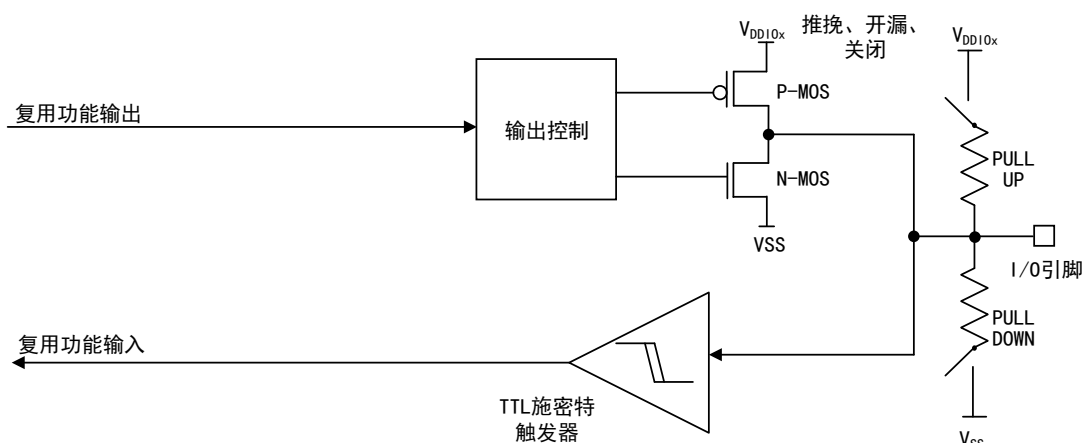
- 复位后，引脚配置为复用功能
- I/O 口配置为输入、输出或模拟输入
- I/O 口连接到定义的 AFx
- 配置引脚上拉/下拉和输出速度
- GPIOx_MDR 中配置 I/O 为复用功能

当 I/O 端口被配置为复用功能时，其输入输出模式：

- 打开输出缓冲器
- 由外设驱动输出缓冲器
- 激活施密特触发输入
- 通过配置上拉/下拉寄存器 GPIOx_PUPDR 选择是否使用上拉/下拉电阻
- I/O 引脚上的数据在每个 AHB 时钟周期采样并存入端口输入状态寄存器
- 通过输入数据寄存器 GPIOx_INDR 读取 I/O 的实际状态

复用模式 I/O 结构如下图所示：

图 20 复用模式下的 I/O 结构



复位引脚（PA6）复用功能切换

PA6 从其他功能切换到 NRST 之前需要先开启数字滤波。进入 standby 模式之前需开启数字滤波。

10.5.9 GPIO 锁定功能

GPIO 的锁定机制可以保护 I/O 端口的配置。

通过对 GPIOx_LOCK 寄存器进行写序列（特定的）来冻结端口 A 和端口 B 的控制寄存器。如果要写 GPIOx_LOCK 寄存器，要发出一个特定的写/读序列。

通过配置锁定寄存器（GPIOx_LOCK）可以锁定 I/O 的配置，当一个端口位执行了锁定程序，到下一次复位之前，将不能再修改端口位的配置。

10.5.10 使用说明

10.5.10.1 输入配置

配置流程如下：

- (1) 通过 GPIOx_LOCK 配置 0xA5A5_5A5A 进行解锁
- (2) 配置 GPIOx_MDR 为 01 输入模式
- (3) 可通过配置 GPIOx_PUPDR 进行上下拉操作
- (4) 通过读取 GPIOx_INDR 获取 I/O 状态

10.5.10.2 输出配置

配置流程如下：

- (1) 通过 GPIOx_LOCK 配置 0xA5A5_5A5A 进行解锁
- (2) 配置 GPIOx_MDR 为 10 输出模式
- (3) 可通过配置 GPIOx_PUPDR 进行上下拉操作
- (4) 可通过配置 GPIOx_OTR 进行推挽/开漏输出类型选择
- (5) 可通过配置 GPIOx_DSR 进行驱动能力选择
- (6) 通过读取 GPIOx_INDR 获取 I/O 状态

编程 I/O 为输出时：

- 输出通路打开
- 对输出数据寄存器读访问可获取最后一次写入值

10.5.10.3 复用配置

配置流程如下：

- (1) 通过 GPIOx_LOCK 配置 0xA5A5_5A5A 进行解锁
- (2) 配置 GPIOx_MDR 为 11 复用模式
- (3) 配置 GPIOx_AFSELRx 进行复用选择
- (4) 复用输出（数据和使能）来自外设控制
- (5) 可通过配置 GPIOx_PUPDR 进行上下拉操作
- (6) 可通过配置 GPIOx_OTR 进行推挽/开漏输出类型选择
- (7) 可通过配置 GPIOx_DSR 进行驱动能力选择
- (8) 通过读取 GPIOx_INDR 获取 I/O 状态

10.5.10.4 模拟配置

配置流程如下：

(1) 通过 GPIOx_LOCK 配置 0xA5A5_5A5A 进行解锁

(2) 配置 GPIOx_MDR 为 00 模拟模式

编程 I/O 为模拟模式时:

- 输出通路断开
- 输入断开
- 上下拉禁止
- 对输入数据寄存器读访问为 0

10.6 寄存器地址映射

GPIOA 基地址: 0x4800 0000

GPIOB 基地址: 0x4800 0400

表格 35 GPIO 寄存器地址映射

寄存器名	描述	偏移地址
GPIOA_MDR	GPIOA 模式寄存器	0x00
GPIOA_INENR	GPIOA 输入使能寄存器	0x04
GPIOA_PUPDR	GPIOA 上下拉寄存器	0x0C
GPIOA_OTR	GPIOA 输出类型寄存器	0x10
GPIOA_DSR	GPIOA 驱动强度配置寄存器	0x14
GPIOA_INDR	GPIOA 输入数据寄存器	0x18
GPIOA_OUTDR	GPIOA 输出数据寄存器	0x1C
GPIOA_BSRR	GPIOA 数据位操作寄存器	0x20
GPIOA_BRR	GPIOA 数据位清除寄存器	0x24
GPIOA_LOCK	GPIOA 锁定寄存器	0x28
GPIOA_AFSELR0	GPIOA 复用选择寄存器 0	0x2C
GPIOA_AFSELR1	GPIOA 复用选择寄存器 1	0x30
GPIOA_AF3RMP	GPIOAATMR 复用功能重映射寄存器	0x54
GPIOB_MDR	GPIOB 模式寄存器	0x00
GPIOB_INENR	GPIOB 输入使能寄存器	0x04
GPIOB_PUPDR	GPIOB 上下拉寄存器	0x0C
GPIOB_OTR	GPIOB 输出类型寄存器	0x10
GPIOB_DSR	GPIOB 驱动配置寄存器	0x14
GPIOB_INDR	GPIOB 输入寄存器	0x18
GPIOB_OUTDR	GPIOB 输出数据寄存器	0x1C
GPIOB_BSRR	GPIOB 数据位操作寄存器	0x20

GPIOB_BRR	GPIOB 数据位清除寄存器	0x24
GPIOB_LOCK	GPIOB 锁定寄存器	0x28
GPIOB_AFSELR0	GPIOB 复用选择寄存器 0	0x2C
GPIOB_AFSELR1	GPIOB 复用选择寄存器 1	0x30

10.7 寄存器功能描述

10.7.1 GPIOA 模式寄存器 (GPIOA_MDR)

偏移地址: 0x00

复位值: 0x5555 7555

位/域	名称	R/W	描述
31:30	PA15MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
29:28	PA14MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
27:26	PA13MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
25:24	PA12MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
23:22	PA11MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
21:20	PA10MD	R/W	配置工作模式 (work mode Configure) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式

位/域	名称	R/W	描述
19:18	PA9MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
17:16	PA8MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
15:14	PA7MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
13:12	PA6MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
11:10	PA5MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
9:8	PA4MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
7:6	PA3MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
5:4	PA2MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式
3:2	PA1MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式

位/域	名称	R/W	描述
1:0	PA0MD	R/W	配置工作模式（work mode Configure） 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式

10.7.2 GPIOA 输入使能寄存器（GPIOA_INENR）

偏移地址：0x04

复位值：0x0000 0040

位/域	名称	R/W	描述
31:16	保留		
x	PAXINEN	R/W	使能端口（port enable）（x=0~15） 0: 禁止 1: 使能 注意：在非模拟模式下配置生效。

10.7.3 GPIOA 上下拉寄存器（GPIOA_PUPDR）

偏移地址：0x0C

复位值：0x0000 1000

位/域	名称	R/W	描述
2x+1	PAXPUS	R/W	选择上下拉（Up and down pull select）（x=0~15） 上下拉使能后生效。 0: 上拉 1: 下拉
2x	PAXPUEN	R/W	使能上下拉（Up and down pull enable）（x=0~15） 0: 禁止 1: 使能

10.7.4 GPIOA 输出类型寄存器（GPIOA_OTR）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
x	PAXOT	R/W	配置输出类型（Output type configure）（x=0~15） 0: 推挽 1: 开漏

10.7.5 GPIOA 驱动强度配置寄存器（GPIOA_DSR）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		

位/域	名称	R/W	描述
x	PAxDS	R/W	输出驱动能力配置 (Output driving capability Configure) (x=0~15) 0: 低驱 1: 高驱

10.7.6 GPIOA 输入数据寄存器 (GPIOA_INDR)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
x	PAxIND	R	输入数据 (input data) (x=0~15) 0: 低电平 1: 高电平

10.7.7 GPIOA 输出数据寄存器 (GPIOA_OUTDR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
x	PAxOUTD	R/W	输出数据 (output data) (x=0~15) 0: 输出低电平 1: 输出高电平 按位输出 1: 由 PAxBS 控制 按位输出 0: 由 PAxBR 和 PAxBRR 控制

10.7.8 GPIOA 数据位操作寄存器 (GPIOA_BSRR)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
x+16	PAxBR	W	复位 PAxOUTD (PAxOUTD Reset) (x=0~15) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PAxOUTD 位执行任何操作 1: 复位相应的 PAxOUTD 位 注: 如果同时对 PAxBR 和 PAxBS 置位, 则 PAxBS 的优先级更高。
x	PAxBS	W	设置 PAxOUTD (PAxOUTD set) (x=0~15) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PAxOUTD 位执行任何操作 1: 将相应的 PAxOUTD 位置 1

10.7.9 GPIOA 数据位清除寄存器 (GPIOA_BRR)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		

位/域	名称	R/W	描述
x	PAxBRR	W	复位 PAXOUTD (PAXOUTD Reset) (x=0~15) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PAXOUTD 位执行任何操作 1: 复位相应的 PAXOUTD 位

10.7.10 GPIOA 锁定寄存器 (GPIOA_LOCK)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	KEY	R/W	GPIO 锁定寄存器 (GPIO Lock Register) 给此寄存器写入 0xA5A5 5A5A, 才能操作 GPIO 寄存器的写入, 配置完 GPIO 寄存器后, 给此寄存器写入其他值可以禁止其它 GPIO 寄存器的写操作。 复位默认锁定 读出 0: 表示上锁状态 读出 1: 表示解锁状态

10.7.11 GPIOA 复用选择寄存器 0 (GPIOA_AFSELR0)

偏移地址: 0x2C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	保留		
30:28	PA7AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
27	保留		
26:24	PA6AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
23	保留		
22:20	PA5AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1

位/域	名称	R/W	描述
			010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
19	保留		
18:16	PA4AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
15	保留		
14:12	PA3AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
11	保留		
10:8	PA2AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
7	保留		
6:4	PA1AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6

位/域	名称	R/W	描述
			111: AF7
3	保留		
2:0	PA0AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7

10.7.12 GPIOA 复用选择寄存器 1 (GPIOA_AFSELR1)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	保留		
30:28	PA15AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
27	保留		
26:24	PA14AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
23	保留		
22:20	PA13AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5

位/域	名称	R/W	描述
			110: AF6 111: AF7
19	保留		
18:16	PA12AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
15	保留		
14:12	PA11AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
11	保留		
10:8	PA10AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
7	保留		
6:4	PA9AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
3	保留		
2:0	PA8AFSEL	R/W	复用选择 (multiplex select)

位/域	名称	R/W	描述
			000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7

10.7.13 GPIOA ATMR 复用功能重映射寄存器 (GPIOA_AF3RMP)

偏移地址: 0x54

复位值: 0x0314 2500

位/域	名称	R/W	描述
31	保留		
30:28	PA15AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 (默认) 001: ATMR_CH1 010: ATMR_CH2 011: ATMR_CH0N 100: ATMR_CH1N 101: ATMR_CH2N 110: ATMR_CH0 111: ATMR_CH0
27	保留		
26:24	PA14AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 001: ATMR_CH1 010: ATMR_CH2 011: ATMR_CH0N (默认) 100: ATMR_CH1N 101: ATMR_CH2N 110: ATMR_CH0 111: ATMR_CH0
23	保留		
22:20	PA13AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 001: ATMR_CH1 (默认) 010: ATMR_CH2 011: ATMR_CH0N 100: ATMR_CH1N 101: ATMR_CH2N 110: ATMR_CH0 111: ATMR_CH0
19	保留		

位/域	名称	R/W	描述
18:16	PA12AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 001: ATMR_CH1 010: ATMR_CH2 011: ATMR_CH0N 100: ATMR_CH1N (默认) 101: ATMR_CH2N 110: ATMR_CH0 111: ATMR_CH0
15	保留		
14:12	PA11AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 001: ATMR_CH1 010: ATMR_CH2 (默认) 011: ATMR_CH0N 100: ATMR_CH1N 101: ATMR_CH2N 110: ATMR_CH0 111: ATMR_CH0
11	保留		
10:8	PA10AF3RMP	R/W	重映射选择 (Remapping select) 000: ATMR_CH0 001: ATMR_CH1 010: ATMR_CH2 011: ATMR_CH0N 100: ATMR_CH1N 101: ATMR_CH2N (默认) 110: ATMR_CH0 111: ATMR_CH0
7:0	保留		

10.7.14 GPIOB 模式寄存器 (GPIOB_MDR)

偏移地址: 0x00

复位值: 0x0155 57D5

位/域	名称	R/W	描述
31:26	保留		
2x+1:2x	PBxMD	R/W	配置工作模式 (work mode Configure) (x=0~12) 00: 模拟模式 01: 通用数字输入模式 10: 通用数字输出模式 11: 复用功能模式

10.7.15 GPIOB 输入使能寄存器 (GPIOB_INENR)

偏移地址: 0x04

复位值: 0x0000 0018

位/域	名称	R/W	描述
31:13	保留		
x	PBxINEN	R/W	使能端口 (port enable) (x=0~12) 0: 禁止 1: 使能 注意: 在非模拟模式下配置生效。

10.7.16 GPIOB 上下拉寄存器 (GPIOB_PUPDR)

偏移地址: 0x0C

复位值: 0x0000 01C0

位/域	名称	R/W	描述
31:26	保留		
2x+1	PBxPUS	R/W	选择上下拉 (Up and down pull select) (x=0~12) 上下拉使能后生效。 0: 上拉 1: 下拉
2x	PBxPUEN	R/W	使能上下拉 (Up and down pull enable) (x=0~12) 0: 禁止 1: 使能

10.7.17 GPIOB 输出类型寄存器 (GPIOB_OTR)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
x	PBxOT	R/W	配置输出类型 (Output type configure) (x=0~12) 0: 推挽 1: 开漏

10.7.18 GPIOB 驱动配置寄存器 (GPIOB_DSR)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
x	PBxDS	R/W	输出驱动能力配置 (Output driving capability Configure) (x=0~12) 0: 低驱 1: 高驱

10.7.19 GPIOB 输入寄存器 (GPIOB_INDR)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		

位/域	名称	R/W	描述
x	PBxIND	R	输入数据 (input data) (x=0~12) 0: 低电平 1: 高电平

10.7.20 GPIOB 输出数据寄存器 (GPIOB_OUTDR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
x	PBxOUTD	R/W	输出数据 (output data) (x=0~12) 0: 输出低电平 1: 输出高电平 按位输出 1: 由 PBxBS 控制 按位输出 0: 由 PBxBR 和 PBxBRR 控制

10.7.21 GPIOB 数据位操作寄存器 (GPIOB_BSRR)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:29	保留		
x+16	PBxBR	W	复位 PBxOUTD (PBxOUTD Reset) (x=0~12) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PBxOUTD 位执行任何操作 1: 复位相应的 PBxOUTD 位 注: 如果同时对 PBxBR 和 PBxBS 置位, 则 PBxBS 的优先级更高。
15:13	保留		
x	PBxBS	W	设置 PBxOUTD (PBxOUTD set) (x=0~12) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PBxOUTD 位执行任何操作 1: 将相应的 PBxOUTD 位置 1

10.7.22 GPIOB 数据位清除寄存器 (GPIOB_BRR)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
x	PBxBRR	W	复位 PBxOUTD (PBxOUTD Reset) (x=0~12) 只写, 读取这些位可返回值 0。 0: 不会对相应的 PBxOUTD 位执行任何操作 1: 复位相应的 PBxOUTD 位

10.7.23 GPIOB 锁定寄存器 (GPIOB_LOCK)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	KEY	R/W	GPIO 锁定寄存器 (GPIO Lock Register) 给此寄存器写入 0xA5A5 5A5A, 才能操作 GPIO 寄存器的写入, 配置完 GPIO 寄存器后, 给此寄存器写入其他值可以禁止其它 GPIO 寄存器的写操作。

10.7.24 GPIOB 复用选择寄存器 0 (GPIOB_AFSELR0)

偏移地址: 0x2C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	保留		
30:28	PB7AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
27	保留		
26:24	PB6AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
23	保留		
22:20	PB5AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
19	保留		
18:16	PB4AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2

位/域	名称	R/W	描述
			011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
15	保留		
14:12	PB3AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
11	保留		
10:8	PB2AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
7	保留		
6:4	PB1AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
3	保留		
2:0	PB0AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6

位/域	名称	R/W	描述
			111: AF7

10.7.25 GPIOB 复用选择寄存器 1 (GPIOB_AFSELR1)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:19	保留		
18:16	PB12AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
15	保留		
14:12	PB11AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
11	保留		
10:8	PB10AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7
7	保留		
6:4	PB9AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5

位/域	名称	R/W	描述
			110: AF6 111: AF7
3	保留		
2:0	PB8AFSEL	R/W	复用选择 (multiplex select) 000: AF0 001: AF1 010: AF2 011: AF3 100: AF4 101: AF5 110: AF6 111: AF7

11 高级定时器（ATIMER）

11.1 简介

高级定时器 ATIMER 以时基单元为核心，拥有输出比较和刹车输入等功能，含有一个 16 位的自动装载计数器。高级定时器相比较其它定时器增加了互补输出、重复计数以及可编程的死区插入等功能，更加适合用于电机的控制。

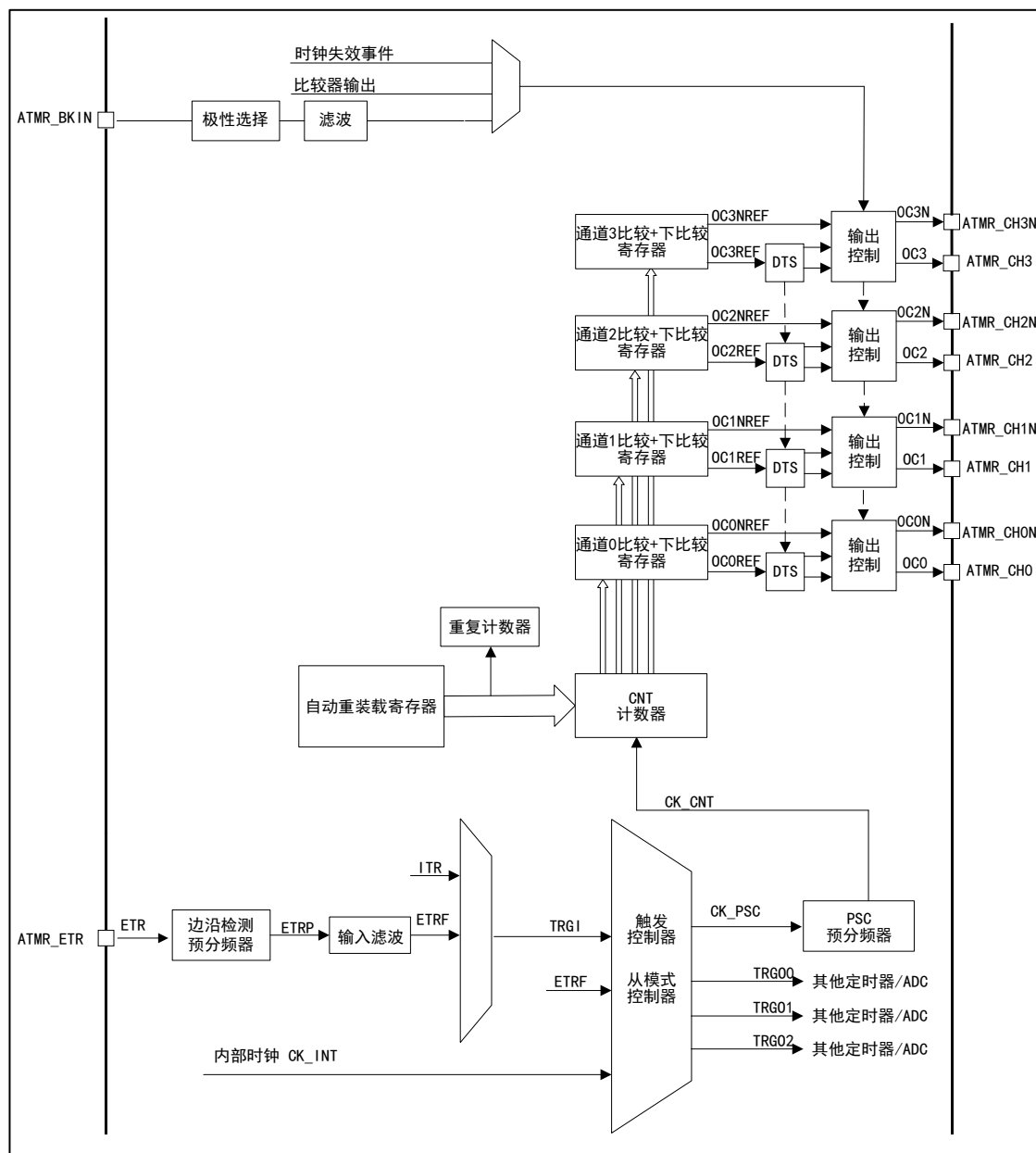
11.2 主要特征

- （1） 时基单元
 - 计数器：16 位计数器，可以向上计数，向下计数，中央对齐计数
 - 预分频器：16 位可编程预分频器
 - 重复计数器：16 位的重复计数器
 - 自动重载功能
- （2） 时钟源选择
 - 内部时钟
 - 外部触发
 - 内部触发
- （3） 计数功能
- （4） 输出比较功能
- （5） PWM 输出模式
- （6） 强制输出模式
- （7） 独立输出模式
- （8） 单脉冲模式
- （9） 互补输出和死区插入
- （10） 定时功能
- （11） 刹车功能
- （12） 定时器的主/从模式控制器
 - 定时器之间可以同步和级联
 - 支持多种从模式、同步信号
- （13） 中断输出请求事件
 - 更新事件（计数器上/下溢出，计数器初始化）
 - 触发事件（计数器启动、停止、内/外部触发）
 - 比较事件
 - 刹车信号输入事件

- (14) 支持 ETR 输入（外部触发输入）功能，可以用作外部时钟或逐周期电流管理

11.3 结构框图

图 21 结构框图



11.4 功能描述

11.4.1 时钟源选择

高级定时器一共有三种时钟源。

内部时钟

是来自 RCC 的 ATMR_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

11.4.2 时基单元

高级定时器里的时基单元包含四个寄存器

- 计数器寄存器（CNT）16 位
- 自动重装载寄存器（AUTORLD）16 位
- 预分频器（PSC）16 位
- 重复计数寄存器（REPCNT）8 位

计数器 CNT

高级定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

通过配置控制寄存器（ATMR_CR1）中的 CNTDIR 位，设置为向上计数模式。

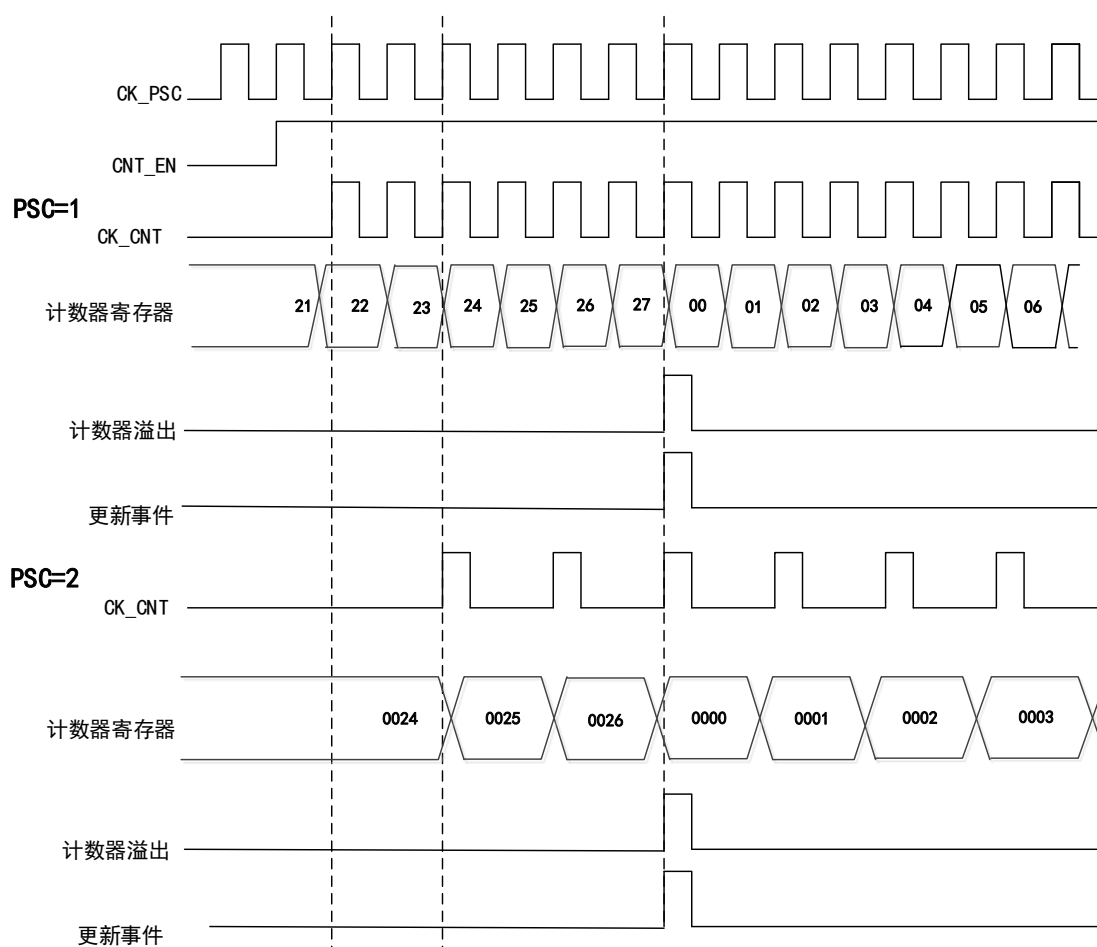
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（ATMR_CNT）值与自动重装载

（ATMR_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（ATMR_AUTORLD）是提前写入的。

如果使用重复计数器，则当向上计数的重复次数达到重复计数器寄存器中的次数加一次（ATMR_REPCNT+1）后，将生成更新事件。否则，将在每次计数器上溢时产生更新事件，此时重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 ATMR_CR1 中的 UDISEN 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 22 向上计数模式下，分频因子为 1 或 2 的时序图



向下计数模式

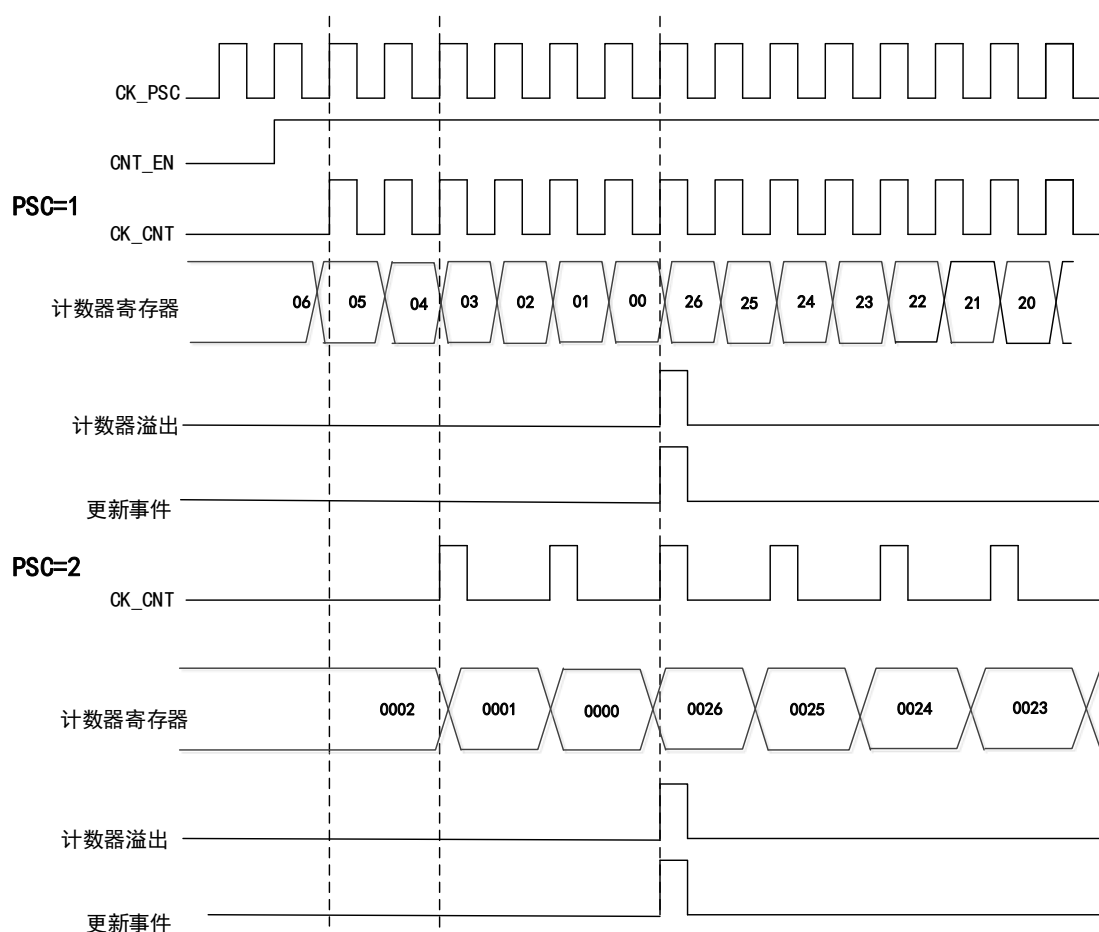
通过配置控制寄存器（ATMR_CR1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重载的值（ATMR_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（ATMR_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重载的值（ATMR_AUTORLD）是提前写入的。

如果使用重复计数器，则当向下计数的重复次数达到重复计数器寄存器中的次数加一次（ATMR_REPCNT+1）后，将生成更新事件。否则，将在每次计数器下溢时产生更新事件，此时，重复计数的影子寄存器、自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 ATMR_CR1 寄存器中的 UDISEN 位，禁止更新事件。

下图为向下计数模式下，分频因子为 1 或 2 的时序图。

图 23 向下计数模式下，分频因子为 1 或 2 的时序图



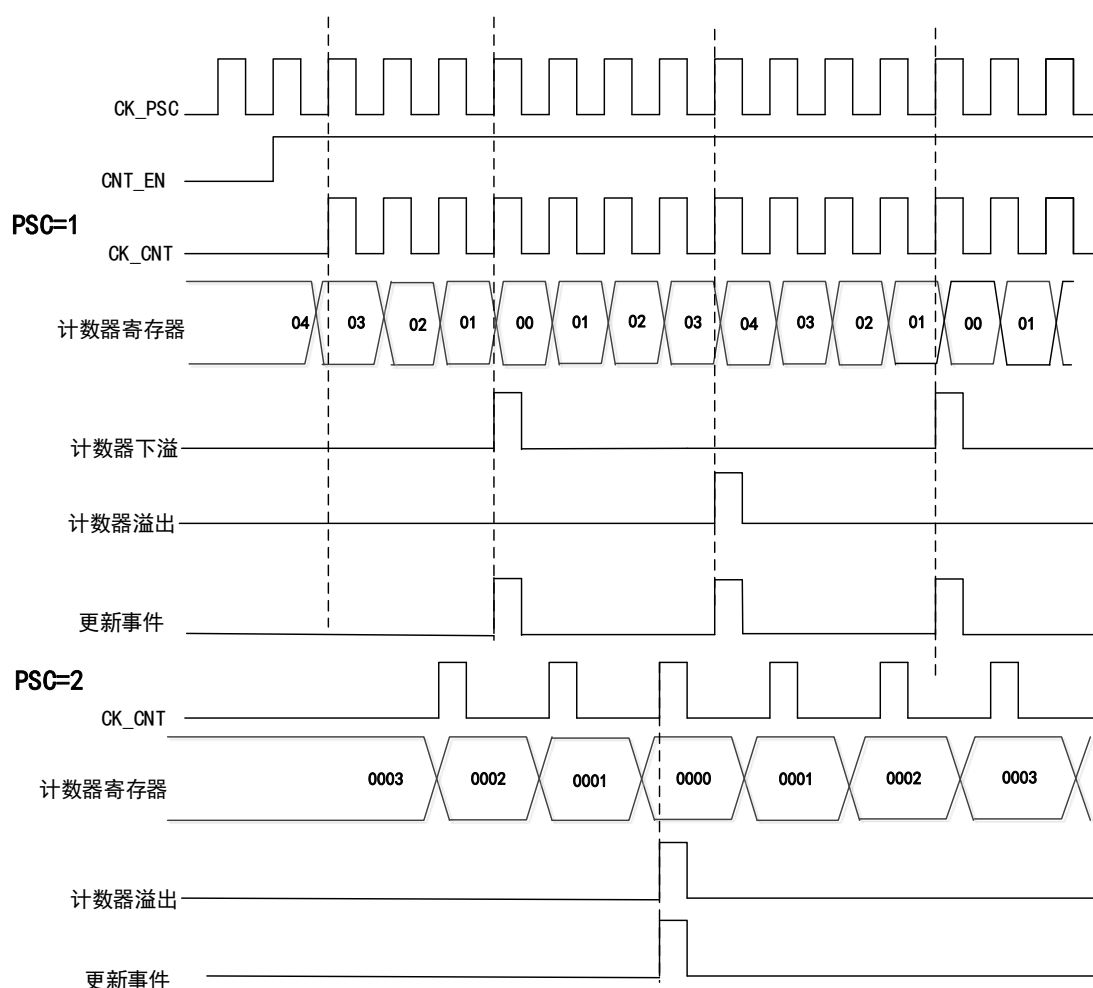
中央对齐模式

通过配置控制寄存器（ATMR_CR1）中的 CAMSEL 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重载的值（ATMR_AUTORLD），然后从自动重载的值（ATMR_AUTORLD）再向下计数到 0，以此往复，在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件，在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

下图为中央对齐模式下，分频因子为 1 或 2 的时序图。

图 24 中央对齐模式下，分频因子为 1 或 2 的时序图



重复计数器 REPCNT

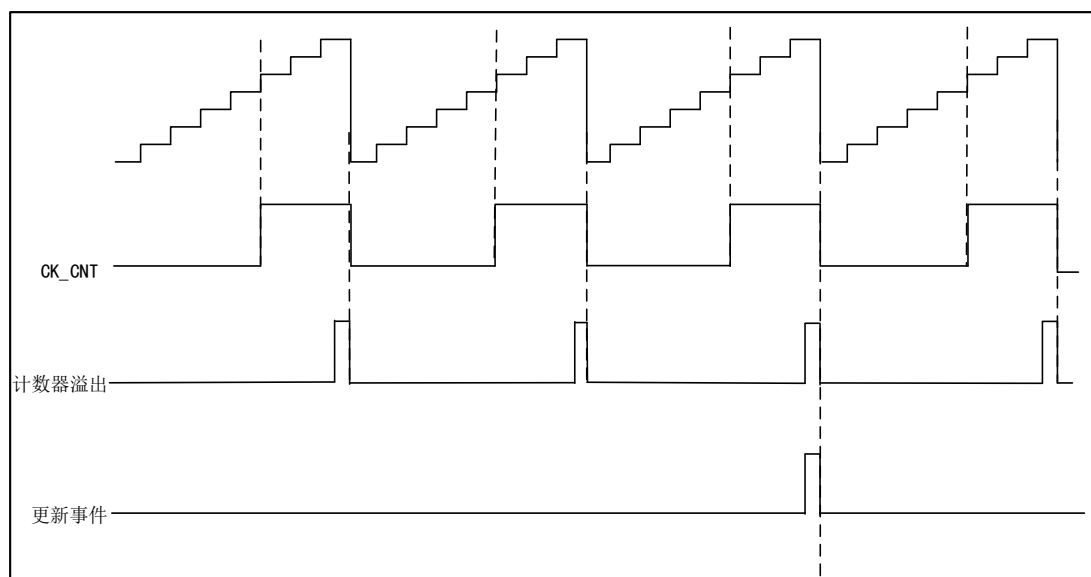
在基本/通用定时器中没有重复计数器 REPCNT，也就表明了基本/通用定时器中发生上溢事件或者下溢事件时，直接就会产生更新事件，而在高级定时器里，因为重复计数器的存在，高级定时器发生上/下溢事件时，只有当重复计数器的值为 0 时才会产生更新事件。

例如，如果高级定时器需要在发生上/下溢事件时就产生更新事件，应将重复计数器的值置 0。

如果在向上计数模式时，使用了重复计数器功能，每当计数器向上计数到 **AUTORLD** 时，发生上溢事件，此时重复计数器的值会减 1，直到重复计数器的值为 0 时会产生更新事件。

即在发生 **N+1** 个（**N** 为重复计数器的值）上/下溢事件时产生更新事件。

图 25 向上计数模式下，设置 REPCNT=2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 ATMR_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

11.4.3 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM1 和 PWM2 模式，由 ATMR_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 ATMR_CCMx 寄存器中的 OCxMOD 位和输出极性 ATMR_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 ATMR_SR 寄存器中的 CCxIFLG=1 时，如果 ATMR_IER 寄存器中的 CCxIEN=1 产生中断。

11.4.4 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和中央对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 $CCx=5, AUTORLD=7$, 在 PWM 模式 1 下的时序图。

图 26 PWM1 向上计数模式的时序图

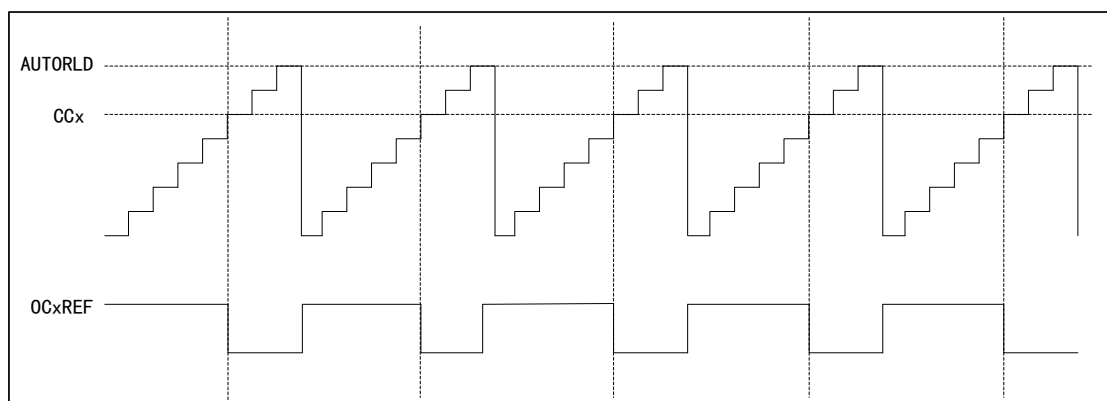


图 27 PWM1 向下计数模式的时序图

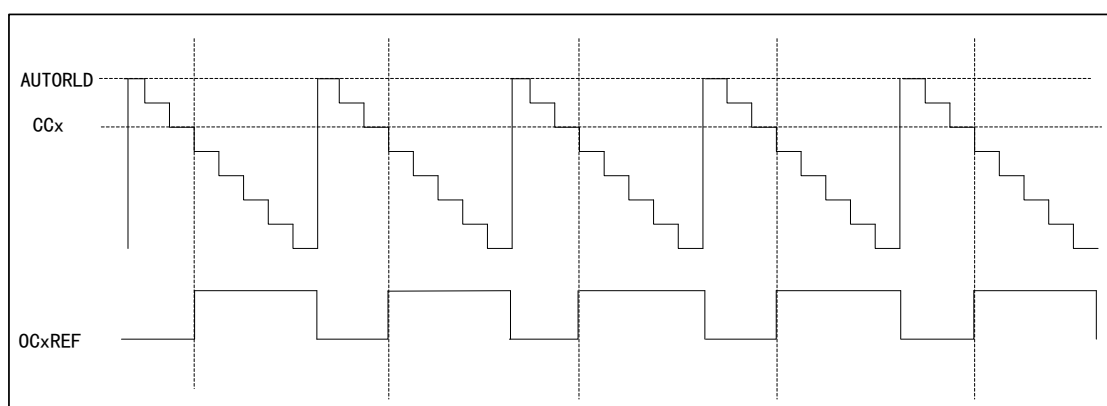
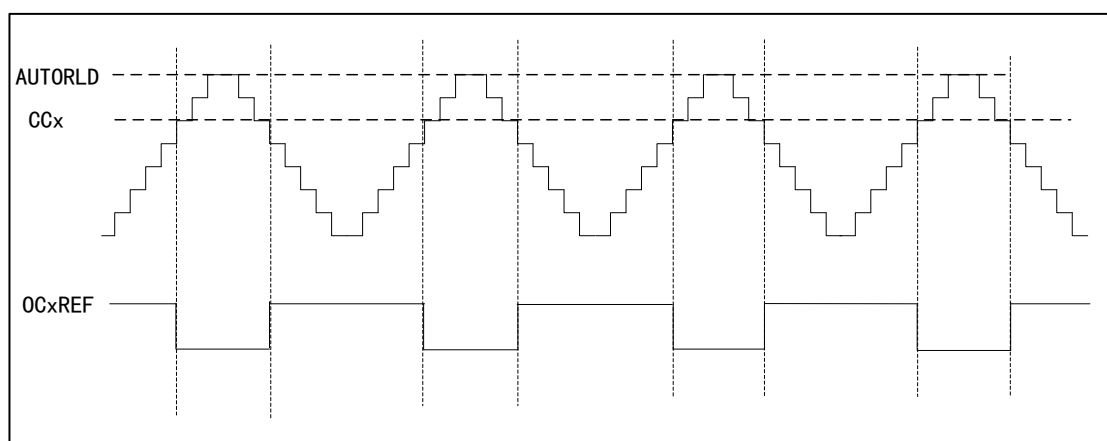


图 28 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 $CCx=5, AUTORLD=7$, 在 PWM 模式 2 下的时序图。

图 29 PWM2 向上计数模式的时序图

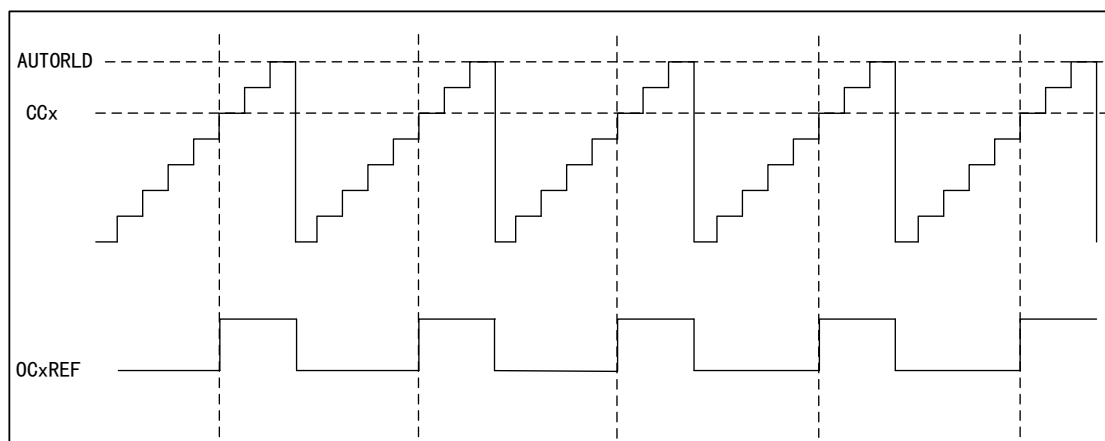


图 30 PWM2 向下计数模式的时序图

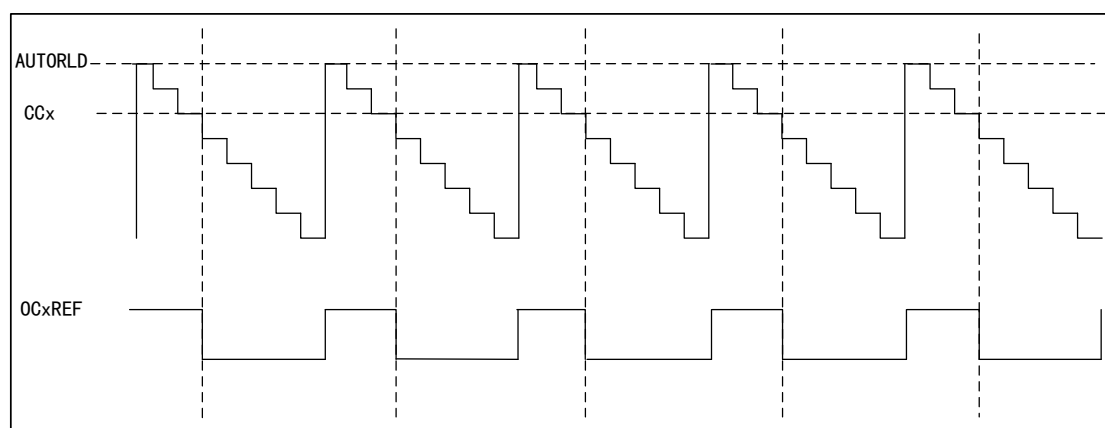
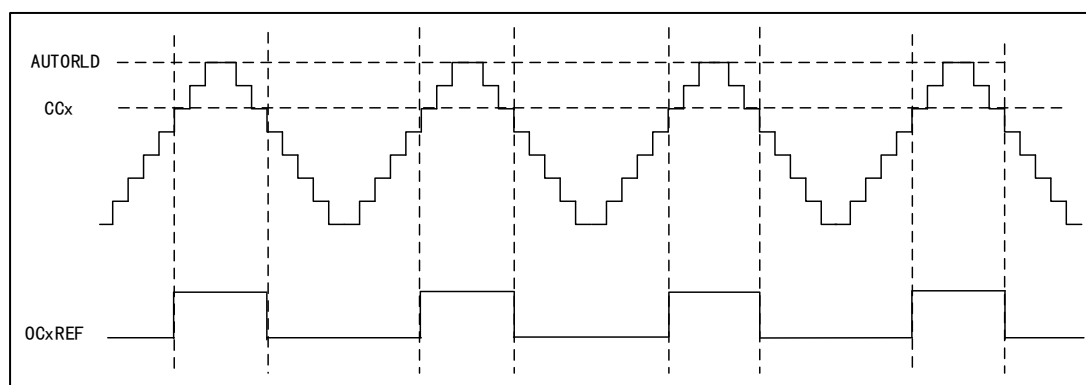


图 31 PWM2 中央对齐模式的时序图



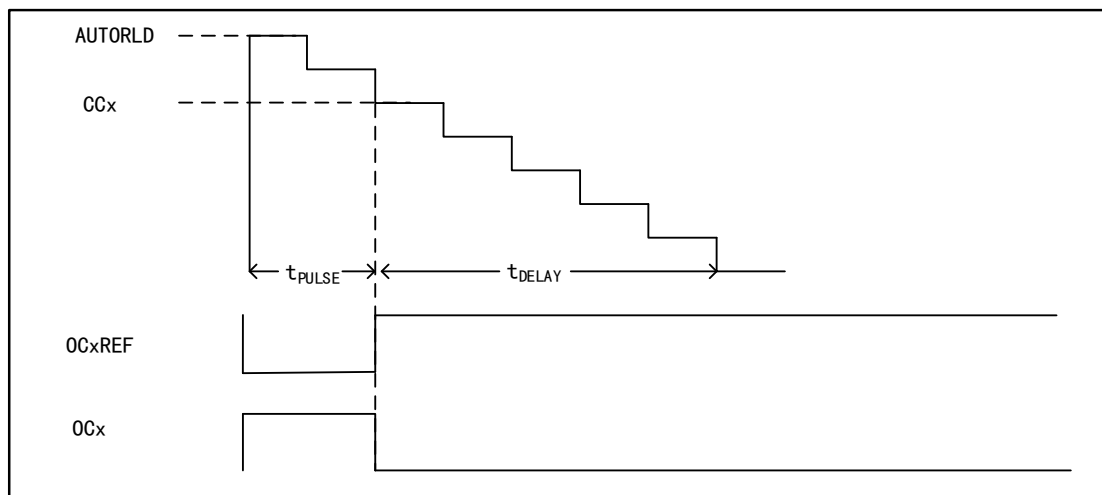
11.4.5 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 ATMR_CR1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 **ATMR_CCx** 寄存器的值定义；在向上计数模式下延时时间为 **CCx**，脉冲宽度为 **AUTORLD+1-CCx**；在向下计数模式下延时时间为 **AUTORLD-CCx**，脉冲宽度为 **CCx+1**。

图 32 单脉冲模式下的时序图



11.4.6 寄存器对输出波形的影响

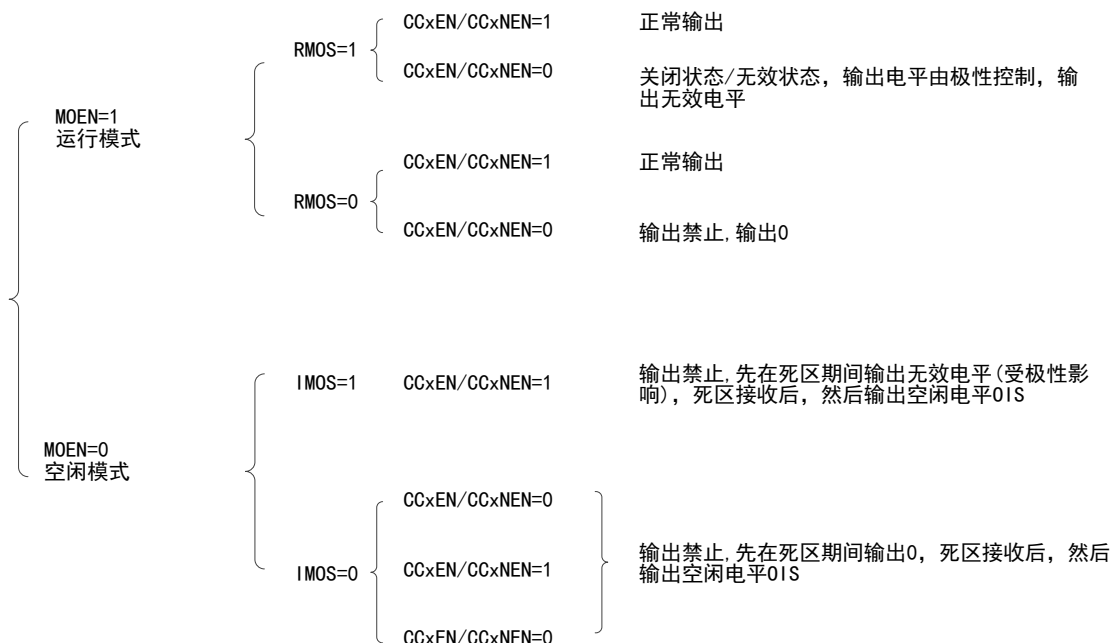
以下寄存器会影响定时器输出波形的电平，详细信息可参照“寄存器功能描述”。

- (1) **ATMR_CCEN** 寄存器中的 **CCxEN**、**CCxNEN** 位
 - **CCxNEN=0**、**CCxEN=0**：关闭输出（输出禁止，无效状态）
 - **CCxNEN=1**、**CCxEN=1**：开启输出（输出使能，正常输出）
- (2) **ATMR_BDT** 寄存器中的 **MOEN** 位
 - **MOEN=0**：空闲模式
 - **MOEN=1**：运行模式
- (3) **ATMR_CR2** 寄存器中的 **OCxOIS**、**OCxNOIS** 位
 - **OCxOIS=0**、**OCxNOIS=0**：空闲时（**MOEN=0**）死区后的输出电平为 0
 - **OCxOIS=1**、**OCxNOIS=1**：空闲时（**MOEN=0**）死区后的输出电平为 1
- (4) **ATMR_BDT** 寄存器中的 **RMOS** 位
 - **RMOS** 的应用环境：对应互补通道、定时器运行模式下（**MOEN=1**）、定时器不工作（**CCxEN=0**、**CCxNEN=0**）或工作（**CCxEN=1**、**CCxNEN=1**）情况下
- (5) **ATMR_BDT** 寄存器中的 **IMOS** 位
 - **IMOS** 的应用环境：对应互补通道、定时器空闲模式下（**MOEN=0**）、定时器不工作（**CCxEN=0**、**CCxNEN=0**）或工作（**CCxEN=1**、**CCxNEN=1**）情况下
- (6) **ATMR_CCEN** 寄存器的 **CCxPOL**、**CCxNPOL** 位

- CCxPOL=0、CCxNPOL=0: 输出极性，高电平有效
CCxPOL=1、CCxNPOL=1: 输出极性，低电平有效

下图罗列了影响输出波形的寄存器结构关系

图 33 影响输出波形的寄存器结构关系



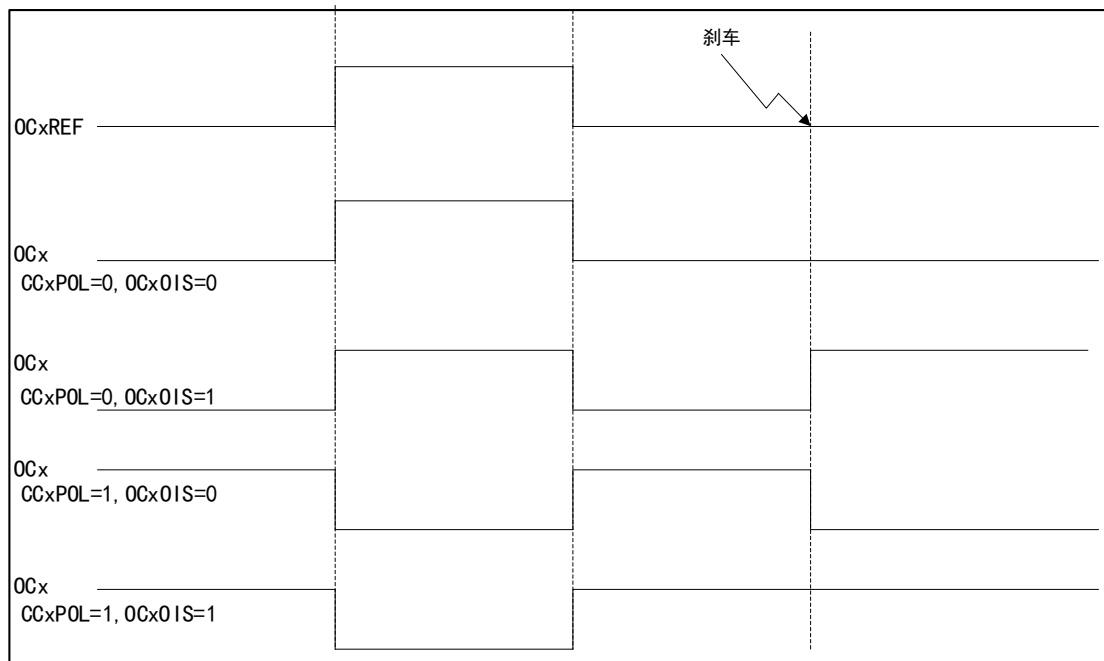
11.4.7 刹车功能

刹车的信号源为时钟故障事件和外部输入接口，输入滤波功能通过 ATMR_BREAK 进行配置。

其中 ATMR_BDT 寄存器中的 BRKEN 位可以使能刹车功能，BRKPOL 位配置刹车输入信号的极性。

发生刹车事件时，可以根据相关控制位的状态修改输出脉冲信号电平。

图 34 发生刹车事件的时序图



11.4.8 互补输出和死区插入

互补输出是高级定时器特有的输出，高级定时器有三组互补输出通道。插入死区时间用于生成互补的输出信号，确保通道互补的两路信号不会同时有效。根据定时器连接的输出器件以及特性来设定死区时间，配置 `ATMR_BDT` 寄存器的 `DTS0`、`DTS1` 位可以控制死区的持续时间。

图 35 带死区插入的互补输出

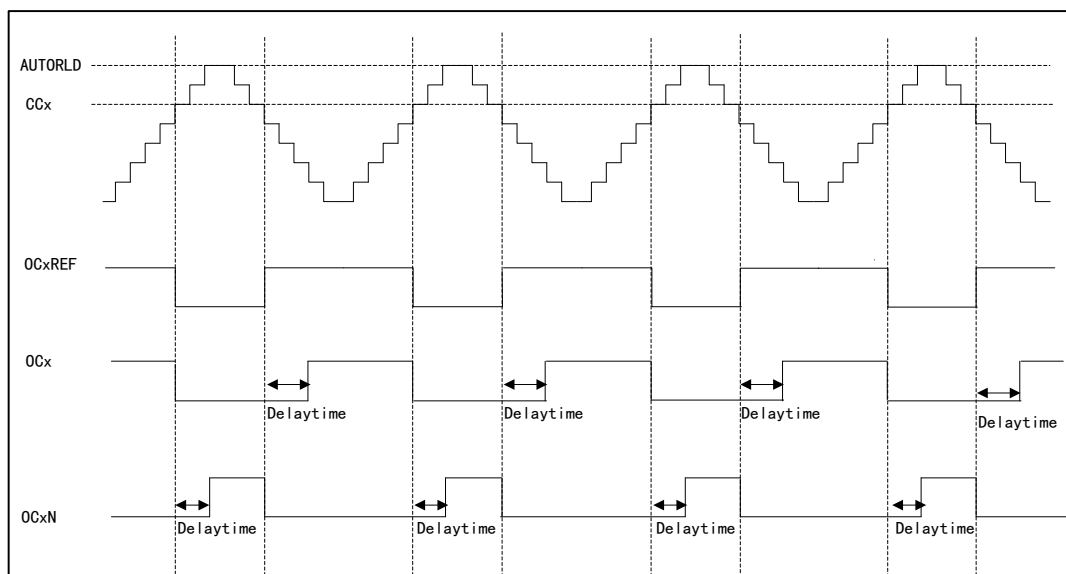
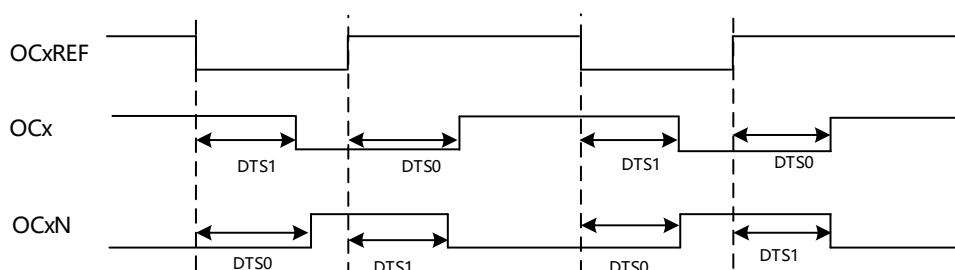


图 36 带双死区插入的互补输出



11.4.9 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- ATMR_CCMx 寄存器的 CCxSEL=00, 设定 CCx 通道为输出
- ATMR_CCMx 寄存器的 OCxMOD=100/101, 设定强制 OCxREF 信号为无效/有效状态
- ATMR_OCRx 也会控制输出，详情见相应寄存器描述

在此模式中仍旧会产生相应的中断。

11.4.10 独立输出模式

通过配置 ATMRx_OCxAEN 的 NONCxEN 为 1 可选择通道输出为独立输出模式，此时，CHxN 对应的计数比较值采用 ATMRx_CCxC 的配置值；CHx 对应的计数比较值仍采用 ATMRx_CCx 的配置值。

11.4.11 从模式

ATIMER 定时器可以进行外部的触发同步

- 复位模式
- 门控模式
- 触发模式

可设置 ATMR_SMCR 寄存器中的 SMFSEL 位来选择是哪种模式

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

11.4.12 定时器互连

ATIMER 各个定时器可以互相连接实现定时器之间的同步或级联（即 GTMR 与

ATMR 直接的互联)。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

11.4.13 中断请求

定时器在工作时产生事件时会发生中断。

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

11.4.14 调试模式

ATMR 可以在调试模式下配置，选择停止还是继续工作。取决于系统寄存器的控制。

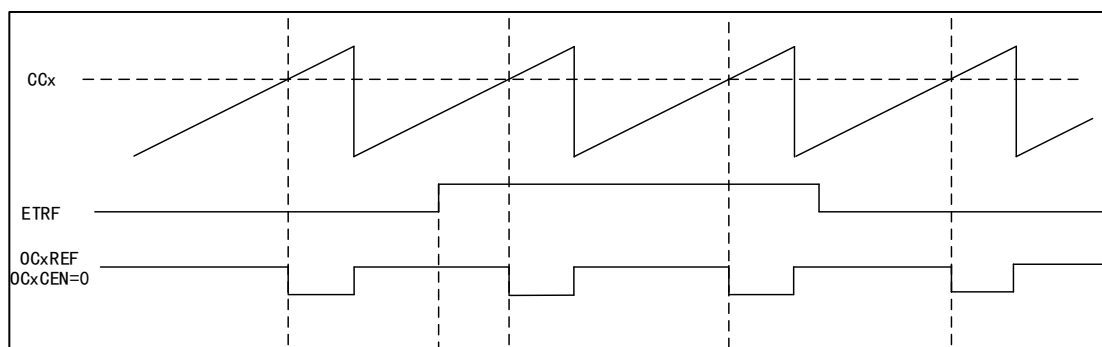
11.4.15 在外部事件时清除 OCxREF 信号

此功能是用用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 ATMR_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

将 ATMR 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

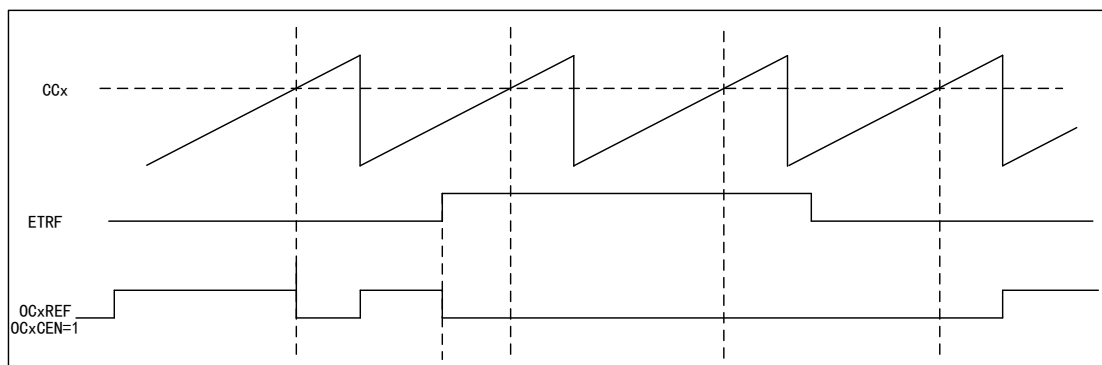
图 37 OCxREF 时序图



将 ATMR 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当

ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 38 OCxREF 时序图



11.4.16 Timer 内部触发连接

表格 36 Timer 内部触发连接

从定时器	ITR0
ATMR	GTMR
GTMR	ATMR

11.5 寄存器地址映射

下表中将高级定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 37 ATIMER 寄存器地址映射

寄存器名	描述	偏移地址
ATMR_CR1	控制寄存器 1	0x00
ATMR_CR2	控制寄存器 2	0x04
ATMR_SMCR	从模式控制寄存器	0x08
ATMR_IER	中断使能寄存器	0x0C
ATMR_SR	状态寄存器	0x10
ATMR_CEG	控制事件产生寄存器	0x14
ATMR_CCM1	比较模式寄存器 1	0x18
ATMR_CCM2	比较模式寄存器 2	0x1C
ATMR_CCEN	比较使能寄存器	0x20
ATMR_CNT	计数器寄存器	0x24
ATMR_PSC	预分频寄存器	0x28
ATMR_AUTORLD	自动重载寄存器	0x2C
ATMR_REPCNT	重复计数寄存器	0x30
ATMR_CC0	通道 0 比较寄存器	0x34

寄存器名	描述	偏移地址
ATMR_CC1	通道 1 比较寄存器	0x38
ATMR_CC2	通道 2 比较寄存器	0x3C
ATMR_CC3	通道 3 比较寄存器	0x40
ATMR_BDT	刹车和死区寄存器	0x44
ATMR_OCR1	输出控制寄存器 1	0x48
ATMR_OCR2	输出控制寄存器 2	0x4C
ATMR_TRGO CR	TRGO 控制寄存器	0x50
ATMR_BREAK	Break 滤波寄存器	0x54
ATMR_OCxACR	独立比较寄存器控制寄存器	0x58
ATMR_CC0C	通道 0 下比较寄存器	0x5C
ATMR_CC1C	通道 1 下比较寄存器	0x60
ATMR_CC2C	通道 2 下比较寄存器	0x64
ATMR_CC3C	通道 3 下比较寄存器	0x68

11.6 寄存器功能描述

11.6.1 控制寄存器 1 (ATMR_CR1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12:10	BCS	R/W	BRK 源选择 (BRK source select) 000: brk_in 001: comp0_in 010: comp1_in 011: comp2_in 100: comp3_in 其他: brk_in 注意: 比较器的输入源为低电平有效, 比较器上电默认值也为低电平, 作为刹车输入时, 需要提前配置比较器输出。
9:8	CLKDIV	R/W	时钟分频系数 (Clock Division) 死区、数字滤波器的配置由 CK_INT 提供时钟, 通过设置该位可调整死区时间、数字滤波器的采用时钟。 00: $T_{DTS}=t_{CK\_INT}$ 01: $T_{DTS}=2 \times t_{CK\_INT}$ 10: $T_{DTS}=4 \times t_{CK\_INT}$ 11: 保留

位/域	名称	R/W	描述
7	ARPEN	R/W	ATMR_AUTORLD 寄存器自动重载缓冲使能 (Auto-reload Preload Enable) 禁止缓存区时，程序修改 ATMR_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 ATMR_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0: 禁止 1: 使能
6:5	CAMSEL	R/W	选择中央对齐模式 (Center Aligned Mode Select) 中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时 (CNTEN=0) 时，选择中央对齐模式。 00: 边沿对齐模式 01: 中央对齐模式 1 (在向下计数时，输出通道的输出比较中断标志位置 1) 10: 中央对齐模式 2 (在向上计数时，输出通道的输出比较中断标志位置 1) 11: 中央对齐模式 3 (在向上/下计数时，输出通道的输出比较中断标志位置 1)
4	CNTDIR	R	配置计数器计数方向 (Counter Direction) 当计数器配置为中央对齐模式时，该位为只读。 0: 向上计数 1: 向下计数
3	SPMEN	R/W	使能单脉冲模式 (Single Pulse Mode Enable) 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0: 禁用 1: 使能
2	URSSEL	R/W	更新请求源 (Update Request Source Select) 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0: 计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新 1: 计数器上溢或下溢
1	UDISEN	R/W	禁止更新 (Update Disable) 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0: 允许更新事件 (UEV) 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1: 禁止更新事件
0	CNTEN	R/W	使能计数器 (Counter Enable) 0: 禁止 1: 使能 定时器配置为外部时钟、门控模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。

11.6.2 控制寄存器 2 (ATMR_CR2)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	OC3NOIS	R/W	配置 OC3N 输出空闲状态 (OC3N Output Idel State Configure) 参考 OC0NOIS 位
14	OC3OIS	R/W	配置 OC3 输出空闲状态 (OC3 Output Idel State Configure) 参考 OC0OIS 位
13	OC2NOIS	R/W	配置 OC2N 输出空闲状态 (OC2N Output Idel State Configure) 参考 OC0NOIS 位
12	OC2OIS	R/W	配置 OC2 输出空闲状态 (OC2 Output Idel State Configure) 参考 OC0OIS 位
11	OC1NOIS	R/W	配置 OC1N 输出空闲状态 (OC1N Output Idel State Configure) 参考 OC0NOIS 位
10	OC1OIS	R/W	配置 OC1 输出空闲状态 (OC1 Output Idel State Configure) 参考 OC0OIS 位
9	OC0NOIS	R/W	配置 OC0N 输出空闲状态 (OC0N Output Idel State Configure) 仅在当 MOEN=0、实现了 OC0N，只影响 OC0N 死区时间后的电平状态。 0: OC0N=0 1: OC0N=1 注意: 当 ATMR_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
8	OC0OIS	R/W	配置 OC0 输出空闲状态 (OC0 Output Idel State Configure) 仅在当 MOEN=0 时、实现了 OC0N，只影响 OC0 死区时间后的电平状态。 0: OC0=0 1: OC0=1 注意: 当 ATMR_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
7:4	MMSEL	R/W	选择定时器主模式下用于 TRGO0 的信号 (Select the signal for TRGO0 in the timer's main mode) 工作在主模式的定时器的信号可用于 TRGO0，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。 0000: 复位，主模式定时器的复位信号用于 TRGO0 0001: 使能，主模式定时器的计数器使能信号用于 TRGO0 0010: 更新，主模式定时器的更新事件用于 TRGO0 0011: 比较脉冲，主模式定时器捕获/比较成功 (CC0IFLG=1) 时输出一个脉冲信号用于 TRGO0 0100: 比较模式 0，OC0REF 用于触发 TRGO0 0101: 比较模式 1，OC1REF 用于触发 TRGO0 0110: 比较模式 2，OC2REF 用于触发 TRGO0 0111: 比较模式 3，OC3REF 用于触发 TRGO0 1000: 不产生 TRGO0 (只会根据 MMSZE 和 MMSPE 产生 TRGO0) 1001: 比较模式 4，OC3NREF 用于触发 TRGO0

位/域	名称	R/W	描述
			1010: OC3REF 上升沿和下降沿产生 TRGO0 1011: OC3NREF 上升沿和下降沿产生 TRGO0 1100: OC3REF 上升沿和 OC3NREF 上升沿产生 TRGO0 1101: OC3REF 下降沿和 OC3NREF 下降沿产生 TRGO0 1110: OC3REF 上升沿和 OC3NREF 下降沿产生 TRGO0 1111: OC3REF 下降沿和 OC3NREF 上升沿产生 TRGO0
3	MMSPE	R/W	计数器与自动重装载寄存器匹配时产生 TRGO0 信 (TRGO0 Signal is Generated when the Counter Matches the Autoreload Register) 产生的 TRGO 只在计数器为中心对齐模式下有效, 只在 MMSEL 选择 1000 时选择 0: 计数器与自动重装载寄存器匹配时不产生 TRGO0 1: 计数器与自动重装载寄存器匹配时产生 TRGO0
2	CCUSEL	R/W	选择比较控制更新 (Compare Control Update Select) 仅在捕获比较预装载使能 (CCPEN=1) 时, 且只对互补输出通道才起作用。 0: 只能通过设置 COMG 位更新 1: 可以通过设置 COMG 位或者 TRGI 上的上升沿更新
1	MMSZE	R/W	计数器归 0 时刻产生 TRGO0 信号 (When the counter returns to 0, TRGO0 signal is generated) 产生的 TRGO 只在计数器为中心对齐模式下有效, 只在 MMSEL (配置为 1000 时选择) 1: 计数器归 0 时产生 TRGO0 0: 计数器归 0 时不产生 TRGO0
0	CCPEN	R/W	使能比较预装载 (Compare Preloaded Enable) 该位影响 CCxEN、CCxNEN、OCxMOD 数值的改变, 禁止预装载时, 程序修改会立刻影响定时器的设置; 使能预装载时, 只在设置了 COMG 会后更新, 从而影响定时器的设置; 该位只在具有互补输出的通道起作用。 0: 禁止 1: 使能

11.6.3 从模式控制寄存器 (ATMR_SMCR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ETPOL	R/W	配置外部触发极性 (External Trigger Polarity Configure) 该位决定外部触发 ETR 是否反相。 0: 外部触发 ETR 不反相, 高电平或上升沿有效 1: 外部触发 ETR 反相, 低电平或下降沿有效
14	保留		
13:12	ETPCFG	R/W	配置外部触发信号预分频器 (External Trigger Prescaler Configure) ETR (外部触发输入) 的信号经过分频后为 ETRP, ETRP 的信号频率最多是 ATMRCLK 频率的 1/4; 当 ETR 频率过高时, 须经过分频降低 ETRP 的频率。 00: 禁用预分频器 01: ETR 信号 2 分频

位/域	名称	R/W	描述
			10: ETR 信号 4 分频 11: ETR 信号 8 分频
11:8	ETFCFG	R/W	配置外部触发滤波器 (External Trigger Filter Configure) 0000: 禁用滤波器, 以 f_{DTS} 采样 0001: DIV=1, N=2 0010: DIV=1, N=4 0011: DIV=1, N=8 0100: DIV=2, N=6 0101: DIV=2, N=8 0110: DIV=4, N=6 0111: DIV=4, N=8 1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波长度=N, 每 N 个事件产生一个跳变。
7	MSMEN	R/W	使能主/从模式 (Master/slave Mode Enable) 0: 无效 1: 使能主/从模式
6:5	保留		
4	TRGSEL	R/W	选择触发输入信号 (Trigger Input Signal Select) 为了避免在改变该位值时产生错误的边沿检测, 须在 SMFSEL=0 时改变。 0: 内部触发 ITR0 1: 外部触发输入 (ETRF)
3	保留		
2:0	SMFSEL	R/W	选择从模式功能 (Slave Mode Function Select) 000: 禁止从模式, 定时器可作为主模式定时器影响从模式定时器的工 作; 如果 CR1_CNTEN=1, 则预分频器直接由内部时钟驱动。 100: 复位模式, 从模式定时器在收到 TRGI 的上升沿信号后复位计数 器, 并产生更新寄存器的信号。 101: 门控模式, 从模式定时器在收到 TRGI 高电平信号时, 启动计数 器工作; 收到 TRGI 低电平时停止计数器工作; 再收到 TRGI 高电平信 号时, 继续工作; 整个期间不复位计数器。 110: 触发模式, 从模式定时器在收到 TRGI 的上升沿信号后, 启动计 数器工作。 其他: 保留

11.6.4 中断使能寄存器 (ATMR_IER)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	BRKIEN	R/W	使能刹车中断 (Break Interrupt Enable) 0: 禁止 1: 使能
6	TRGIEN	R/W	使能触发中断 (Trigger Interrupt Enable) 0: 禁止 1: 使能
5	COMIEN	R/W	使能 COM 中断 (COM Interrupt Enable) 0: 禁止 1: 使能
4	CC3IEN	R/W	使能比较通道 3 中断 (Campare Channel3 Interrupt Enable) 0: 禁止 1: 使能
3	CC2IEN	R/W	使能比较通道 2 中断 (Campare Channel2 Interrupt Enable) 0: 禁止 1: 使能
2	CC1IEN	R/W	使能比较通道 1 中断 (Campare Channel1 Interrupt Enable) 0: 禁止 1: 使能
1	CC0IEN	R/W	使能比较通道 0 中断 (Campare Channel0 Interrupt Enable) 0: 禁止 1: 使能
0	UIEN	R/W	使能更新中断 (Update Interrupt Enable) 0: 禁止 1: 使能

11.6.5 状态寄存器 (ATMR_SR)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	BRKIFLG	RC_W0	产生刹车事件中断标志 (Break Event Interrupt Generate Flag) 0: 没有发生刹车事件 1: 发生刹车事件 刹车输入有效的情况下, 该位由硬件置 1; 无效的情况下, 可以通过软件清 0。
6	TRGIFLG	RC_W0	产生触发事件中断标志 (Trigger Event Interrupt Generate Flag) 0: 没有发生触发事件中断 1: 发生触发事件中断 发生触发事件时, 该位由硬件置 1, 软件清 0。

位/域	名称	R/W	描述
5	COMIFLG	RC_W0	产生 COM 事件中断标志 (COM Event Interrupt Generate Flag) 0: 无 COM 事件产生 1: COM 中断等待响应 产生 COM 事件后, 该位由硬件置 1, 软件清 0。
4	CC3IFLG	RC_W0	比较通道 3 中断标志 (Compare Channel3 Interrupt Flag) 参考 ATMR_SR.CC0IFLG
3	CC2IFLG	RC_W0	比较通道 2 中断标志 (Compare Channel2 Interrupt Flag) 参考 ATMR_SR.CC0IFLG
2	CC1IFLG	RC_W0	比较通道 1 中断标志 (Compare Channel1 Interrupt Flag) 参考 ATMR_SR.CC0IFLG
1	CC0IFLG	RC_W0	比较通道 0 中断标志 (Compare Channel0 Interrupt Flag) 0: 无匹配发生 1: ATMR_CNT 的值与 ATMR_CC0 的值相匹配 当 ATMR_CC0 的内容大于 ATMR_AUTORLD 的内容时, 在向上或向上/下计数模式时计数器溢出, 或向下计数模式时的计数器下溢条件下, 该位置 1。
0	UIFLG	RC_W0	产生更新事件中断标志位 (Update Event Interrupt Generate Flag) 0: 没有发生更新事件中断 1: 发生更新事件中断 计数器数值重新装载或重新初始化时, 会产生更新事件, 该位由硬件置 1, 软件清 0; 更新事件的产生的情况有以下情况: (1) ATMR_CR1 寄存器的 UDISEN=0, 重复计数器数值上/下溢时产生更新事件; (2) ATMR_CR1 寄存器的 URSSEL=0 和 UDISEN=0, 配置 ATMR_CEG 寄存器的 UEG=1 产生更新事件, 需要通过软件初始化计数器; (3) ATMR_CR1 寄存器的 URSSEL=0 和 UDISEN=0, 计数器被事件初始化时产生更新事件。

11.6.6 控制事件产生寄存器 (ATMR_CEG)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	BEG	W	产生刹车事件 (Break Event Generate) 0: 无效 1: 产生刹车事件 该位由软件置 1, 硬件自动清 0。
6	TEG	W	产生触发事件 (Trigger Event Generate) 0: 无效 1: 产生触发事件 该位由软件置 1, 硬件自动清 0。

位/域	名称	R/W	描述
5	COMG	W	产生比较控制更新事件 (Compare Control Update Event Generate) 0: 无效 1: 产生比较更新事件 该位由软件置 1, 硬件自动清 0。 注: COMG 位只有在互补输出的通道有效。
4	CC3EG	W	产生比较通道 3 事件 (Compare Channel3 Event Generation) 参考 CC0EG 描述
3	CC2EG	W	产生比较通道 2 事件 (Compare Channel2 Event Generation) 参考 CC0EG 描述
2	CC1EG	W	产生比较通道 1 事件 (Compare Channel1 Event Generation) 参考 CC0EG 描述
1	CC0EG	W	产生比较通道 0 事件 (Compare Channel0 Event Generation) 0: 无效 1: 产生比较事件 该位由软件置 1, 硬件自动清 0。 如果通道 0 处于输出模式: 当 CC0IFLG=1 时, 如果设置了 CC0IEN 和 CC0DEN 位, 则产生相应的中断和 DMA 请求。 如果通道 0 处于输入模式: 捕获计数器的值存储在 ATMR_CC0 寄存器中; 配置 CC0IFLG=1, 如果还设置了 CC0IEN 和 CC0DEN 位, 则产生相应的中断和 DMA 请求; 如果此时 CC0IFLG=1, 则需要配置 CC0RCFLG=1。
0	UEG	W	产生更新事件 (Update Event Generate) 0: 无效 1: 初始化计数器, 产生更新事件 此位由软件置 1, 硬件清 0。 注意: 产生更新事件时, 预分频器的计数器会清 0, 但是预分频系数不变。如果在向下计数模式下计数器会读取 ATMR_AUTORLD 的值; 如果在中央对齐模式下或者向上计数模式中计数器会被清 0。

11.6.7 比较模式寄存器 1 (ATMR_CCM1)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	OC1CEN	R/W	使能输出通道 1 比较清除 (Output Compare Channel1 Clear Enable)
14:12	OC1MOD	R/W	输出比较通道 1 模式 (Output Compare Channel1 Mode)
11	OC1PEN	R/W	使能输出比较通道 1 缓冲 (Output Compare Channel1 Buffer Enable)
10:8	保留		
7	OC0CEN	R/W	使能输出比较通道 0 清除 (Output Compare Channel0 Clear Enable) 0: OC0REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC0REF=0
6:4	OC0MOD	R/W	配置输出比较通道 0 模式 (Output Compare Channel0 Mode Configure) 000: 冻结。输出比较对 OC0REF 无影响

位/域	名称	R/W	描述
			001: 匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时, 强制 OC0REF 为高电平 010: 匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时, 强制 OC0REF 为低电平 011: 匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时, 翻转 OC0REF 的电平 100: 强制输出为低。强制 OC0REF 为低电平 101: 强制输出为高。强制 OC0REF 为高电平 110: PWM 模式 1 (计数器值<输出比较值时置为高, 否则反之) 111: PWM 模式 2 (计数器值>输出比较值时置为高, 否则反之) 注意: 当保护级别为 3 级时且通道配置为输出时, 该位不能被修改。在 PWM 模式 1 和 2 中, OC0REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
3	OC0PEN	R/W	使能输出比较通道 0 预装载 (Output Compare Channel0 Preload Enable) 0: 禁止预装载功能, 通过程序写入 ATMR_CC0 寄存器的数值, 会马上起作用。 1: 启用预装载功能, 通过程序写入 ATMR_CC0 寄存器的数值, 会在产生更新事件后起作用。 注意: 当保护级别为 3 级时且通道配置为输出时, 该位不能被修改。当不确定预装载寄存器情况, 仅在单脉冲模式 (SPMEN=1) 下, 可以使用 PWM 模式, 否则不确定其接下来的输出比较结果。
2:0	保留		

11.6.8 比较模式寄存器 2 (ATMR_CCM2)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	OC3CEN	R/W	使能输出通道 3 比较清除 (Output Compare Channel3 Clear Enable)
14:12	OC3MOD	R/W	配置输出比较通道 3 模式 (Output Compare Channel3 Mode Configure)
11	OC3PEN	R/W	使能输出比较通道 3 缓冲 (Output Compare Channel3 Buffer Enable)
10:8	保留		
7	OC2CEN	R/W	使能输出比较通道 2 清除 (Output Compare Channel2 Clear Enable) 0: OC2REF 不受 ETRF 输入影响 1: 检测到 ETRF 输入高电平时, OC0REF=0
6:4	OC2MOD	R/W	配置输出比较通道 2 模式 (Output Compare Channel2 Mode Configure)
3	OC2PEN	R/W	使能输出比较通道 2 预装载 (Output Compare Channel2 Preload Enable)
2:0	保留		

11.6.9 比较使能寄存器 (ATMR_CCEN)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	CC3NPOL	R/W	比较通道 3 互补输出极性 (Compare Channel3 Complementary Output Polarity Configure) 参考 CCEN_CC0NPOL
14	CC3NEN	R/W	使能比较通道 3 互补输出 (Compare Channel3 Complementary Output Enable) 参考 CCEN_CC0NEN
13	CC3POL	R/W	比较通道 3 输出极性 (Compare Channel3 Output Polarity) 参考 CCEN_CC0POL
12	CC3EN	R/W	使能比较通道 3 输出 (Compare Channel3 Output Enable) 参考 CCEN_CC0EN
11	CC2NPOL	R/W	配置比较通道 2 互补输出极性 (Compare Channel2 Complementary Output Polarity Configure) 参考 CCEN_CC0NPOL
10	CC2NEN	R/W	使能比较通道 2 互补输出 (Compare Channel2 Complementary Output Enable) 参考 CCEN_CC0NEN
9	CC2POL	R/W	配置比较通道 2 输出极性 (Compare Channel2 Output Polarity Configure) 参考 CCEN_CC0POL
8	CC2EN	R/W	使能比较通道 2 输出 (Compare Channel2 Output Enable) 参考 CCEN_CC0EN
7	CC1NPOL	R/W	配置比较通道 1 互补输出极性 (Compare Channel1 Complementary Output Polarity Configure) 参考 CCEN_CC0NPOL
6	CC1NEN	R/W	使能比较通道 1 互补输出 (Compare Channel1 Complementary Output Enable) 参考 CCEN_CC0NEN
5	CC1POL	R/W	配置比较通道 1 输出极性 (Compare Channel1 Output Polarity Configure) 参考 CCEN_CC0POL
4	CC1EN	R/W	使能比较通道 1 输出 (Compare Channel1 Output Enable) 参考 CCEN_CC0EN
3	CC0NPOL	R/W	比较通道 0 互补输出极性 (Compare Channel0 Complementary Output Polarity) 0: OC0N 高电平有效 1: OC0N 低电平有效 注: 当保护级别为 2 或者 3 时, 该位不能被修改。
2	CC0NEN	R/W	使能比较通道 0 互补输出 (Compare Channel0 Complementary Output Enable) 0: 禁止 1: 使能

位/域	名称	R/W	描述
1	CC0POL	R/W	配置比较通道 0 输出极性 (Compare Channel0 Output Polarity Configure) 0: OC0 高电平有效 1: OC0 低电平有效 注: 当保护级别为 2 或者 3 时, 该位不能被修改。
0	CC0EN	R/W	使能比较通道 0 输出 (Compare Channel0 Output Enable) 0: 禁止输出 1: 开启输出

11.6.10 计数器寄存器 (ATMR_CNT)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CNT	R/W	计数器数值 (Counter Value)

11.6.11 预分频寄存器 (ATMR_PSC)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	PSC	R/W	预分频器数值 (Prescaler Value) 计数器的时钟频率 (CK_CNT) = $f_{CK\_PSC} / (PSC + 1)$

11.6.12 自动重装载寄存器 (ATMR_AUTORLD)

偏移地址: 0x2C

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16			保留
15:0	AUTORLD	R/W	自动重装载数值 (Auto Reload Value) 自动重装载的值为空时, 计数器不进行计数。

11.6.13 重复计数寄存器 (ATMR_REPCNT)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7:0	REPCNT	R/W	重复计数数值 (Repetition Counter Value) 当重复计数器计数值减为 0 时产生更新事件, 计数器重新从 REPCNT 数值开始计数; 新写入该寄存器的新值只有在下次周期更新事件发生时才有效。

11.6.14 通道 0 比较寄存器 (ATMR_CC0)

偏移地址: 0x34

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC0	R/W	比较通道 0 数值 (Compare Channel0 Value) 比较通道 0 配置为输出模式 CC0 包含了当前装入比较寄存器数值。 捕获比较通道 0 的值 CC0 与计数器的值 CNT 比较, 在 OC0 上产生输出信号。 当输出比较预装载禁止 (ATMR_CCM1 寄存器的 OC0PEN=0) 时, 写入的数值会立即影响输出比较结果; 当输出比较预装载使能 (ATMR_CCM1 寄存器的 OC0PEN=1) 时, 写入的值会在产生更新事件时影响输出比较结果。

11.6.15 通道 1 比较寄存器 (ATMR_CC1)

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC1	R/W	比较通道 1 数值 (Compare Channel1 Value) 参考 ATMR_CC0

11.6.16 通道 2 比较寄存器 (ATMR_CC2)

偏移地址：0x3C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC2	R/W	比较通道 2 数值 (Compare Channel2 Value) 参考 ATMR_CC0

11.6.17 通道 3 比较寄存器 (ATMR_CC3)

偏移地址：0x40

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC3	R/W	比较通道 3 数值 (Compare Channel3 Value) 参考 ATMR_CC0

11.6.18 刹车和死区寄存器 (ATMR_BDT)

偏移地址：0x44

复位值：0x0000 0000

注意：根据锁定设置, AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS0, DTS1 位均可被写保护, 有必要在第一次写入 ATMR_BDT 寄存器时对它们进行配置。

位/域	名称	R/W	描述
31:24	保留		
23:16	DTS1	R/W	设置互补输出通道的死区持续时间（Dead Time Setup） DT 为死区持续时间，DT 与寄存器 DTS1 的关系如下： DTS1[23:21]=0xx=>DT=DTS[23:16]×T_{DTS}，T_{dts}=T_{DTS}； DTS1[23:21]=10x=>DT=（64+DTS[21:16]）×T_{dts}，T_{dts}=2×T_{DTS}； DTS1[23:21]=110=>DT=（32+DTS[20:16]）×T_{dts}，T_{dts}=8×T_{DTS}； DTS1[23:21]=111=>DT=（32+DTS[20:16]）×T_{dts}，T_{dts}=16×T_{DTS}； 例：假设 T_{DTS}=125ns（8MHz），死区时间设置如下： 若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns； 若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns； 若步长时间为 1μs，可设置死区时间范围是 32μs 到 63μs； 若步长时间为 2μs，可设置死区时间范围是 64μs 到 126μs。 注：一旦 LOCK 级别（ATMR_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。
15	MOEN	R/W	使能 PWM 主输出（PWM Main Output Enable） 0：禁止 OCx 和 OCxN 输出或者强制输出空闲状态 1：当设置了 ATMR_CCEN 寄存器的 CCxEN 和 CCxNEN 位，开启 OCx 和 OCxN 输出 刹车输入有效时硬件异步清 0。 注：由软件置 1 还是自动置 1 取决于 ATMR_BDT 寄存器的 AOEN 位。
14	AOEN	R/W	使能自动输出（Automatic Output Enable） 0：MOEN 只能被软件置 1 1：MOEN 可以被软件置 1 或者在下一个更新事件时自动值置 1（刹车输入无效） 注：当保护级别为 1 时，该位不能修改。
13	BRKPOL	R/W	配置刹车输入极性（Break Polarity Configure） 0：刹车输入 BRK 在低电平有效 1：刹车输入 BRK 在高电平有效 注：当保护级别为 1 时，该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。
12	BRKEN	R/W	使能刹车功能（Break Function Enable） 0：禁止 1：使能 注：当保护级别为 1 时，该位不能修改。
11	RMOS	R/W	配置运行模式下的关闭状态（Run Mode Off-state Configure） 运行模式指 MOEN=1，关闭是指 CCxEN=0；该位描述的是在 MOEN=1，CCxEN 由 0 变为 1 时，配置该位不同的数值，对输出波形的影响。 0：禁止 OCx/OCxN 输出 1：OCx/OCxN 先输出无效电平（具体电平数值受极性配置影响）
10	IMOS	R/W	配置空闲模式下的关闭状态（Idle Mode Off-state Configure） 空闲模式指 MOEN=0，关闭是指 CCxEN=0；该位描述的是在 MOEN=0，CCxEN 由 0 变为 1，配置该位不同的数值，对输出波形的影响。 0：禁止 OCx/OCxN 输出 1：若 CCxEN=1，先在死区期间输出无效电平（具体电平数值受极性配置影响），在死区结束后，输出空闲电平

位/域	名称	R/W	描述
9:8	LOCKCFG	R/W	配置锁定写保护模式（Lock Write Protection Mode Configure） 00：无锁定写保护，可直接写寄存器 01：锁定写保护级别 1 不能写入 ATMR_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 ATMR_CR2 寄存器的 OCxOIS 和 OCxNOIS 位。 10：锁定写保护级别 2 不能写入保护级别 1 的所有位，也不能写入 ATMR_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、ATMR_BDT 寄存器的 RMOS 和 IMOS 位。 11：锁定写保护级别 3 不能写入保护级别 2 的所有位，也不能写入 ATMR_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。 注意：在系统复位后，只能写一次锁定写保护位。
7:0	DTS0	R/W	设置互补输出通道的死区持续时间（Dead Time Setup） DT 为死区持续时间，DT 与寄存器 DTS0 的关系如下： $DTS0[7:5]=0xx \Rightarrow DT=DTS[7:0] \times T_{dts}$, $T_{dts}=T_{DTS}$; $DTS0[7:5]=10x \Rightarrow DT=(64+DTS[5:0]) \times T_{dts}$, $T_{dts}=2 \times T_{DTS}$; $DTS0[7:5]=110 \Rightarrow DT=(32+DTS[4:0]) \times T_{dts}$, $T_{dts}=8 \times T_{DTS}$; $DTS0[7:5]=111 \Rightarrow DT=(32+DTS[4:0]) \times T_{dts}$, $T_{dts}=16 \times T_{DTS}$; 例：假设 $T_{DTS}=125ns$（8MHz），死区时间设置如下： 若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns； 若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns； 若步长时间为 1us，可设置死区时间范围是 32us 到 63us； 若步长时间为 2us，可设置死区时间范围是 64us 到 126us。 注：一旦 LOCK 级别（ATMR_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。

11.6.19 输出控制寄存器 1（ATMR_OCR1）

偏移地址：0x48

复位值：0x0000 0000

位/域	名称	R/W	描述
31:9	保留		
8	BUFEN	R/W	输出控制缓冲使能（Output Control Buffering is Enable） 0：对输出控制寄存器修改立即生效 1：对输出控制寄存器的修改在下一次更新事件时生效
7	CH3NFORCEEN	R/W	通道 3 的互补通道输出控制使能寄存器（Complementary Channel Output Control Enable Register for Channel 3） 0：通道 3 的互补通道输出 PWM 波形 1：通道 3 的互补通道的输出受输出控制寄存器 2 的对应位控制
6	CH3FORCEEN	R/W	通道 3 输出控制使能寄存器（Channel 3 Outputs the Control Enable Register） 0：通道 3 输出 PWM 波形 1：通道 3 的输出受输出控制寄存器 2 的对应位控制
5	CH2NFORCEEN	R/W	通道 2 的互补通道输出控制使能寄存器（Complementary Channel Output Control Enable Register for Channel 2） 0：通道 2 的互补通道输出 PWM 波形 1：通道 2 的互补通道的输出受输出控制寄存器 2 的对应位控制

位/域	名称	R/W	描述
4	CH2FORCEEN	R/W	通道 2 输出控制使能寄存器 (Channel 2 Outputs the Control Enable Register) 0: 通道 2 输出 PWM 波形 1: 通道 2 的输出受输出控制寄存器 2 的对应位控制。
3	CH1NFORCEEN	R/W	通道 1 的互补通道输出控制使能寄存器 (Complementary Channel Output Control Enable Register for Channel 1) 0: 通道 1 的互补通道输出 PWM 波形 1: 通道 1 的互补通道的输出受输出控制寄存器 2 的对应位控制
2	CH1FORCEEN	R/W	通道 1 输出控制使能寄存器 (Channel 1 Outputs the Control Enable Register) 0: 通道 1 输出 PWM 波形 1: 通道 1 的输出受输出控制寄存器 2 的对应位控制
1	CH0NFORCEEN	R/W	通道 0 的互补通道输出控制使能寄存器 (Complementary Channel Output Control Enable Register for Channel 0) 0: 通道 0 的互补通道输出 PWM 波形 1: 通道 0 的互补通道的输出受输出控制寄存器 2 的对应位控制
0	CH0FORCEEN	R/W	通道 0 输出控制使能寄存器 (Channel 0 Outputs the Control Enable Register) 0: 通道 0 输出 PWM 波形 1: 通道 0 的输出受输出控制寄存器 2 的对应位控制

注意：一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 1 或 2 或 3，则不能修改这个寄存器。

11.6.20 输出控制寄存器 2 (ATMR_OCR2)

偏移地址: 0x4C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	CH3NFORCEVAL	R/W	通道 3 的互补通道输出电平寄存器 (Complementary Channel Output Level Register for Channel 3) 0: 通道 3 的互补通道输出低电平 1: 通道 3 的互补通道输出高电平
6	CH3FORCEVAL	R/W	通道 3 输出电平寄存器 (Channel 3 Output Level Register) 0: 通道 3 输出低电平 1: 通道 3 输出高电平
5	CH2NFORCEVAL	R/W	通道 2 的互补通道输出电平寄存器 (Complementary Channel Output Level Register for Channel 2) 0: 通道 2 的互补通道输出低电平 1: 通道 2 的互补通道输出高电平
4	CH2FORCEVAL	R/W	通道 2 输出电平寄存器 (Channel 2 Output Level Register) 0: 通道 2 输出低电平 1: 通道 2 输出高电平

位/域	名称	R/W	描述
3	CH1NFORCEVAL	R/W	通道 1 的互补通道输出电平寄存器 (Complementary Channel Output Level Register for Channel 1) 0: 通道 1 的互补通道输出低电平 1: 通道 1 的互补通道输出高电平
2	CH1FORCEVAL	R/W	通道 1 输出电平寄存器 (Channel 1 Output Level Register) 0: 通道 1 输出低电平 1: 通道 1 输出高电平
1	CH0NFORCEVAL	R/W	通道 0 的互补通道输出电平寄存器 (Complementary Channel Output Level Register for Channel 0) 0: 通道 0 的互补通道输出低电平 1: 通道 0 的互补通道输出高电平
0	CH0FORCEVAL	R/W	通道 0 输出电平寄存器 (Channel 0 Output Level Register) 0: 通道 0 输出低电平 1: 通道 0 输出高电平

注意：必须先配置 ATMR_OCR2 再配置 ATMR_OCR1。如果需要更改输出控制缓冲功能并修改 ATMR_OCRx 中其他控制位的值：需要先写 ATMR_OCR1 的 BUFEN 后，再依次写 ATMR_OCR2 寄存器和 ATMR_OCR1 寄存器。

11.6.21 TRGO 控制寄存器 (ATMR_TRGOCR)

偏移地址：0x50

复位值：0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11	MMS2PE	R/W	计数器与自动重载寄存器匹配时产生 TRGO2 信号 (TRGO2 Signal is Generated when the Counter Matches the Autoreload Register) 产生的 TRGO2 只在计数器为中心对齐模式下有效，只在 MMS2 选择 1000 时选择 0: 计数器上溢时不产生 TRGO2 1: 计数器上溢时产生 TRGO2
10	MMS2ZE	R/W	计数器归 0 时产生 TRGO2 信号 (When the counter returns to 0, TRGO2 signal is generated) 产生的 TRGO2 只在计数器为中心对齐模式下有效，只在 MMS2 (配置为 1000 时选择) 0: 计数器下溢时不产生 TRGO2 1: 计数器下溢时产生 TRGO2
9	MMS1PE	R/W	计数器与自动重载寄存器匹配时产生 TRGO1 信号 (TRGO1 Signal is Generated when the Counter Matches the Autoreload Register) 产生的 TRGO1 只在计数器为中心对齐模式下有效，只在 MMS1 选择 1000 时选择 0: 计数器上溢时不产生 TRGO1 1: 计数器上溢时产生 TRGO1
8	MMS1ZE	R/W	计数器归 0 时产生 TRGO1 信号 (When the counter returns to 0, TRGO 1 signal is generated) 产生的 TRGO1 只在计数器为中心对齐模式下有效，只在 MMS1 (配置为 1000 时选择)

位/域	名称	R/W	描述
			0: 计数器下溢时不产生 TRGO1 1: 计数器下溢时产生 TRGO1
7:4	MMS2	R/W	主模式 2 选择 (Master mode 2 selection) 用于选择在主模式下送到从定时器的同步信息 (TRGO2)。可能的组合如下: 0000: 复位-ATMR_CEG 寄存器的 UEG 位被用于作为触发输出 (TRGO2)。如果是触发输入产生的复位 (从模式控制器处于复位模式), 则 TRGO2 上的信号相对实际的复位会有一个延迟。 0001: 使能-计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO2)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO2 上会有一个延迟, 除非选择了主/从模式 (见 ATMR_SMCR 寄存器中 MSMEN 位的描述)。 0010: 更新-更新事件被选为触发输入 (TRGO2)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲-在发生一次捕获或一次比较成功时, 当要设置 CC0IFLG 标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO2)。 0100: 比较-OC0REF 信号被用于作为触发输出 (TRGO2) 0101: 比较-OC1REF 信号被用于作为触发输出 (TRGO2) 0110: 比较-OC2REF 信号被用于作为触发输出 (TRGO2) 0111: 比较-OC3REF 信号被用于作为触发输出 (TRGO2) 1000: 不产生 TRGO2 (只会根据 MMS2ZE 和 MMS2PE 产生 TRGO2) 1001: 比较 - OC3NREF (独立输出模式) 信号被用于作为触发输出 (TRGO2) 1010: OC3REF 上升沿和下降沿产生 TRGO2 1011: OC3NREF (独立输出模式) 上升沿和下降沿产生 TRGO2 1100: OC3REF 上升沿和 OC3NREF 上升沿产生 TRGO2 1101: OC3REF 下降沿和 OC3NREF 下降沿产生 TRGO2 1110: OC3REF 上升沿和 OC3NREF 下降沿产生 TRGO2 1111: OC3REF 下降沿和 OC3NREF 上升沿产生 TRGO2
3:0	MMS1	R/W	主模式 1 选择 (Master mode 1 selection) 用于选择在主模式下送到从定时器的同步信息 (TRGO1)。可能的组合如下: 0000: 复位-ATMRx_CEG 寄存器的 UEG 位被用于作为触发输出 (TRGO1)。如果是触发输入产生的复位 (从模式控制器处于复位模式), 则 TRGO1 上的信号相对实际的复位会有一个延迟。 0001: 使能-计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO1)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO 上会有一个延迟, 除非选择了主/从模式 (见 ATMR_SMCR 寄存器中 MSMEN 位的描述)。 0010: 更新-更新事件被选为触发输入 (TRGO1)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 0111: 比较脉冲-在发生一次捕获或一次比较成功时, 当要设置 CC0IFLG 标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO1)。 0100: 比较-OC0REF 信号被用于作为触发输出 (TRGO1) 0101: 比较-OC1REF 信号被用于作为触发输出 (TRGO1) 0110: 比较-OC2REF 信号被用于作为触发输出 (TRGO1)

位/域	名称	R/W	描述
			0111: 比较-OC3REF 信号被用于作为触发输出 (TRGO1) 1000: 不产生 TRGO1 (只会根据 MMS1ZE 和 MMS1PE 产生 TRGO1) 1001: 比较 - OC3NREF (独立输出模式) 信号被用于作为触发输出 (TRGO1) 1010: OC3REF 上升沿和下降沿产生 TRGO1 1011: OC3NREF 上升沿和下降沿产生 TRGO1 1100: OC3REF 上升沿和 OC3NREF 上升沿产生 TRGO1 1101: OC3REF 下降沿和 OC3NREF 下降沿产生 TRGO1 1110: OC3REF 上升沿和 OC3NREF 下降沿产生 TRGO1 1111: OC3REF 下降沿和 OC3NREF 上升沿产生 TRGO1

11.6.22 Break 滤波寄存器 (ATMR_BREAK)

偏移地址: 0x54

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:2	FILT	R/W	滤波系数 (filter coefficient) 以 APB 时钟为基数。 $FILT * APB\_CLK$
1	FILTEN	R/W	使能 Break_in 输入滤波功能 (Break_in input filtering function enable) 0: 禁止 1: 使能
0	ANAFILTEN	R/W	使能模拟 Break_in 输入滤波功能 (Analog Break_in input filtering function enable) 0: 禁止 1: 使能

11.6.23 独立比较寄存器控制寄存器 (ATMR_OCxACR)

偏移地址: 0x58

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	NONC3EN	R/W	通道 3 互补独立选择 (Channel 3 complementary independent select) 0: 互补功能 1: 独立功能 注: 一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 3, 则不能修改这些位。

位/域	名称	R/W	描述
6	NONC2EN	R/W	通道 2 互补独立选择 (Channel 2 complementary independent select) 0: 互补功能 1: 独立功能 注: 一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 3, 则不能修改这些位。
5	NONC1EN	R/W	通道 1 互补独立选择 (Channel 1 complementary independent select) 0: 互补功能 1: 独立功能 注: 一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 3, 则不能修改这些位。
4	NONC0EN	R/W	通道 0 互补独立选择 (Channel 0 complementary independent select) 0: 互补功能 1: 独立功能 注: 一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 3, 则不能修改这些位。
3	OC3AEN	R/W	使能通道 3 非对称 PWM 输出模式 (Channel 3 Asymmetric PWM Output Mode Enable) 参考 OC0AEN。
2	OC2AEN	R/W	使能通道 2 非对称 PWM 输出模式 (Channel 2 Asymmetric PWM Output Mode Enable) 参考 OC0AEN。
1	OC1AEN	R/W	使能通道 1 非对称 PWM 输出模式 (Channel 1 Asymmetric PWM Output Mode Enable) 参考 OC0AEN。
0	OC0AEN	R/W	使能通道 0 非对称 PWM 输出模式 (Channel 0 Asymmetric PWM Output Mode Enable) 仅在计数器为中心对称模式, 通道 0 配置为 PWM 输出模式时有效。非对称 PWM 模式下, 计数器增计数时 OC0REF 由 CC0 控制, 计数器减计数时 OC0REF 由 CC0 控制。 1: 使能非对称 PWM 输出模式 0: CCR0C 不影响 OC0REF 输出 注意: 一旦 LOCK 级别 (ATMR_BDT 寄存器中的 LOCKCFG 位) 设为 3, 则不能修改这些位。

注意: 如果 OCxAEN 和 NONCxEN 同时使能时, CCRxC 不影响 OCxREF 输出。

11.6.24 通道 0 下比较寄存器 (ATMR_CC0C)

偏移地址: 0x5C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CCR0C	R/W	通道 0 捕获/比较寄存器互补寄存器 (Channel 0 Capture/Compare Register Complementary Register) 捕获/比较通道 0 配置为 PWM 输出模式, 计数器为中心对齐模式时, CCR0C 包含了当前装入比较寄存器互补寄存器的数值当计数器为增计数

位/域	名称	R/W	描述
			时，捕获比较通道 0 的值 CC0 与计数器的值 CNT 比较，在 OC0 上产生输出信号。 当计数器为减计数时，CCR0C 的值与计数的值 CNT 比较，在 OC0 上产生输出信号。 当输出比较预装载禁止（ATMR_CCM1 寄存器的 OC0PEN=0）时，写入的数值会立即影响输出比较结果；当输出比较预装载使能（ATMR_CCM1 寄存器的 OC0PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。

11.6.25 通道 1 下比较寄存器（ATMR_CC1C）

偏移地址：0x60

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CCR1C	R/W	通道 1 比较寄存器互补寄存器（Channel 1 Compare Register Complementary Register） 参考 ATMR_CC0C。

11.6.26 通道 2 下比较寄存器（ATMR_CC2C）

偏移地址：0x64

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CCR2C	R/W	通道 2 比较寄存器互补寄存器（Channel 2 Compare Register Complementary Register） 参考 ATMR_CC0C。

11.6.27 通道 3 下比较寄存器（ATMR_CC3C）

偏移地址：0x68

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CCR3C	R/W	通道 3 比较寄存器互补寄存器（Channel 3 Compare Register Complementary Register） 参考 ATMR_CC0C。

12 通用定时器（GTIMER）

12.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 32 位的自动重装载计数器（实现向上、向下和中央对齐计数）。

定时器和定时器之间是相互独立的，它们可以实现同步和级联。

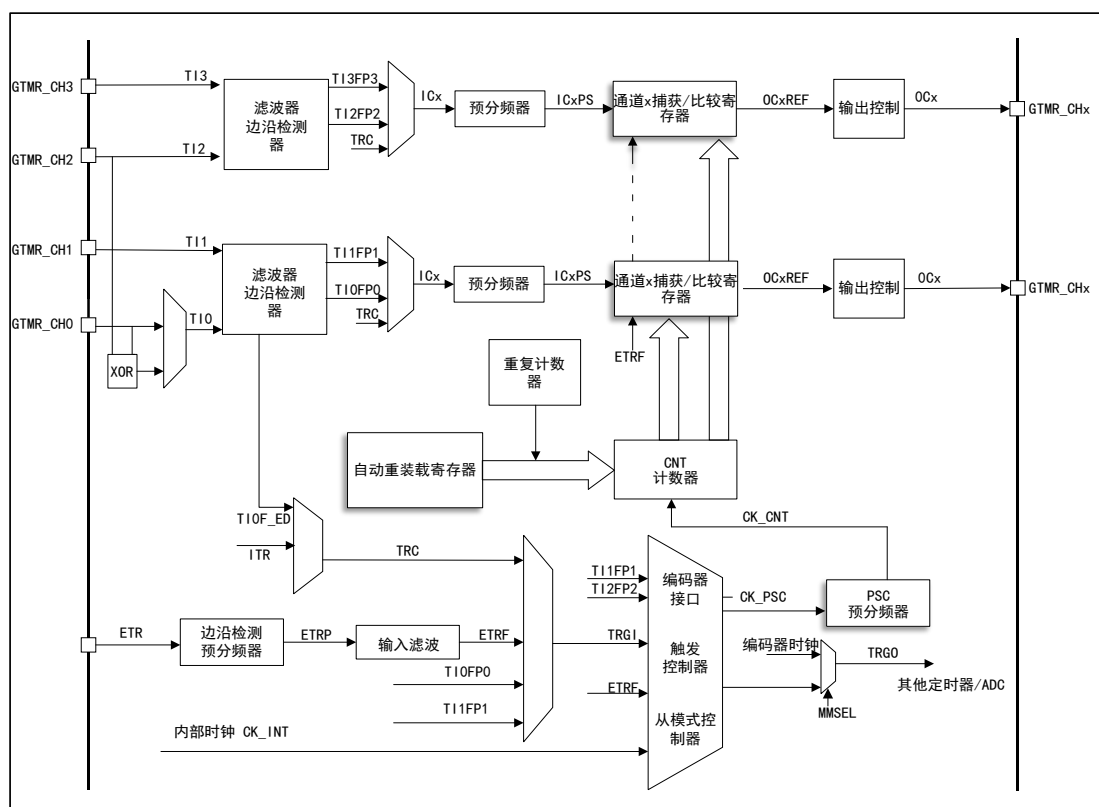
12.2 主要特征

- （1） 时基单元
 - 计数器：32 位计数器，可以向上、向下和中央对齐计数
 - 预分频器：16 位可编程预分频器
 - 自动重装载功能
- （2） 时钟源选择
 - 内部时钟
 - 外部触发
 - 内部触发
- （3） 输入捕获功能
- （4） 计数功能
- （5） PWM 输入模式
- （6） 编码器接口模式
- （7） 输出比较功能
- （8） PWM 输出模式
- （9） 强制输出模式
- （10） 单脉冲模式
- （11） 定时功能
- （12） 定时器的主/从模式控制器
 - 定时器之间可以同步和级联
 - 支持多种从模式、同步信号
- （13） 中断输出和 DMA 请求事件
 - 更新事件（计数器上/下溢出，计数器初始化）
 - 触发事件（计数器启动、停止、内/外部触发）
 - 捕获/比较事件
- （14） 定时器有独立的 DMA 请求机制生成

- (15) 支持定位用增量（正交）编码器和霍尔传感器电路
- (16) 支持 ETR 输入（外部触发输入）功能，可以用作外部时钟或逐周期电流管理

12.3 结构框图

图 39 结构框图



12.4 功能描述

12.4.1 时钟源选择

通用定时器一共有三种时钟源

内部时钟

是来自 RCC 的 GTMR_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

12.4.2 时基单元

通用定时器里的时基单元包含三个寄存器

- 计数器寄存器（CNT）32 位
- 自动重载寄存器（AUTORLD）32 位
- 预分频器（PSC）16 位

计数器 CNT

通用定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

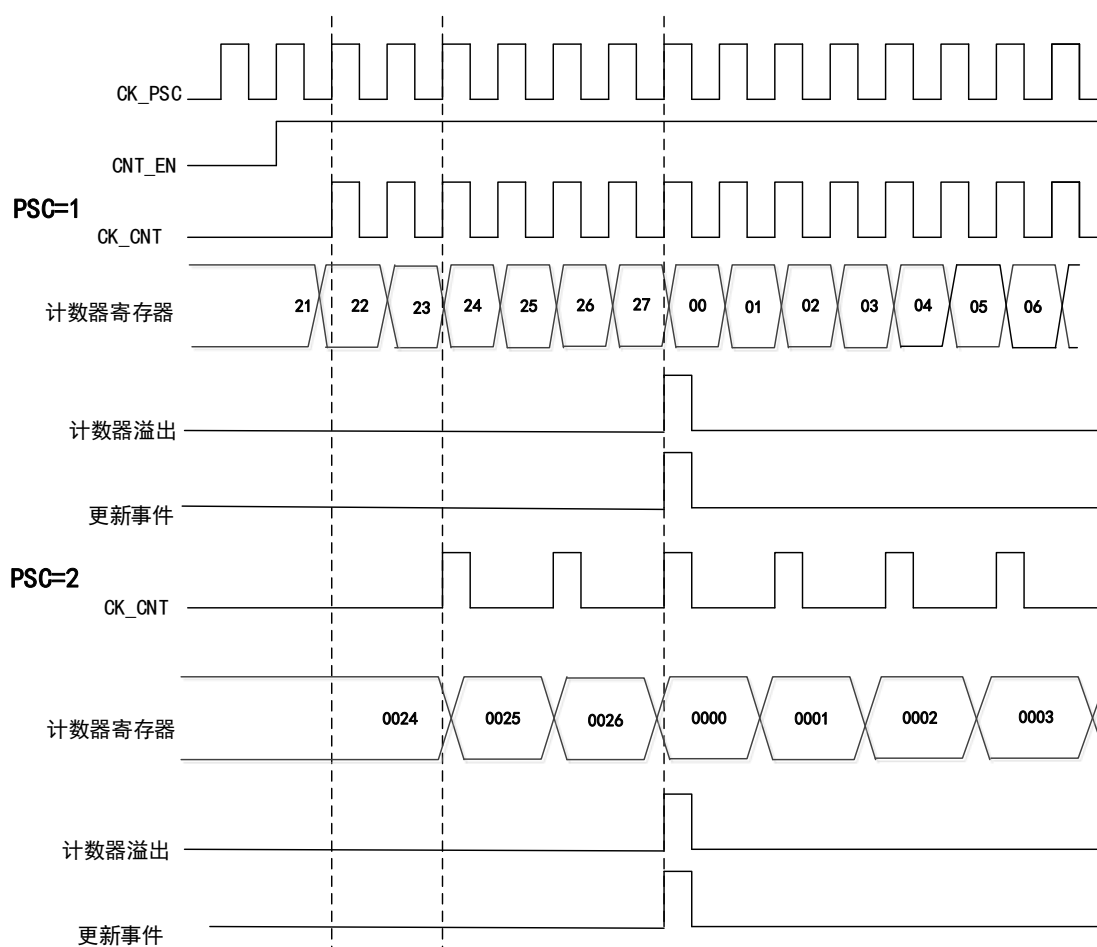
通过配置控制寄存器（GTMR_CR1）中的 CNTDIR 位，设置为向上计数模式。

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（GTMR_CNT）值与自动重载

（GTMR_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重载的值（GTMR_AUTORLD）是提前写入的。否则，将在每次计数器下溢时产生更新事件，此时自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 GTMR_CR1 中的 UDISEN 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 40 向上计数模式下，分频因子为 1 或 2 的时序图



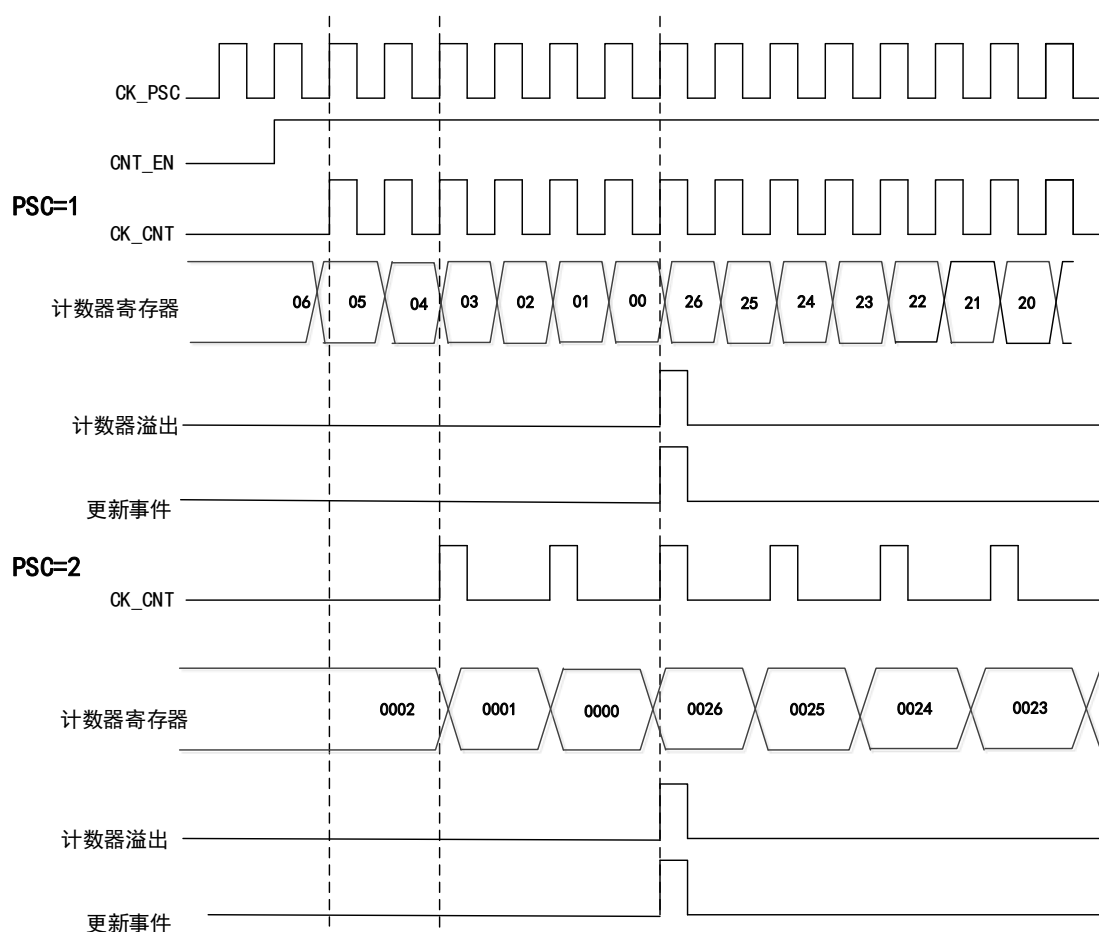
向下计数模式

通过配置控制寄存器（GTMR_CR1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重载的值（GTMR_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（GTMR_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重载的值（GTMR_AUTORLD）是提前写入的。否则，将在每次计数器下溢时产生更新事件，此时，自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 GTMR_CR1 寄存器中的 UDISEN 位，禁止更新事件。

下图为向下计数模式下，分频因子为 1 或 2 的时序图。

图 41 向下计数模式下，分频因子为 1 或 2 的时序图



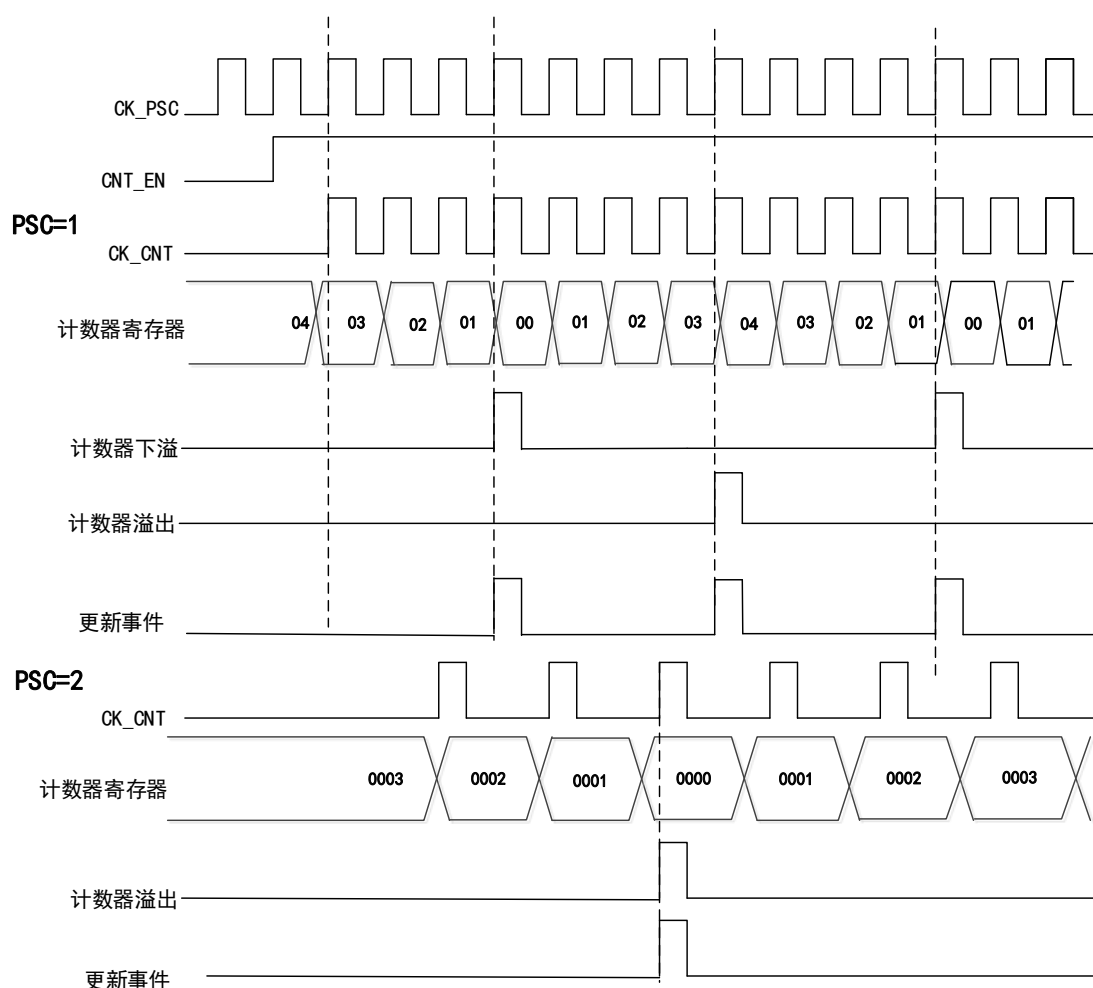
中央对齐模式

通过配置控制寄存器（GTMR_CR1）中的 **CAMSEL** 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重载的值（GTMR_AUTORLD），然后从自动重载的值（GTMR_AUTORLD）再向下计数到 0，以此往复，在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件，在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

下图为中央对齐模式下，分频因子为 1 或 2 的时序图。

图 42 中央对齐模式下，分频因子为 1 或 2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 GTMR_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

12.4.3 输入捕获

输入捕获通道

通用定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 TI0/1/2/3 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，GTMR_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 GTMR_SR 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

12.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 GTMR_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 GTMR_CCMx 寄存器中的 OCxMOD 位和输出极性 GTMR_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 GTMR_SR 寄存器中的 CCxIFLG=1 时，如果 GTMR_DIER 寄存器中的 CCxIEN=1 产生中断；GTMR_CR2 寄存器中的 CCDSEL=1 产生 DMA 请求。

12.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 $CCx=5, \text{AUTORLD}=7$, 在 PWM 模式 1 下的时序图。

图 43 PWM1 向上计数模式的时序图

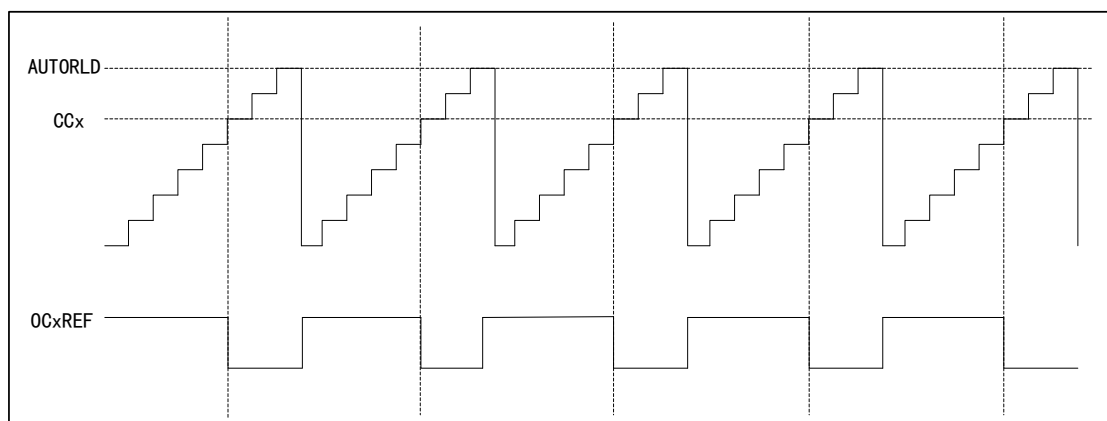


图 44 PWM1 向下计数模式的时序图

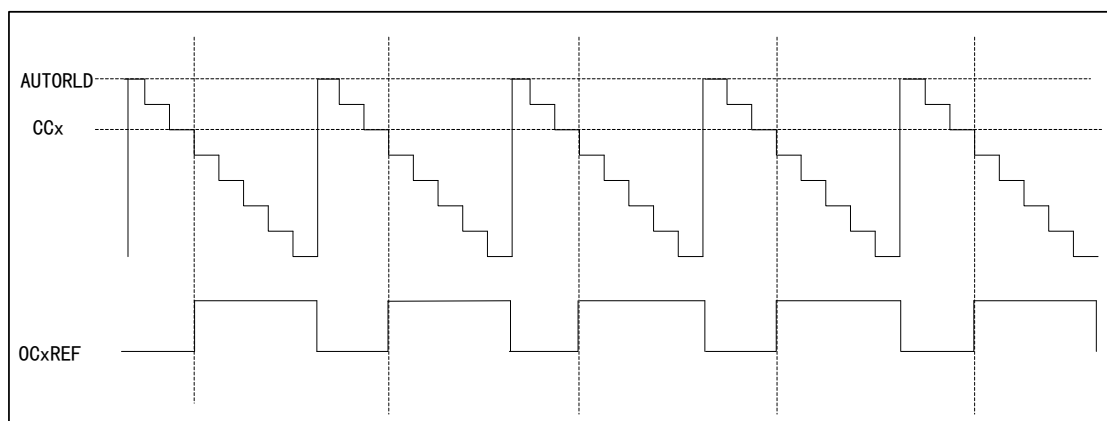
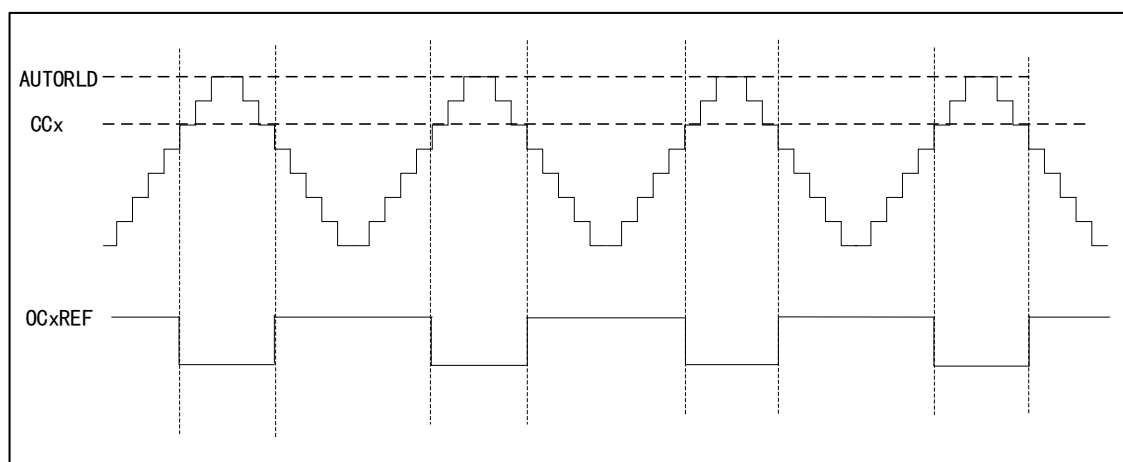


图 45 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5, AUTORLD=7, 在 PWM 模式 2 下的时序图。

图 46 PWM2 向上计数模式的时序图

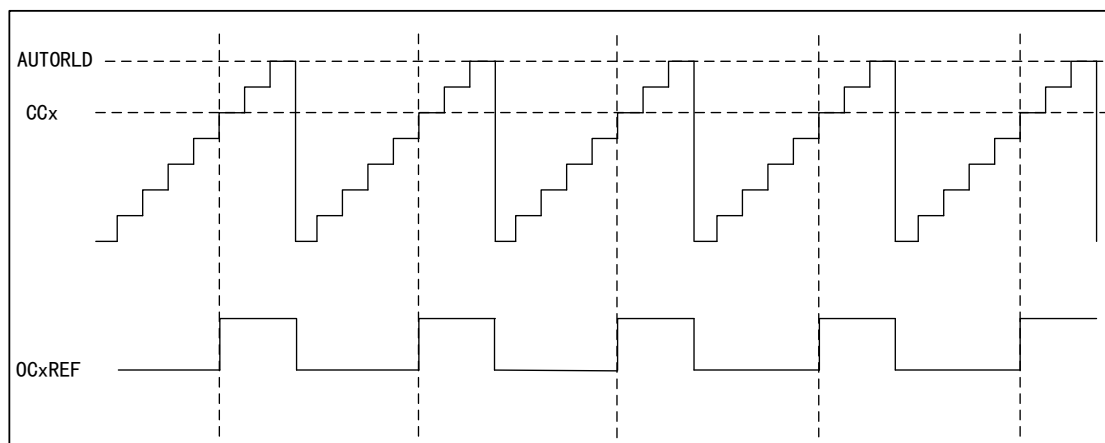


图 47 PWM2 向下计数模式的时序图

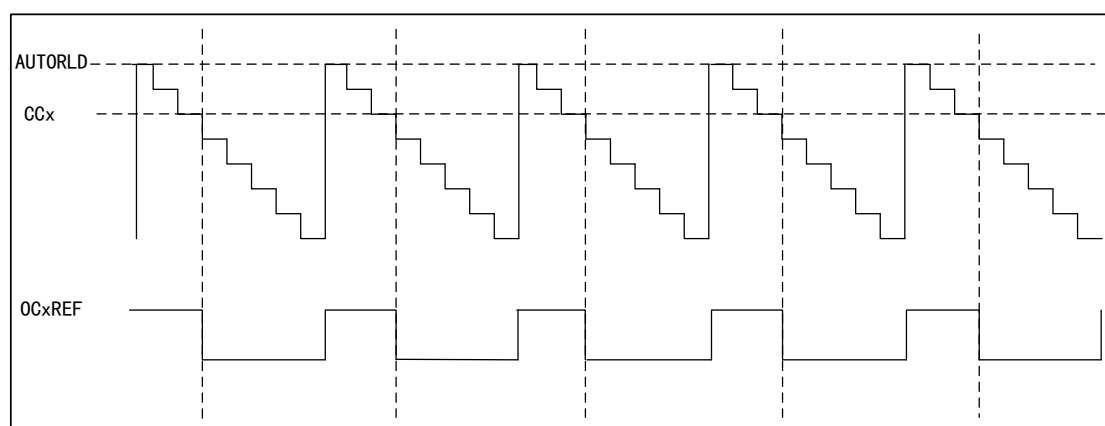
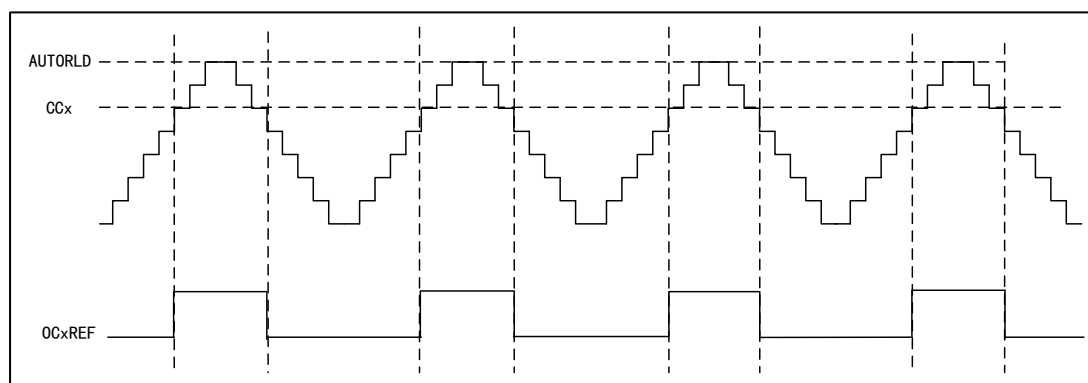


图 48 PWM2 中央对齐模式的时序图



12.4.6 PWM 输入模式

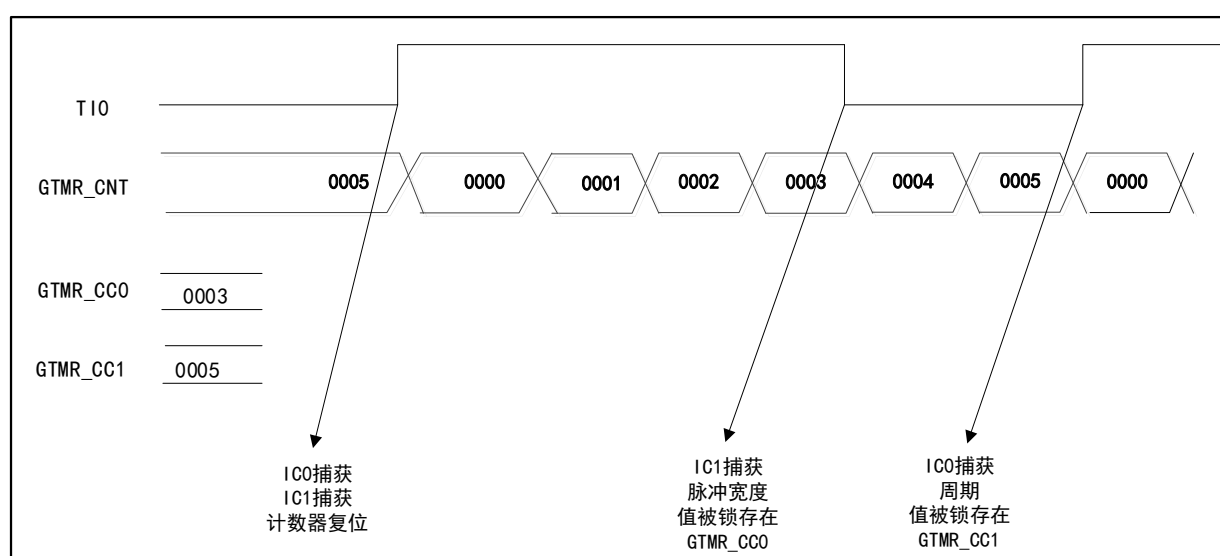
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI0FP0、TI1FP1 连接到了从模式控制器，所以只能从通道 GTMR_CH0 和 GTMR_CH1 输入，且需要占用 CH0、CH1 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 GTMR_CH0 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一路会自动配置相反的极性。

在此模式中，从模式控制器要配置成复位模式（GTMR_SMCR 寄存器的 SMFSEL 位）。

图 49 PWM 输入模式时序图



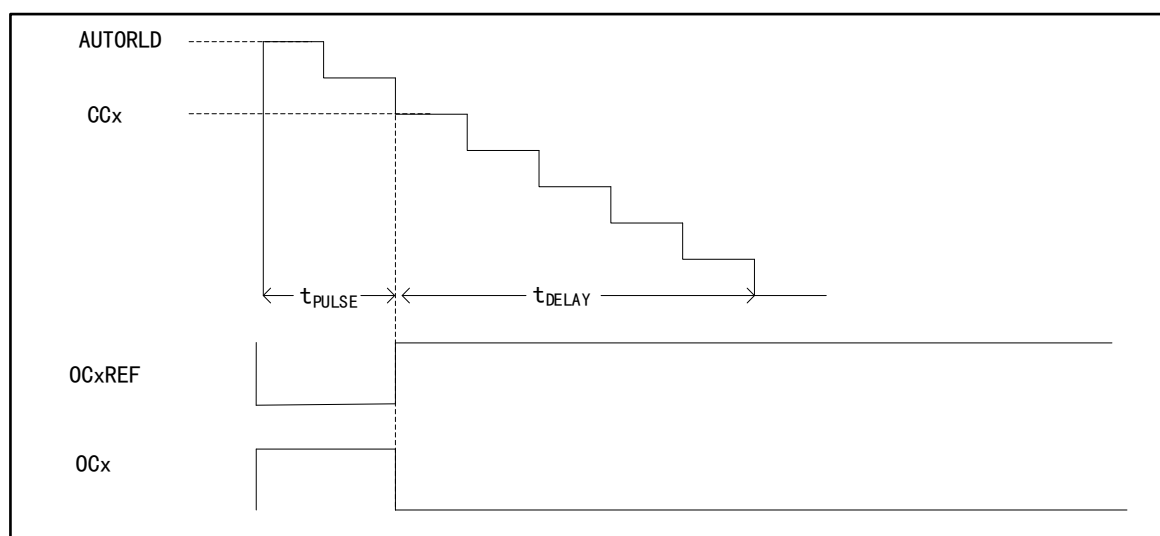
12.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 GTMR_CR1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 GTMR_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 50 单脉冲模式下的时序图



12.4.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- GTMR_CCMx 寄存器的 CCxSEL=00, 设定 CCx 通道为输出
- GTMR_CCMx 寄存器的 OCxMOD=100/101, 设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

12.4.9 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计数器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 GTMR_SMCR 寄存器的 SMFSEL 位，可以设定计数器是在 TI0 通道/TI1 通道边沿计数，或者同时在 TI0 和 TI1 的边沿计数。
- 通过设置 GTMR_CCEN 寄存器中的 CC0POL 和 CC1POL 位，可以选择 TI0 和 TI1 的极性。
- 通过设置 GTMR_CCM1 寄存器中的 IC0F 和 IC1F 位，可以选择是否进行滤波。

两个输入 TI0 和 TI1 可以作为增量编码器的接口，计数器由在 TI0 和 TI1 经过滤波和边沿选择后的信号 TI0FP0 和 TI1FP1 的有效跳变驱动。

根据 TI0 和 TI1 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序,计数器会向上/向下计数
- 将控制寄存器 GTMR_CR1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）

计数器计数方向改变机制如下图

表格 38 计数方向与编码器的关系

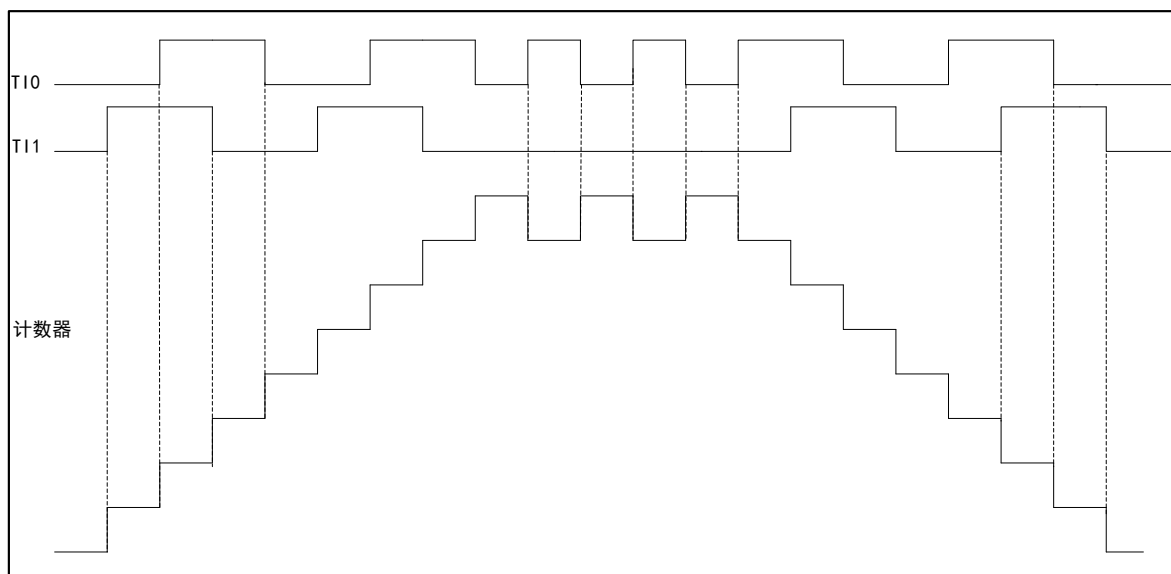
有效边沿		仅在 T10 计数		仅在 T11 计数		在 T10 和 T11 计数	
相对信号的电平		高	低	高	低	高	低
T10FP0	上升沿	向下计数	向上计数	—		向下计数	向上计数
	下降沿	向上计数	向下计数			向上计数	向下计数
T11FP1	上升沿	—		向上计数	向下计数	向上计数	向下计数
	下降沿			向下计数	向上计数	向下计数	向上计数

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中，

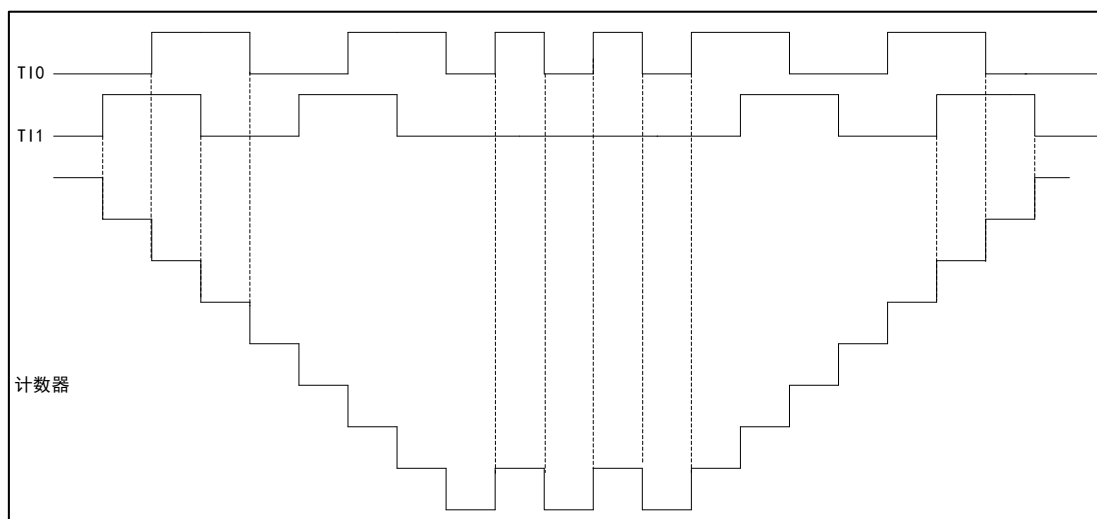
- 将 IC0FP0 映射到 T10
- 将 IC1FP1 映射到 T11
- IC0FP0 和 IC1FP1 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 51 编码器模式下的计数器操作实例



例如：当 T10 处在低电平时，如果 T11 出现上升沿状态，计数器向上计数。

图 52 IC0FP0 反相的编码器接口模式实例



例如：当 T10 处于低电平时，T11 发生上升沿跳变，计数器向下计数。

12.4.10 从模式

GTIMER 定时器可以进行外部的触发同步

- 复位模式
- 门控模式
- 触发模式

可设置 GTMR_SMCR 寄存器中的 SMFSEL 位来选择是哪种模式

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

12.4.11 定时器互连

GTIMER 各个定时器可以互相连接实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

12.4.12 中断和 DMA 请求

定时器在工作时产生事件时会发生中断

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

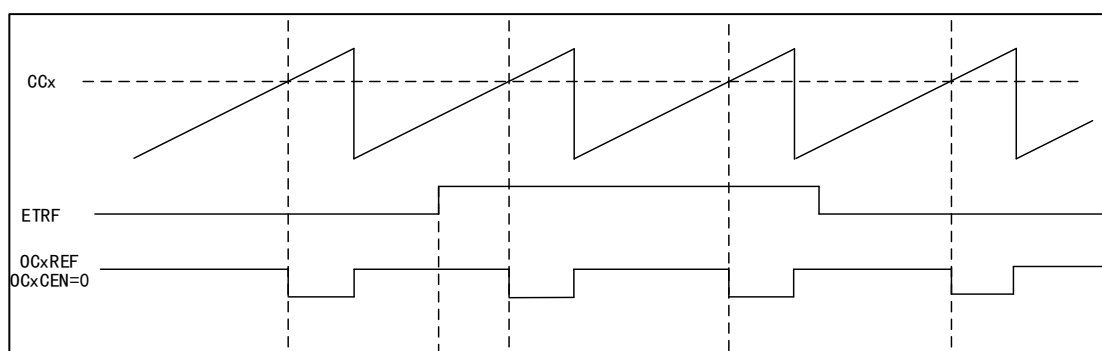
12.4.13 在外部事件时清除 OCxREF 信号

此功能是用用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 GTMR_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

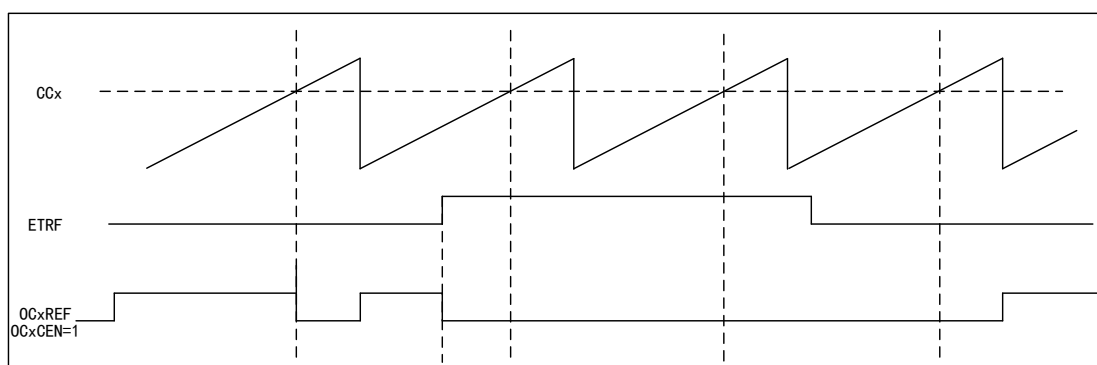
将 GTMR 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 53 OCxREF 时序图



将 GTMR 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 54 OCxREF 时序图



12.4.14 Timer 内部触发连接

表格 39 Timer 内部触发连接

从定时器	ITR0
ATMR	GTMR
GTMR	ATMR

12.5 寄存器地址映射

表格 40 寄存器地址映射

寄存器名	描述	偏移地址
GTMR_CR1	控制寄存器 1	0x00
GTMR_CR2	控制寄存器 2	0x04
GTMR_SMCR	从模式控制寄存器	0x08
GTMR_DIER	DMA/中断使能寄存器	0x0C
GTMR_SR	状态寄存器	0x10
GTMR_CEG	控制事件产生寄存器	0x14
GTMR_CCM1	捕获/比较模式寄存器 1	0x18
GTMR_CCM2	捕获/比较模式寄存器 2	0x1C
GTMR_CCEN	捕获/比较使能寄存器	0x20
GTMR_CNT	计数器寄存器	0x24
GTMR_PSC	预分频寄存器	0x28
GTMR_AUTORLD	自动重装寄存器	0x2C
GTMR_CC0	通道 0 捕获/比较寄存器	0x34
GTMR_CC1	通道 1 捕获/比较寄存器	0x38
GTMR_CC2	通道 2 比较寄存器	0x3C
GTMR_CC3	通道 3 比较寄存器	0x40

12.6 寄存器功能描述

12.6.1 控制寄存器 1 (GTMR_CR1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:8	CLKDIV	R/W	时钟分频系数 (Clock Division) 死区、数字滤波器的配置由 CK_INT 提供时钟, 通过设置该位可调整死区时间、数字滤波器的采用时钟。 00: $t_{DTS}=t_{CK\_INT}$ 01: $t_{DTS}=2 \times t_{CK\_INT}$ 10: $t_{DTS}=4 \times t_{CK\_INT}$ 11: 保留
7	ARPEN	R/W	GTMR_AUTORLD 寄存器自动重载缓冲使能 (Auto-reload Preload Enable) 禁止缓存区时, 程序修改 GTMR_AUTORLD 会立刻修改装入计数器的数值; 使能缓存区时, 程序修改 GTMR_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0: 禁止 1: 使能
6:5	CAMSEL	R/W	选择中央对齐模式 (Center Aligned Mode Select), 中央对齐模式下, 计数器交替的向上向下计数; 否则只向上或向下计数。不同的中央对齐模式, 影响输出通道的输出比较中断标志位置 1 的时机; 在计数器禁止时 (CNTEN=0) 时, 选择中央对齐模式。 00: 边沿对齐模式 01: 中心对齐模式 1 (在向下计数时, 输出通道的输出比较中断标志位置 1) 10: 中心对齐模式 2 (在向上计数时, 输出通道的输出比较中断标志位置 1) 11: 中心对齐模式 3 (在向上/下计数时, 输出通道的输出比较中断标志位置 1)
4	CNTDIR	R/W	配置计数器计数方向 (Counter Direction) 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。 0: 向上计数 1: 向下计数
3	SPMEN	R/W	使能单脉冲模式 (Single Pulse Mode Enable) 产生更新事件时, 可改变通道的输出电平; 在该模式下, 会清除 CNTEN 位, 停止计数器, 后续不再改变通道的输出电平。 0: 禁用 1: 使能
2	URSSEL	R/W	更新请求源 (Update Request Source Select) 如果使能了中断或 DMA, 更新事件可产生更新中断或 DMA 请求, 通过该位可选择不同的更新请求源。 0: 计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新

位/域	名称	R/W	描述
			1: 计数器上溢或下溢
1	UDISEN	R/W	禁止更新 (Update Disable) 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0: 允许更新事件 (UEV) 更新事件可以由以下任一情况产生: 计数器溢出/下溢; 设置 UEG 位; 从模式控制器产生的更新。 1: 禁止更新事件
0	CNTEN	R/W	使能计数器 (Counter Enable) 0: 禁止 1: 使能 定时器配置为外部时钟、门控模式和编码器模式时, 需要通过软件对该位写 1 启动定期工作; 配置为触发模式时, 可硬件写 1。

12.6.2 控制寄存器 2 (GTMR_CR2)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23			保留
22:20	COMPETRSEL	R/W	COMP ETR 输入选择 (COMP ETR input select) 000: 选择 ETR 输入 001: 选择 COMP0 输入到 ETR 010: 选择 COMP1 输入到 ETR 011: 选择 COMP2 输入到 ETR 100: 选择 COMP3 输入到 ETR 其他: 选择 ETR 输入
19:17	COMPCH3SEL	R/W	COMP 通道 3 输入选择 (COMP channel 3 input select) 000: 选择通道 3 输入 001: 选择 COMP0 输入到通道 3 010: 选择 COMP1 输入到通道 3 011: 选择 COMP2 输入到通道 3 100: 选择 COMP3 输入到通道 3 其他: 选择通道 3 输入
16:14	COMPCH2SEL	R/W	COMP 通道 2 输入选择 (COMP channel 2 input select) 000: 选择通道 2 输入 001: 选择 COMP0 输入到通道 2 010: 选择 COMP1 输入到通道 2 011: 选择 COMP2 输入到通道 2 100: 选择 COMP3 输入到通道 2 其他: 选择通道 2 输入

位/域	名称	R/W	描述
13:11	COMPCH1SEL	R/W	COMP 通道 1 输入选择 (COMP channel 1 input select) 000: 选择通道 1 输入 001: 选择 COMP0 输入到通道 1 010: 选择 COMP1 输入到通道 1 011: 选择 COMP2 输入到通道 1 100: 选择 COMP3 输入到通道 1 其他: 选择通道 1 输入
10:8	COMPCH0SEL	R/W	COMP 通道 0 输入选择 (COMP channel 0 input select) 000: 选择通道 0 输入 001: 选择 COMP0 输入到通道 0 010: 选择 COMP1 输入到通道 0 011: 选择 COMP2 输入到通道 0 100: 选择 COMP3 输入到通道 0 其他: 选择通道 0 输入
7	TI0SEL	R/W	TI0 选择 (Timer Input 0 Select) 0: GTMR_CH0 引脚连到 TI0 输入 1: GTMR_CH0、GTMR_CH1 和 GTMR_CH2 引脚经异或后连到 TI0 输入
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号 (Master Mode Signal Select) 工作在主模式的定时器的信号可用于 TRGO, 从而影响处在从模式且与主定时器级联的定时器工作, 具体影响可从模式的定时器配置有关。 000: 复位, 主模式定时器的复位信号用于 TRGO 001: 使能, 主模式定时器的计数器使能信号用于 TRGO 010: 更新, 主模式定时器的更新事件用于 TRGO 011: 比较脉冲, 主模式定时器捕获/比较成功 (CC0IFLG=1) 时输出一个脉冲信号用于 TRGO 100: 比较模式 0, OC0REF 用于触发 TRGO 101: 比较模式 1, OC1REF 用于触发 TRGO 110: 比较模式 2, OC2REF 用于触发 TRGO 111: 比较模式 3, OC3REF 用于触发 TRGO
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求 (Capture/compare DMA Select) 0: 当发生 CCx 事件时, 送出 CCx 的 DMA 请求 1: 当发生更新事件时, 送出 CCx 的 DMA 请求
2:0	保留		

12.6.3 从模式控制寄存器 (GTMR_SMCR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ETPOL	R/W	配置外部触发极性 (External Trigger Polarity Configure) 该位决定外部触发 ETR 是否反相。 0: 外部触发 ETR 不反相, 高电平或上升沿有效 1: 外部触发 ETR 反相, 低电平或下降沿有效

位/域	名称	R/W	描述
14	ECEN	R/W	使能外部时钟模式 2 (External Clock Enable Mode2) 0: 禁止 1: 使能 设置 ECEN 位与选择外部时钟模式 1 将 TRGI 连接到 ETRF 具有相同作用; 从模式 (复位、门控、触发) 可以与外部时钟模式 2 同时使用, 但此时 TRGI 不能连到 ETRF; 当外部时钟模式 1 和外部时钟模式 2 同时使能时, 外部时钟的输入是 ETRF。
13:12	ETPCFG	R/W	配置外部触发信号预分频器 (External Trigger Prescaler Configure) ETR (外部触发输入) 的信号经过分频后为 ETRP, ETRP 的信号频率最多是 GTMRCLK 频率的 1/4; 当 ETR 频率过高时, 须经过分频降低 ETRP 的频率。 00: 禁用预分频器 01: ETR 信号 2 分频 10: ETR 信号 4 分频 11: ETR 信号 8 分频
11:8	ETFCFG	R/W	配置外部触发滤波器 (External Trigger Filter Configure) 0000: 禁用滤波器, 以 f_{DTS} 采样 0001: DIV=1, N=2 0010: DIV=1, N=4 0011: DIV=1, N=8 0100: DIV=2, N=6 0101: DIV=2, N=8 0110: DIV=4, N=6 0111: DIV=4, N=8 1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波长度=N, 每 N 个事件产生一个跳变。
7	MSMEN	R/W	使能主/从模式 (Master/slave Mode Enable) 0: 无效 1: 使能主/从模式
6:4	TRGSEL	R/W	选择触发输入信号 (Trigger Input Signal Select) 为了避免在改变该位值时产生错误的边沿检测, 须在 SMFSEL=0 时改变。 000~011: 内部触发 ITR0100: 通道 0 输入边沿检测器 TIF_ED 101: 通道 0 滤波后定时器输入 TI0FP0 110: 通道 1 滤波后的定时器输入 TI1FP1 111: 外部触发输入 (ETRF)
3	保留		
2:0	SMFSEL	R/W	选择从模式功能 (Slave Mode Function Select)

位/域	名称	R/W	描述
			000: 禁止从模式, 定时器可作为主模式定时器影响从模式定时器的工作; 如果 CR1_CNTEN=1, 则预分频器直接由内部时钟驱动。 001: 编码器模式 1, 根据 TI0FP0 的电平, 计数器在 TI1FP1 的边沿计数。 010: 编码器模式 2, 根据 TI1FP1 的电平, 计数器在 TI0FP0 的边沿计数。 011: 编码器模式 3, 根据另一个信号的输入电平, 计数器在 TI0FP0、TI1FP1 的边沿计数。 100: 复位模式, 从模式定时器在收到 TRGI 的上升沿信号后复位计数器, 并产生更新寄存器的信号。 101: 门控模式, 从模式定时器在收到 TRGI 高电平信号时, 启动计数器工作; 收到 TRGI 低电平时停止计数器工作; 再收到 TRGI 高电平信号时, 继续工作; 整个期间不复位计数器。 110: 触发模式, 从模式定时器在收到 TRGI 的上升沿信号后, 启动计数器工作。 111: 外部时钟模式 1, 选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。

12.6.4 DMA/中断使能寄存器 (GTMR_DIER)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	TRGDEN	R/W	使能触发 DMA 请求 (Trigger DMA Request Enable) 0: 禁止 1: 使能
13	保留		
12	CC3DEN	R/W	使能捕获/比较通道 3 的 DMA 请求 (Capture/Compare Channel 3 DMA Request Enable) 0: 禁止 1: 使能
11	CC2DEN	R/W	使能捕获/比较通道 2 的 DMA 请求 (Capture/Compare Channel 2 DMA Request Enable) 0: 禁止 1: 使能
10	CC1DEN	R/W	使能捕获/比较通道 1 的 DMA 请求 (Capture/Compare Channel 1 DMA Request Enable) 0: 禁止 1: 使能
9	CC0DEN	R/W	使能捕获/比较通道 0 的 DMA 请求 (Capture/Compare Channel 0 DMA Request Enable) 0: 禁止 1: 使能
8	UDIEN	R/W	使能更新的 DMA 请求 (Update DMA Request Enable) 0: 禁止 1: 使能

位/域	名称	R/W	描述
7	保留		
6	TRGIEN	R/W	使能触发中断 (Trigger Interrupt Enable) 0: 禁止 1: 使能
5	保留		
4	CC3IEN	R/W	使能捕获/比较通道 3 中断 (Capture/Compare Channel 3 Interrupt Enable) 0: 禁止 1: 使能
3	CC2IEN	R/W	使能捕获/比较通道 2 中断 (Capture/Compare Channel 2 Interrupt Enable) 0: 禁止 1: 使能
2	CC1IEN	R/W	使能捕获/比较通道 1 中断 (Capture/Compare Channel 1 Interrupt Enable) 0: 禁止 1: 使能
1	CC0IEN	R/W	使能捕获/比较通道 0 中断 (Capture/Compare Channel 0 Interrupt Enable) 0: 禁止 1: 使能
0	UIEN	R/W	使能更新中断 (Update Interrupt Enable) 0: 禁止 1: 使能

12.6.5 状态寄存器 (GTMR_SR)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12	CC3RCFLG	RC_W0	捕获/比较通道 3 重复捕获标志 (Captuer/compare Channel3 Repetition Capture Flag) 参考 GTMR_SR.CC0RCFLG
11	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志 (Captuer/compare Channel2 Repetition Capture Flag) 参考 GTMR_SR.CC0RCFLG
10	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志 (Captuer/compare Channel1 Repetition Capture Flag) 参考 GTMR_SR.CC0RCFLG
9	CC0RCFLG	RC_W0	捕获/比较通道 0 重复捕获标志 (Captuer/Compare Channel0 Repetition Capture Flag) 0: 没有发生重复捕获 1: 发生重复捕获

位/域	名称	R/W	描述
			计数器的值被捕获到 GTMR_CC0 寄存器中, 此时 CC0IFLG=1; 只有当通道被配置为输入捕获时, 该位由硬件置 1, 软件清 0。
8:7	保留		
6	TRGIFLG	RC_W0	产生触发事件中断标志 (Trigger Event Interrupt Generate Flag) 0: 没有发生触发事件中断 1: 发生触发事件中断 发生触发事件时, 该位由硬件置 1, 软件清 0。
5	保留		
4	CC3IFLG	RC_W0	捕获/比较通道 3 中断标志 (Captuer/Compare Channel3 Interrupt Flag) 参考 GTMR_SR.CC0IFLG
3	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志 (Captuer/Compare Channel2 Interrupt Flag) 参考 GTMR_SR.CC0IFLG
2	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志 (Captuer/Compare Channel1 Interrupt Flag) 参考 GTMR_SR.CC0IFLG
1	CC0IFLG	RC_W0	捕获/比较通道 0 中断标志 (Captuer/Compare Channel0 Interrupt Flag) 当捕获比较通道 0 配置为输出时: 0: 无匹配发生 1: GTMR_CNT 的值与 GTMR_CC0 的值相匹配 当捕获比较通道 0 配置为输入时: 0: 没有发生输入捕获 1: 发生输入捕获 捕获事件发生时由硬件置 1, 可以由软件清 0 或者读 GTMR_CC0 寄存器时清 0。
0	UIFLG	RC_W0	产生更新事件中断标志位 (Update Event Interrupt Generate Flag) 0: 没有发生更新事件中断 1: 发生更新事件中断 计数器数值重新装载或重新初始化时, 会产生更新事件, 该位由硬件置 1, 软件清 0; 更新事件的产生的情况有以下情况: (1) GTMR_CR1 寄存器的 UDISEN=0, 重复计数器数值上/下溢时产生更新事件; (2) GTMR_CR1 寄存器的 URSSEL=0 和 UDISEN=0, 配置 GTMR_CEG 寄存器的 UEG=1 产生更新事件, 需要通过软件初始化计数器; (3) GTMR_CR1 寄存器的 URSSEL=0 和 UDISEN=0, 计数器被事件初始化时产生更新事件。

12.6.6 控制事件产生寄存器 (GTMR_CEG)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		
6	TEG	R/W	产生触发事件 (Trigger Event Generate) 0: 无效 1: 产生触发事件 该位由软件置 1, 硬件自动清 0。
5	保留		
4	CC3EG	R/W	产生捕获/比较通道 3 事件 (Capture/Compare Channel3 Event Generation) 参考 CC0EG 描述
3	CC2EG	R/W	产生捕获/比较通道 2 事件 (Capture/Compare Channel2 Event Generation) 参考 CC0EG 描述
2	CC1EG	R/W	产生捕获/比较通道 1 事件 (Capture/Compare Channel1 Event Generation) 参考 CC0EG 描述
1	CC0EG	R/W	产生捕获/比较通道 0 事件 (Capture/Compare Channel0 Event Generation) 0: 无效 1: 产生捕获/比较事件 该位由软件置 1, 硬件自动清 0。 如果通道 0 处于输出模式: 当 CC0IFLG=1 时, 如果设置了 CC0IEN 和 CC0DEN 位, 则产生相应的中断和 DMA 请求。 如果通道 0 处于输入模式: 捕获计数器的值存储在 GTMR_CC0 寄存器中; 配置 CC0IFLG=1, 如果还设置了 CC0IEN 和 CC0DEN 位, 则产生相应的中断和 DMA 请求; 如果此时 CC0IFLG=1, 则需要配置 CC0RCFLG=1。
0	UEG	R/W	产生更新事件 (Update Event Generate) 0: 无效 1: 初始化计数器, 产生更新事件 此位由软件置 1, 硬件清 0。 注意: 产生更新事件时, 预分频器的计数器会清 0, 但是预分频系数不变。如果在向下计数模式下计数器会读取 GTMR_AUTORLD 的值; 如果在中央对齐模式下或者向上计数模式中计数器会被清 0。

12.6.7 捕获/比较模式寄存器 1 (GTMR_CCM1)

偏移地址: 0x18

复位值: 0x0000 0000

可通过 CCxSEL 位配置定时器为输入 (捕获模式) 或输出 (比较模式)。该寄存器其它位的作用在输入和输出模式下不同, 同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCxx 描述了通道在输出模式下的功能, 寄存器中的 ICxx 描述了通道在输入模式下的功能。

输出比较模式:

位/域	名称	R/W	描述
31:16	保留		

位/域	名称	R/W	描述
15	OC1CEN	R/W	使能输出通道 1 比较清除 (Output Compare Channel 1 Clear Enable)
14:12	OC1MOD	R/W	输出比较通道 1 模式 (Output Compare Channel 1 Mode)
11	OC1PEN	R/W	使能输出比较通道 1 缓冲 (Output Compare Channel 1 Buffer Enable)
10	输入模式下使用		
9:8	CC1SEL	R/W	通道 1 模式选择 (Capture/Compare Channel 1 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC1 通道为输出 01: CC1 通道为输入, IC1 映射在 TI1 上 10: CC1 通道为输入, IC1 映射在 TI0 上 11: CC1 通道为输入, IC1 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC1EN=0 时) 可写。
7	OC0CEN	R/W	使能输出比较通道 0 清除 (Output Compare Channel 0 Clear Enable) 0: OC0REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC0REF=0
6:4	OC0MOD	R/W	配置输出比较通道 0 模式 (Output Compare Channel 0 Mode Configure) 000: 冻结。输出比较对 OC0REF 无影响 001: 匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时, 强制 OC0REF 为高电平 010: 匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时, 强制 OC0REF 为低电平 011: 匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时, 翻转 OC0REF 的电平 100: 强制输出为低。强制 OC0REF 为低电平 101: 强制输出为高。强制 OC0REF 为高电平 110: PWM 模式 1 (计数器值<输出比较值时置为高, 否则反之) 111: PWM 模式 2 (计数器值>输出比较值时置为高, 否则反之) 注: 通道配置为输出时, 该位不能被修改。在 PWM 模式 1 和 2 中, OC0REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
3	OC0PEN	R/W	使能输出比较通道 0 预装载 (Output Compare Channel 0 Preload Enable) 0: 禁止预装载功能, 通过程序写入 GTMR_CC0 寄存器的数值, 会马上起作用。 1: 启用预装载功能, 通过程序写入 GTMR_CC0 寄存器的数值, 会在产生更新事件后起作用。 注: 通道配置为输出时, 该位不能被修改。当不确定预装载寄存器情况, 仅在单脉冲模式 (SPMEN=1) 下, 可以使用 PWM 模式, 否则不确定其接下来的输出比较结果。
2	输入模式下使用		
1:0	CC0SEL	R/W	选择捕获/比较通道 0 (Capture/Compare Channel 0 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC0 通道为输出 01: CC0 通道为输入, IC0 映射在 TI0 上 10: CC0 通道为输入, IC0 映射在 TI1 上

位/域	名称	R/W	描述
			11: CC0 通道为输入, IC0 映射在 TRC 上, 仅工作在内部触发输入 注: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC0EN=0 时) 可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16			保留
15:12	IC1F	R/W	配置输入捕获通道 1 滤波器 (Input Capture Channel 1 Filter Configure)
11:10	IC1PSC	R/W	配置输入捕获通道 1 预分频因子 (Input Capture Channel1 Prescaler Configure)
9:8	CC1SEL	R/W	选择捕获/比较通道 1 (Capture/Compare Channel 1 Select) 00: CC1 通道为输出 01: CC1 通道为输入, IC1 映射在 TI1 上 10: CC1 通道为输入, IC1 映射在 TI0 上 11: CC1 通道为输入, IC1 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC1EN=0 时) 可写。
7:4	IC0F	R/W	配置输入捕获通道 0 滤波器 (Input Capture Channel 0 Filter Configure) 0000: 禁用滤波器, 以 f_{DTS} 采样 0001: DIV=1, N=2 0010: DIV=1, N=4 0011: DIV=1, N=8 0100: DIV=2, N=6 0101: DIV=2, N=8 0110: DIV=4, N=6 0111: DIV=4, N=8 1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波器长度=N, 表示每 N 个事件产生一个跳变。
3:2	IC0PSC	R/W	配置输入捕获通道 0 预分频因子 (Input Capture Channel 0 Prescaler Configure) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC0SEL	R/W	选择输入/捕获通道 0 (Capture/Compare Channel 0 Select) 00: CC0 通道为输出 01: CC0 通道为输入, IC0 映射在 TI0 上 10: CC0 通道为输入, IC0 映射在 TI1 上

位/域	名称	R/W	描述
			11: CC0 通道为输入, IC0 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 位的 CC0EN=0 时) 可写。

12.6.8 捕获/比较模式寄存器 2 (GTMR_CCM2)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCM1 寄存器的描述。

输出比较模式:

位/域	名称	R/W	描述
31:16			保留
15	OC3CEN	R/W	使能输出通道 3 比较清除 (Output Compare Channel 3 Clear Enable)
14:12	OC3MOD	R/W	配置输出比较通道 3 模式 (Output Compare Channel 3 Mode Configure)
11	OC3PEN	R/W	使能输出比较通道 3 缓冲 (Output Compare Channel 3 Buffer Enable)
10			输入模式下使用
9:8	CC3SEL	R/W	选择通道 3 模式 (Capture/compare Channel 3 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI2 上 11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC3EN=0 时) 可写。
7	OC2CEN	R/W	使能输出比较通道 2 清除 (Output Compare Channel 2 Clear Enable) 0: OC2REF 不受 ETRF 输入影响 1: 检测到 ETRF 输入高电平时, OC2REF=0
6:4	OC2MOD	R/W	配置输出比较通道 2 模式 (Output Compare Channel 2 Mode Configure)
3	OC2PEN	R/W	使能输出比较通道 2 预装载 (Output Compare Channel 2 Preload Enable)
2			输入模式下使用
1:0	CC2SEL	R/W	选择捕获/比较通道 2 (Capture/Compare Channel 2 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC2 通道为输出 01: CC2 通道为输入, IC2 映射在 TI2 上 10: CC2 通道为输入, IC2 映射在 TI3 上 11: CC2 通道为输入, IC2 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC2EN=0 时) 可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16			保留
15:12	IC3F	R/W	配置输入捕获通道 3 滤波器 (Input Capture Channel 3 Filter Configure)

位/域	名称	R/W	描述
11:10	IC3PSC	R/W	配置输入捕获通道 3 预分频因子 (Input Capture Channel 3 Prescaler Configure)
9:8	CC3SEL	R/W	选择捕获/比较通道 3 (Capture/Compare Channel 3 Select) 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI2 上 11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC3EN=0 时) 可写。
7:4	IC2F	R/W	配置输入捕获通道 2 滤波器 (Input Capture Channel 2 Filter Configure)
3:2	IC2PSC	R/W	配置输入捕获通道 2 预分频因子 (Input Capture Channel 2 Prescaler Configure) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC2SEL	R/W	选择输入/捕获通道 2 (Capture/Compare Channel 2 Select) 00: CC2 通道为输出 01: CC2 通道为输入, IC2 映射在 TI2 上 10: CC2 通道为输入, IC2 映射在 TI3 上 11: CC2 通道为输入, IC2 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (GTMR_CCEN 寄存器的 CC2EN=0 时) 可写。

12.6.9 捕获/比较使能寄存器 (GTMR_CCEN)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:14	保留		
13	CC3POL	R/W	捕获/比较通道 3 输出极性 (Capture/Compare Channel 3 Output Polarity) 参考 CCEN_CC0POL
12	CC3EN	R/W	使能捕获/比较通道 3 输出 (Capture/Compare Channel 3 Output Enable) 参考 CCEN_CC0EN
11:10	保留		
9	CC2POL	R/W	配置捕获/比较通道 2 输出极性 (Capture/Compare Channel 2 Output Polarity Configure) 参考 CCEN_CC0POL
8	CC2EN	R/W	使能捕获/比较通道 2 输出 (Capture/Compare Channel 2 Output Enable) 参考 CCEN_CC0EN
7:6	保留		

位/域	名称	R/W	描述
5	CC1POL	R/W	配置捕获/比较通道 1 输出极性 (Capture/Compare Channel 1 Output Polarity Configure) 参考 CCEN_CC0POL
4	CC1EN	R/W	使能捕获/比较通道 1 输出 (Capture/Compare Channel 1 Output Enable) 参考 CCEN_CC0EN
3:2	保留		
1	CC0POL	R/W	配置捕获/比较通道 0 输出极性 (Capture/Compare Channel 0 Output Polarity Configure) CC0 通道配置为输出时: 0: OC0 高电平有效 1: OC0 低电平有效 CC0 通道配置为输入时: 0: 不反相, 在 IC0 的上升沿进行捕获, IC0 作为外部触发器时不反相。 1: 反相, 在 IC0 的下降沿进行捕获, IC0 作为外部触发器时反相。
0	CC0EN	R/W	使能捕获/比较通道 0 输出 (Capture/Compare Channel 0 Output Enable) CC0 配置为输出时: 0: 禁止输出 1: 开启输出 CC0 配置为输入时: 该位决定了计数器的值 CNT 是否能捕获进入 GTMR_CC0 寄存器中 0: 禁止捕获 1: 开启捕获

12.6.10 计数器寄存器 (GTMR_CNT)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	CNT	R/W	计数器数值 (Counter Value)

12.6.11 预分频寄存器 (GTMR_PSC)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSC	R/W	预分频器数值 (Prescaler Value) 计数器的时钟频率 (CK_CNT) = $f_{CK\_PSC} / (PSC+1)$

12.6.12 自动重装载寄存器 (GTMR_AUTORLD)

偏移地址: 0x2C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	AUTORLD	R/W	自动重装载数值 (Auto Reload Value) 自动重装载的值为空时, 计数器不进行计数。

12.6.13 通道 0 捕获/比较寄存器 (GTMR_CC0)

偏移地址: 0x34

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	CC0	R/W	捕获/比较通道 0 数值 (Capture/Compare Channel 0 Value) 捕获/比较通道 0 配置为输入模式: CC0 包含上次输入捕获通道 0 事件传输的计数器数值。 捕获/比较通道 0 配置为输出模式: CC0 包含了当前装入捕获/比较寄存器数值 捕获比较通道 0 的值 CC0 与计数器的值 CNT 比较, 在 OC0 上产生输出信号。 当输出比较预装载禁止 (GTMR_CCM1 寄存器的 OC0PEN=0) 时, 写入的数值会立即影响输出比较结果; 当输出比较预装载使能 (GTMR_CCM1 寄存器的 OC0PEN=1) 时, 写入的值会在产生更新事件时影响输出比较结果。

12.6.14 通道 1 捕获/比较寄存器 (GTMR_CC1)

偏移地址: 0x38

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CC1	R/W	捕获/比较通道 1 数值 (Capture/Compare Channel 1 Value) 参考 GTMR_CC0

12.6.15 通道 2 比较寄存器 (GTMR_CC2)

偏移地址: 0x3C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	CC2	R/W	比较通道 2 数值 (Compare Channel 2 Value) 参考 GTMR_CC0

12.6.16 通道 3 比较寄存器 (GTMR_CC3)

偏移地址: 0x40

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	CC3	R/W	比较通道 3 数值 (Compare Channel 3 Value) 参考 GTMR_CC0

13 基本定时器（BTIMER）

13.1 简介

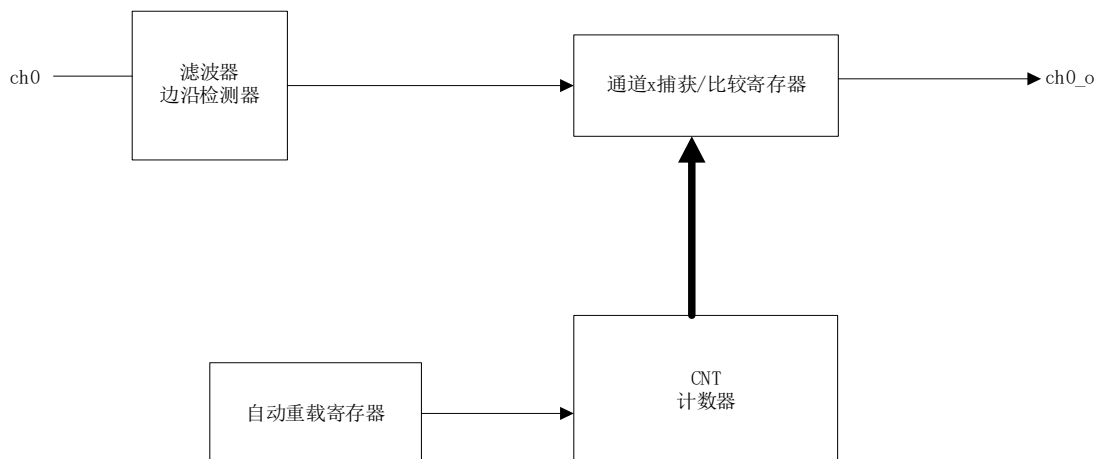
基本定时器有一个无符号的 16 位计数器、自动重装载寄存器、预分频器和触发控制器。

13.2 主要特征

- （1） 时基单元
 - 计数器：16 位计数器，可以向上、向下和中央对齐计数
 - 预分频器：16 位可编程预分频器
 - 自动重装载功能
- （2） 时钟源选择
 - 内部时钟
- （3） 输入捕获功能
- （4） 计数功能
- （5） PWM 输入模式
- （6） 输出比较功能
- （7） PWM 输出模式
- （8） 强制输出模式
- （9） 单脉冲模式
- （10） 定时功能
- （11） 中断输出请求事件
 - 更新事件（计数器上/下溢出，计数器初始化）
 - 捕获/比较事件

13.3 结构框图

图 55 结构框图



13.4 功能描述

13.4.1 时钟源选择

基本定时器由内部时钟源 BTMR_CLK 驱动

配置 BTMR_CR 寄存器的 CNTEN 位使能计数器，置位 CNTEN 位时，内部时钟 CK_INT 经过控制器和预分频器产生 CK_INT 驱动计数器。

13.4.2 时基单元

基本定时器里的时基单元包含三个寄存器

- 计数器寄存器 (CNT) 16 位
- 自动重载寄存器 (AUTORLD) 16 位
- 预分频器 (PSC) 16 位

计数器 CNT

通用定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

通过配置控制寄存器 (BTMR_CR) 中的 CNTDIR 位，设置为向上计数模式。

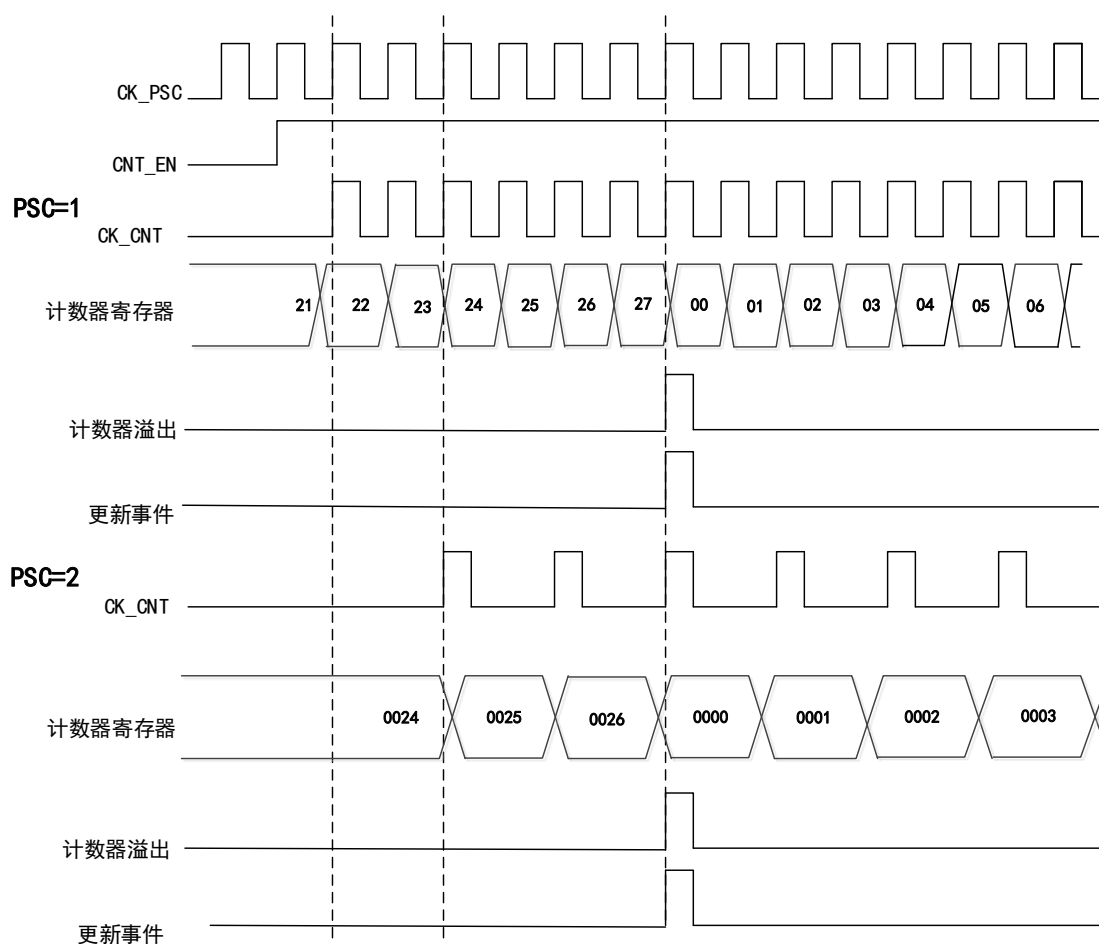
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器 (BTMR_CNT) 值与自动重载

(BTMR_AUTORLD) 的值相等时，计数器会再次从 0 开始计数，此时产生一个

计数器向上溢出事件，其中自动重载的值（BTMR_AUTORLD）是提前写入的。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 56 向上计数模式下，分频因子为 1 或 2 的时序图



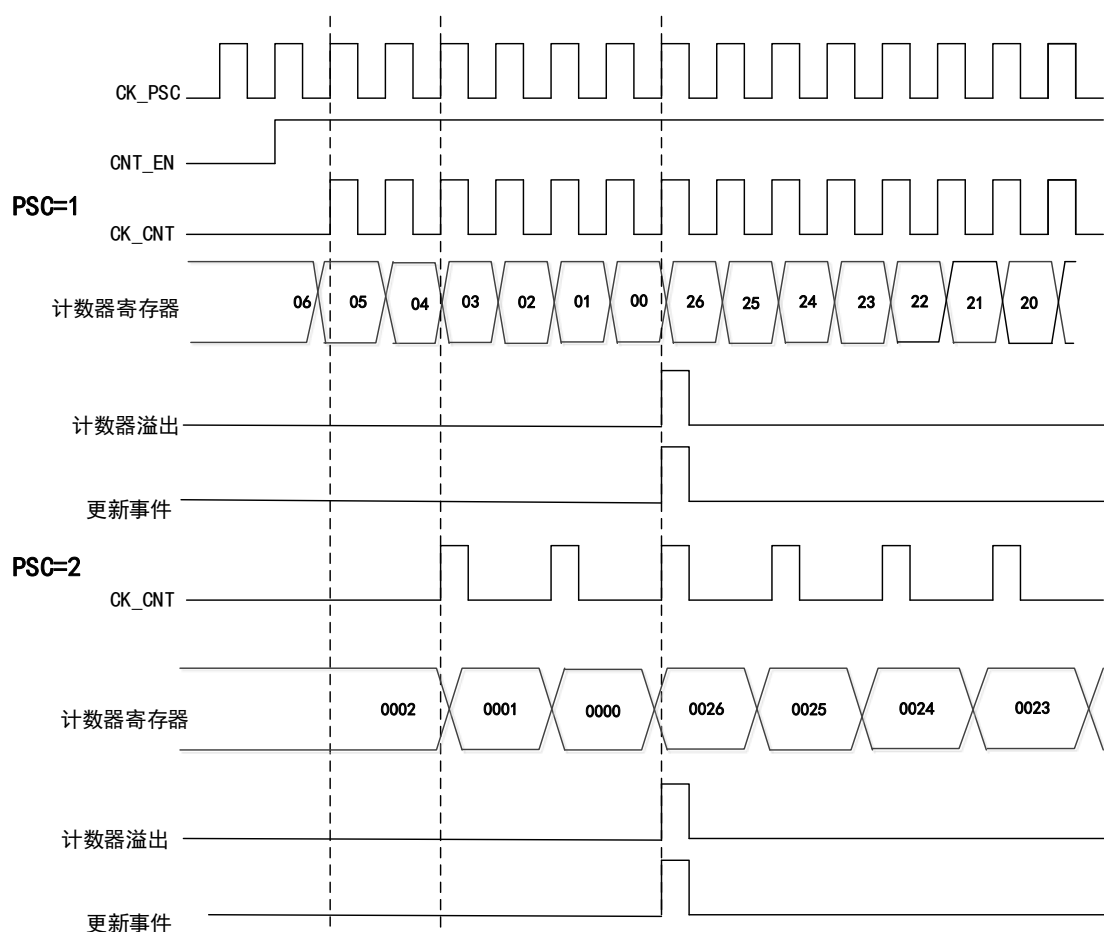
向下计数模式

通过配置控制寄存器（BTMR_CR）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重载的值（BTMR_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（BTMR_AUTORLD）开始计数。

下图为向下计数模式下，分频因子为 1 或 2 的时序图。

图 57 向下计数模式下，分频因子为 1 或 2 的时序图



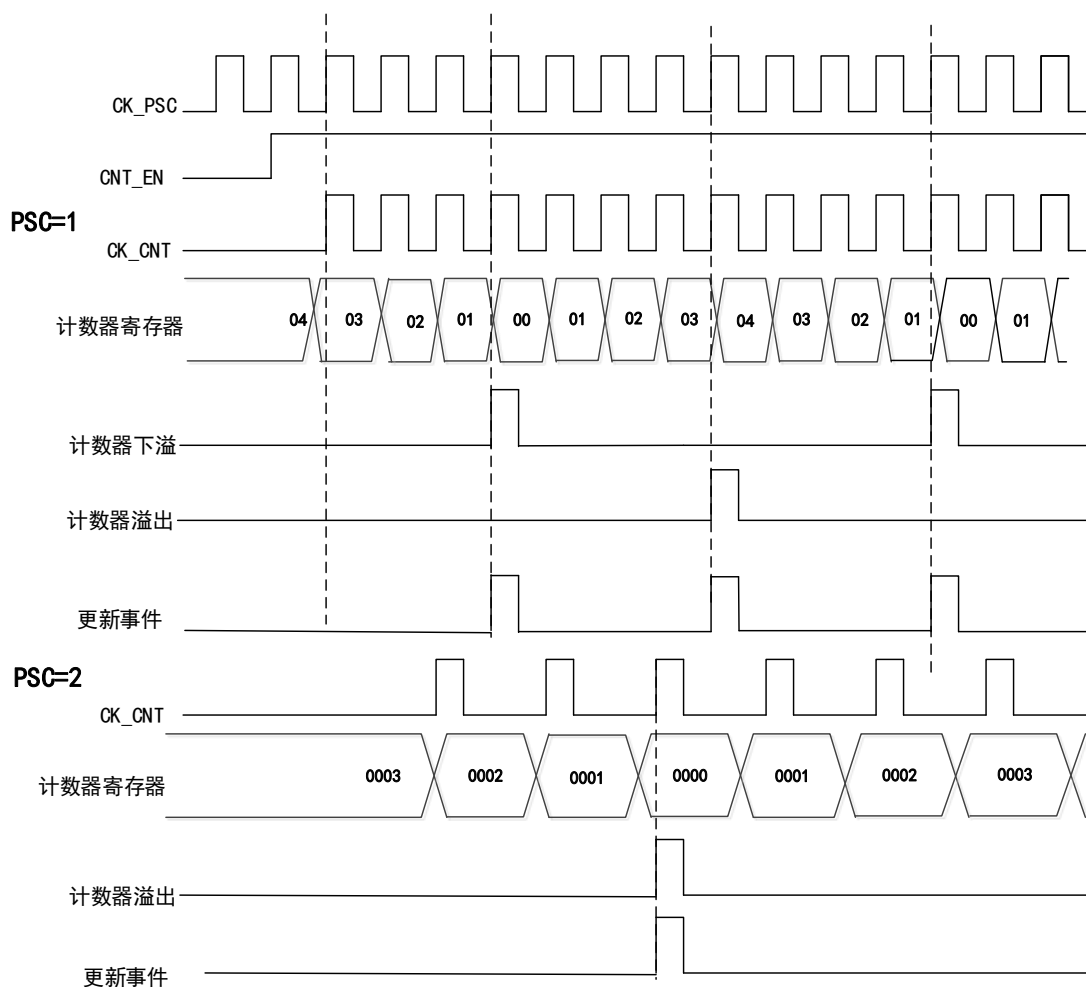
中央对齐模式

通过配置控制寄存器（BTMR_CR）中的 CAMSEL 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重载的值（BTMR_AUTORLD），然后从自动重载的值（BTMR_AUTORLD）再向下计数到 0，以此往复，在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件，在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

下图为中央对齐模式下，分频因子为 1 或 2 的时序图。

图 58 中央对齐模式下，分频因子为 1 或 2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 BTMR_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

13.4.3 输入捕获

输入捕获通道

基本定时器有一个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 TI0 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，BTMR_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 BTMR_SR 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

13.4.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 BTMR_CCxCRx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 BTMR_CCxCRx 寄存器中的 OCxMOD 位和 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

13.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 $CCx=5, AUTORLD=7$, 在 PWM 模式 1 下的时序图。

图 59 PWM1 向上计数模式的时序图

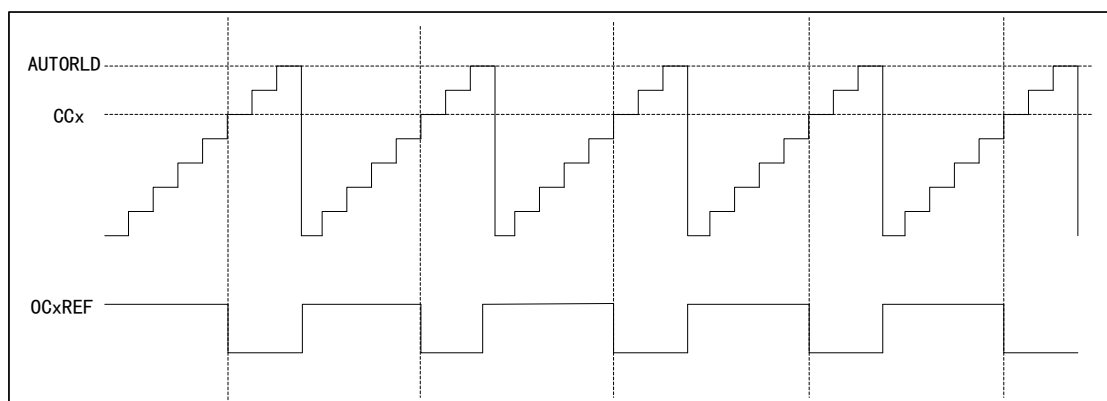


图 60 PWM1 向下计数模式的时序图

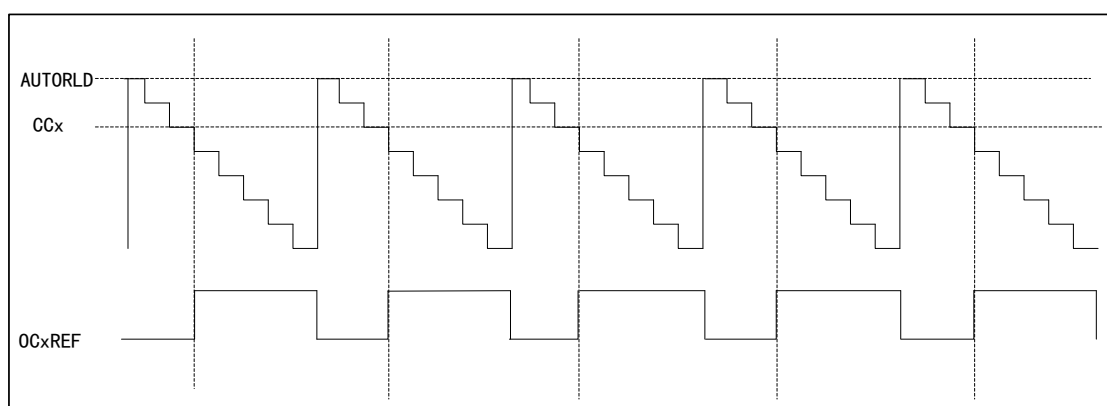
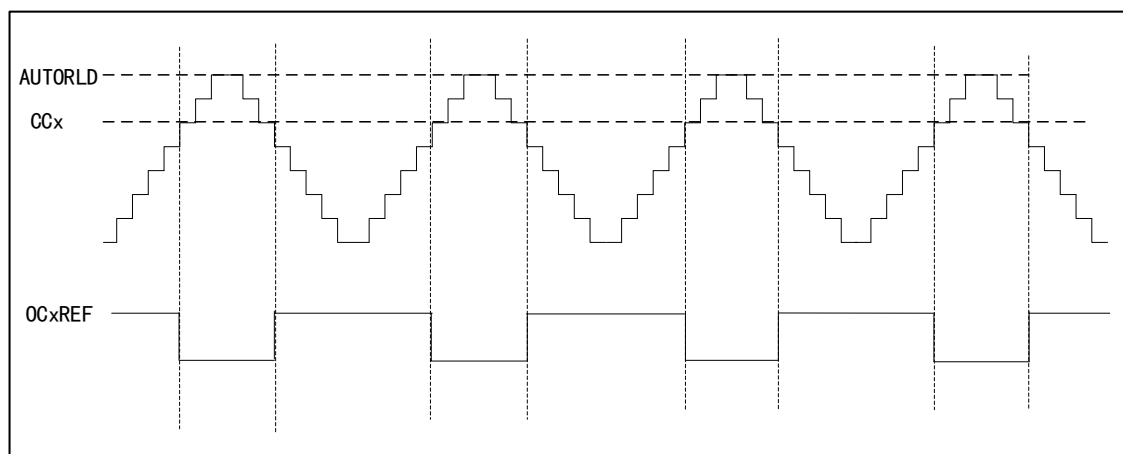


图 61 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 2 下的时序图。

图 62 PWM2 向上计数模式的时序图

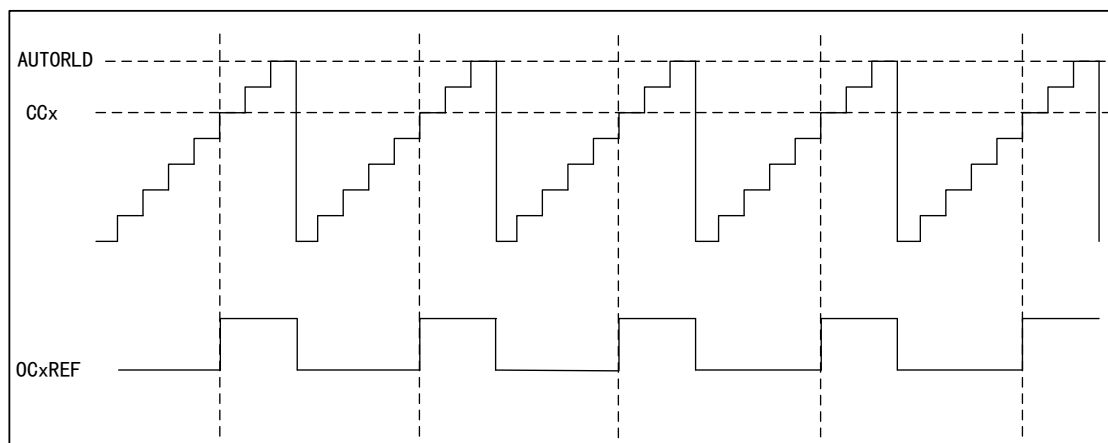


图 63 PWM2 向下计数模式的时序图

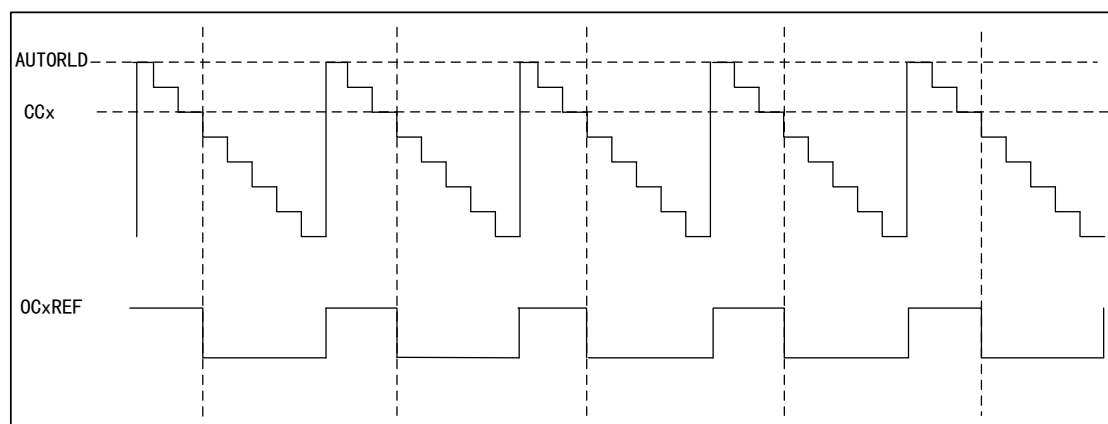
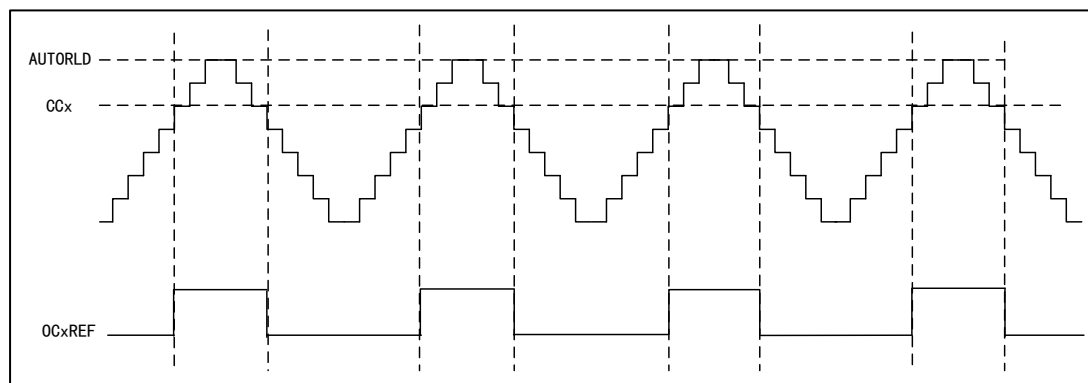


图 64 PWM2 中央对齐模式的时序图

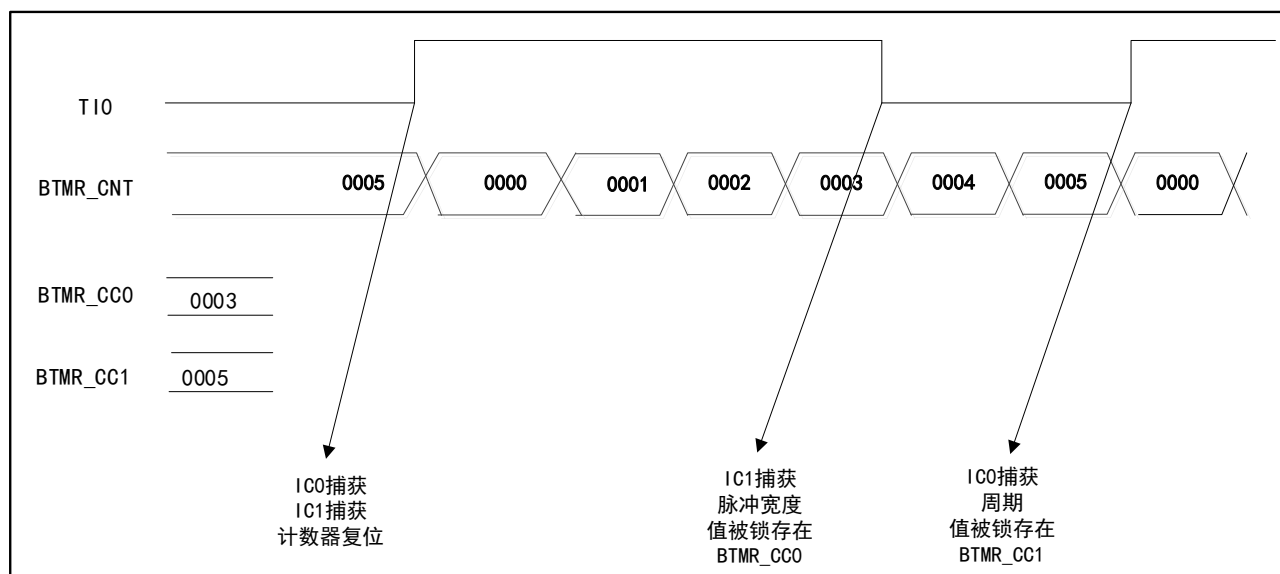


13.4.6 PWM 输入模式

PWM 输入模式是输入捕获的一个特例。

在 PWM 输入模式中，PWM 信号从 BTMR_CH0 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一路会自动配置相反的极性。

图 65 PWM 输入模式时序图



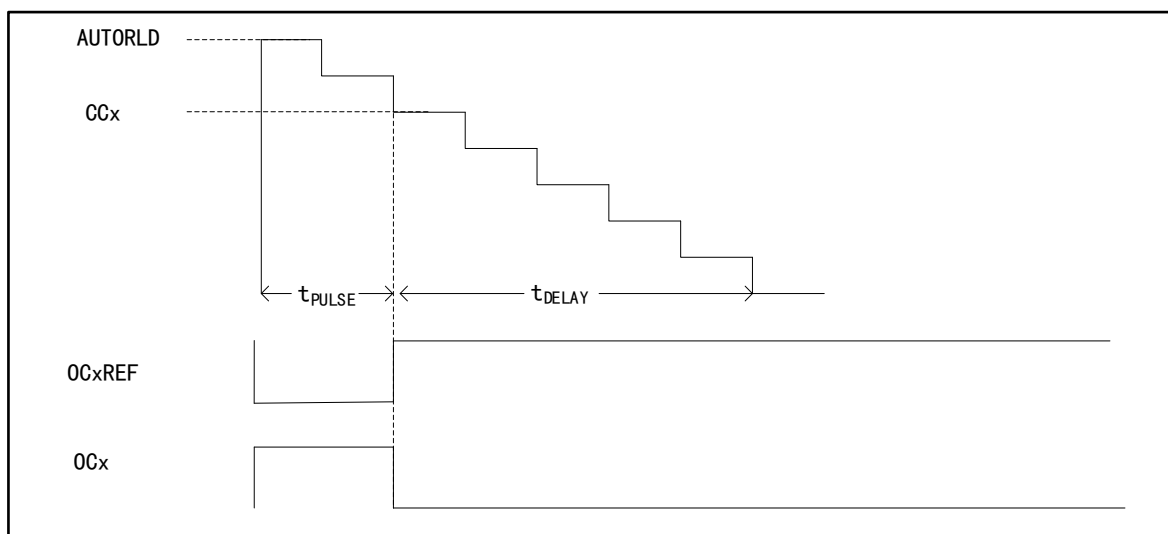
13.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 BTMR_CR 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 BTMR_CCx 寄存器的值定义；在向上计数模式下延时时间为 CCx，脉冲宽度为 $AUTORLD+1-CCx$ ；在向下计数模式下延时时间为 $AUTORLD-CCx$ ，脉冲宽度为 $CCx+1$ 。

图 66 单脉冲模式下的时序图



13.4.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- BTMR_CCxCR2 寄存器的 CCxSEL=1, 设定 CCx 通道为输出
- BTMR_CCxCR1 寄存器的 OCxMOD=100/101, 设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断。

13.4.9 中断请求

定时器在工作时产生事件时会发生中断

- 更新事件（计数器上/下溢出，计数器初始化）
- 捕获/比较事件

13.5 寄存器地址映射

表格 41 寄存器地址映射

寄存器名	描述	偏移地址
BTMR_CR	控制寄存器	0x00
BTMR_CCxCR1	通道 x 控制寄存器 1	0x04
BTMR_CCxCR2	通道 x 控制寄存器 2	0x08
BTMR_CEG	控制事件产生寄存器	0x0C
BTMR_IER	中断使能寄存器	0x10
BTMR_SR	状态寄存器	0x14
BTMR_CNT	计数器寄存器	0x18
BTMR_PSC	预分频寄存器	0x1C

寄存器名	描述	偏移地址
BTMR_AUTORLD	自动重装载寄存器	0x20
BTMR_CC0	通道 0 捕获/比较寄存器	0x24

13.6 寄存器功能描述

13.6.1 控制寄存器（BTMR_CR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	PRPEN	R/W	PSC 寄存器自动重装载缓冲使能（PSC register Auto-reload Preload Enable） 禁止缓存区时，程序修改 PSC 会立刻修改装入 PSC 的数值；使能缓存区时，程序修改 PSC 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
6	ARPEN	R/W	BTMR_AUTORLD 寄存器自动重装载缓冲使能（BTMR_AUTORLD register Auto-reload Preload Enable） 禁止缓存区时，程序修改 BTMR_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 BTMR_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
5:4	CAMSEL	R/W	选择中央对齐模式（Central alignment mode select） 中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时（CNTEN=0）时，选择中央对齐模式。 00：边沿对齐模式 01：中心对齐模式 1（在向下计数时，输出通道的输出比较中断标志位置 1） 10：中心对齐模式 2（在向上计数时，输出通道的输出比较中断标志位置 1） 11：中心对齐模式 3（在向上/下计数时，输出通道的输出比较中断标志位置 1）
3	UDISEN	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 1：禁止更新事件

位/域	名称	R/W	描述
2	SPMEN	R/W	使能单脉冲模式 (Single Pulse Mode Enable) 产生更新事件时, 可改变通道的输出电平; 在该模式下, 会清除 CNTEN 位, 停止计数器, 后续不再改变通道的输出电平。 0: 禁用 1: 使能
1	CNTDIR	R/W	配置计数器计数方向 (Counter Direction) 当计数器配置为中央对齐模式该位为只读。 0: 向上计数 1: 向下计数
0	CNTEN	R/W	BTIMER 使能 (BTIMER Enable) 0: 禁止 1: 使能

13.6.2 通道 x 控制寄存器 1 (BTMR_CCxCR1)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:7	OC0MOD	R/W	配置输出比较通道 0 模式 (Output Compare Channel0 Mode Configure) 000: 冻结。输出比较对 OC0REF 无影响 001: 匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 生匹配时, 强制 OC0REF 为高电平 010: 匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时, 强制 OC0REF 为低电平 011: 匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时, 转 OC0REF 的电平 100: 强制输出为低。强制 OC0REF 为低电平 101: 强制输出为高。强制 OC0REF 为高电平 110: PWM 模式 1 (计数器值<输出比较值时置为高, 否则反之) 111: PWM 模式 2 (计数器值>输出比较值时置为高, 否则反之) 注: 通道配置为输出时, 该位不能被修改。在 PWM 模式 1 和 2 中, OC0REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
6:4	IC0F	R/W	输入滤波系数 (Input filtering coefficient) 以 TIMER 时钟为基准 000: bypass 001: 1 个 PCLK 010: 2 个 PCLK 011: 3 个 PCLK 100: 4 个 PCLK 101: 5 个 PCLK 110: 6 个 PCLK 111: 7 个 PCLK
3:2	CC0EDGESEL	R/W	捕获有效边沿 (apture effective edge)

位/域	名称	R/W	描述
			00: 上升沿有效 01: 下降沿有效 10: 双边沿有效 11: 上升沿有效
1	CC0POL	R/W	配置捕获/比较通道 0 输出极性 (Capture/Compare Channel0 Output Polarity Configure) CC0 通道配置为输出时: 0: 不反相 1: 反相 CC0 通道配置为输入时: 0: 不反相 1: 反相
0	CC0EN	R/W	CC0 通道输入输出使能 (CC0 channel input and output enable) 0: 不使能 1: 使能

13.6.3 通道 x 控制寄存器 2 (BTMR_CCxCR2)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:2	保留		
1	CC0SEL	R/W	通道 0 输入输出选择 (Channel 0 input and output select) 0: 输入模式 1: 输出模式
0	CC0RPEN	R/W	CC0 寄存器自动重载缓冲使能 (CC0 register auto-reloading buffer enable) 禁止缓存区时, 程序修改会立刻修改装入 CC0 的数值; 使能缓存区时, 程序修改 CC0 会在下一个更新事件修改装入计数器的数值。 0: 禁止 1: 使能

13.6.4 控制事件产生寄存器 (BTMR_CEG)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:2	保留		

位/域	名称	R/W	描述
1	CC0EG	W	产生捕获/比较通道 0 事件 (Capture/Compare Channel0 Event Generation) 0: 无效 1: 产生捕获/比较事件 该位由软件置 1, 硬件自动清 0。 如果通道 0 处于输出模式 当 CC0IFLG=1 时, 如果设置了 CC0IEN 则产生相应的中断。 如果通道 0 处于输入模式 捕获计数器的值存储在 BTMR_CC0 寄存器中; 配置 CC0IFLG=1, 如果还设置了 CC0IEN 则产生相应的中断; 如果此时 CC0IFLG=1, 则需要配置 CC0RCFLG=1。
0	UEG	W	产生更新事件 (Update Event Generate) 0: 无效 1: 初始化计数器, 产生更新事件 此位由软件置 1, 硬件清 0。 注意: 产生更新事件时, 预分频器的计数器会清 0, 但是预分频系数不变。如果在向下计数模式下计数器会读取 BTMR_AUTORLD 的值; 如果在中央对齐模式下或者向上计数模式中计数器会被清 0。

13.6.5 中断使能寄存器 (BTMR_IER)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:2	保留		
1	CC0IEN	R/W	使能捕获/比较通道 0 中断 (Capture/Compare Channel0 Interrupt Enable) 0: 禁止 1: 使能
0	UIEN	R/W	使能更新中断 (Update Interrupt Enable) 0: 禁止 1: 使能

13.6.6 状态寄存器 (BTMR_SR)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:3	保留		
2	CC0RCFLG	RC_W0	捕获/比较通道 0 重复捕获标志 (Capture/Compare Channel0 Repetition Capture Flag) 0: 没有发生重复捕获 1: 发生重复捕获 计数器的值被捕获到 GTMR_CC0 寄存器中, 此时 CC0IFLG=1; 只有当通道被配置为输入捕获时, 该位由硬件置 1, 软件清 0。

位/域	名称	R/W	描述
1	UIFLG	R_W0C	产生更新事件标志位 (Update Event Interrupt Generate Flag) 0: 没有发生更新事件 1: 发生更新事件 计数器数值重新装载或重新初始化时, 会产生更新事件, 该位由硬件置 1, 软件清 0。
0	CC0IFLG	RC_W0	捕获/比较通道 0 标志 (Captuer/Compare Channel0 Interrupt Flag) 当捕获比较通道 0 配置为输出时: 0: 无匹配发生 1: BTMR_CNT 的值与 BTMR_CC0 的值相匹配 当 BTMR_CC0 的内容大于 BTMR_AUTORLD 的内容时, 在向上计数模式时计数器溢出条件下, 该位置 1。 当捕获比较通道 0 配置为输入时: 0: 没有发生输入捕获 1: 发生输入捕获 捕获事件发生时由硬件置 1, 可以由软件清 0 或者读 BTMR_CC0 寄存器时清 0。

13.6.7 计数器寄存器 (BTMR_CNT)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CNT	R/W	计数器数值 (Counter Value)

13.6.8 预分频寄存器 (BTMR_PSC)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSC	R/W	预分频器数值 (Prescaler Value) 计数器的时钟频率 (CK_CNT) = $f_{CK\_PSC} / (PSC+1)$

13.6.9 自动重装载寄存器 (BTMR_AUTORLD)

偏移地址: 0x20

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16	保留		
15:0	AUTORLD	R/W	自动重装载数值 (Auto Reload Value) 自动重装载的值为空时, 计数器不进行计数。

13.6.10 通道 0 捕获/比较寄存器 (BTMR_CC0)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC0	R/W	捕获/比较通道 0 数值 (Capture/Compare Channel0 Value) 捕获/比较通道 0 配置为输入模式： CC0 包含上次输入捕获通道 0 事件传输的计数器数值。 捕获/比较通道 0 配置为输出模式： CC0 包含了当前装入捕获/比较寄存器数值 捕获比较通道 0 的值 CC0 与计数器的值 CNT 比较，在 OC0 上产生输出信号。 当输出比较预装载禁止 (BTMR_CCxCR1 寄存器的 OC0PEN=0) 时，写入的数值会立即影响输出比较结果； 当输出比较预装载使能 (BTMR_CCxCR1 寄存器的 OC0PEN=1) 时，写入的值会在产生更新事件时影响输出比较结果。

14 低功耗定时器（LPTIMER）

14.1 简介

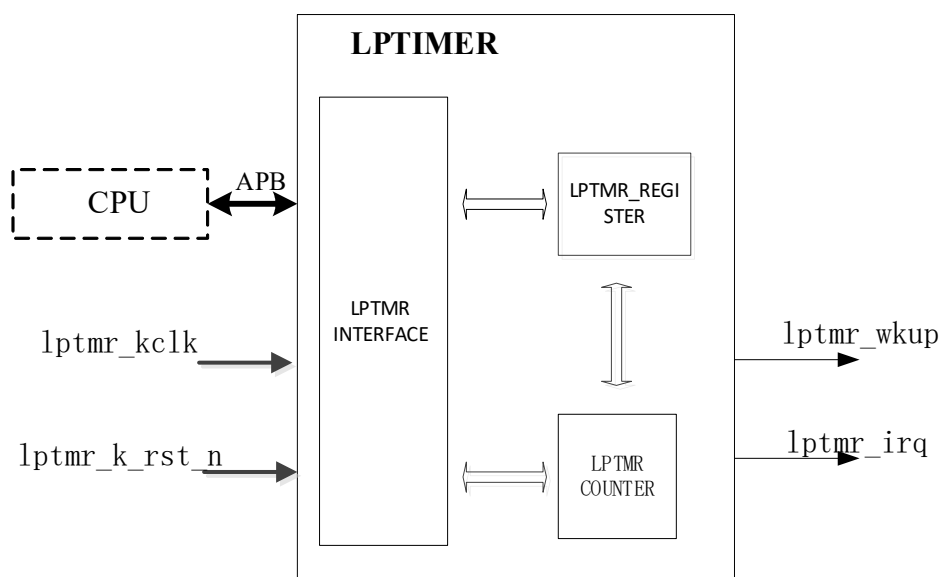
低功耗定时器有一个无符号的 16 位计数器，可以在低功耗状态下保持运行，且只使用很低的功耗，也支持将系统从低功耗模式下唤醒。

14.2 主要特征

- (1) 16 位递增计数器
- (2) 可配置的时钟频率选择
- (3) 低频独立时钟驱动
- (4) 唤醒输出
- (5) 中断输出

14.3 结构框图

图 67 结构框图



14.4 功能描述

14.4.1 使用说明

- (1) 配置 LPTMR_PSC 寄存器
- (2) 配置 LPTMR_WKVAL 寄存器
- (3) 配置 LPTMR_CR 的 CNTEN 位使能模块

- (4) 配置 LPTMR_CR 的 LPTIEN 位使能中断，开启可进入中断，否则无法进入中断

14.5 寄存器地址映射

表格 42 LPTIMER 寄存器地址映射

寄存器名	描述	偏移地址
LPTMR_CR	控制寄存器	0x00
LPTMR_PSC	预分频寄存器	0x04
LPTMR_WKVAL	唤醒计数寄存器	0x08
LPTMR_SR	状态寄存器	0x0C
LPTMR_CNT	计数器寄存器	0x10

14.6 寄存器功能描述

14.6.1 控制寄存器（LPTMR_CR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:2	保留		
1	LPTIEN	R/W	使能中断（Interrupt enable） 0：禁止 1：使能 lsi_ready 之后才能写入此位。
0	CNTEN	R/W	使能模块（Module enable） 0：禁止 1：使能 lsi_ready 之后才能写入此位。

14.6.2 预分频寄存器（LPTMR_PSC）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSC	R/W	选择预分频（Prescale select） 可以选择 1~65535 分频 0000000000000000：1 分频 0000000000000001：1 分频 0000000000000010：2 分频 0000000000000011：3 分频 1111111111111111：65535 分频

14.6.3 唤醒值寄存器 (LPTMR_WKVAL)

偏移地址: 0x08

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16	保留		
15:0	WKVAL	R/W	唤醒值 (wakeup value)

14.6.4 状态寄存器 (LPTMR_SR)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:3	保留		
2	RVU	R	LPTIMER 计数器重载值更新标志 (LPTIMER Reload Value Update Flag) 更新计数器重载值时, 由硬件置 1; 计数器重载值更新结束后, 由硬件清 0; 计数器重载值只有在 RVU 位被清 0 时更新。
1	PVU	R	LPTIMER 预分频值更新标志 (LPTIMER Prescaler Value Update Flag) 更新预分频器系数时, 由硬件置 1; 预分频器系数更新结束后, 由硬件清 0; 预分频器系数只有在 PVU 位被清 0 时更新。
0	WKFLG	R/W	中断状态寄存器 (interrupt status register) 写 0 清零。

14.6.5 计数器寄存器 (LPTMR_CNT)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CNT	R	CNT 计数值 (CNT count value) 需要读取两次, 两次都一致才为当前计数值。

15 看门狗定时器 (WDT)

15.1 独立看门狗

注：独立看门狗两次喂狗中间需要间隔 $160\ \mu\text{s}$ 。

15.1.1 简介

独立看门狗是由一个八位预分频器 IWDT_PSC、12 位递减计数器、12 位重载寄存器 IWDT_RLR、关键字寄存器 IWDT_KEY、状态寄存器 IWDT_SR 组成。

独立看门狗有独立的时钟源，即使是在主时钟失效的情况下，它仍然有效。

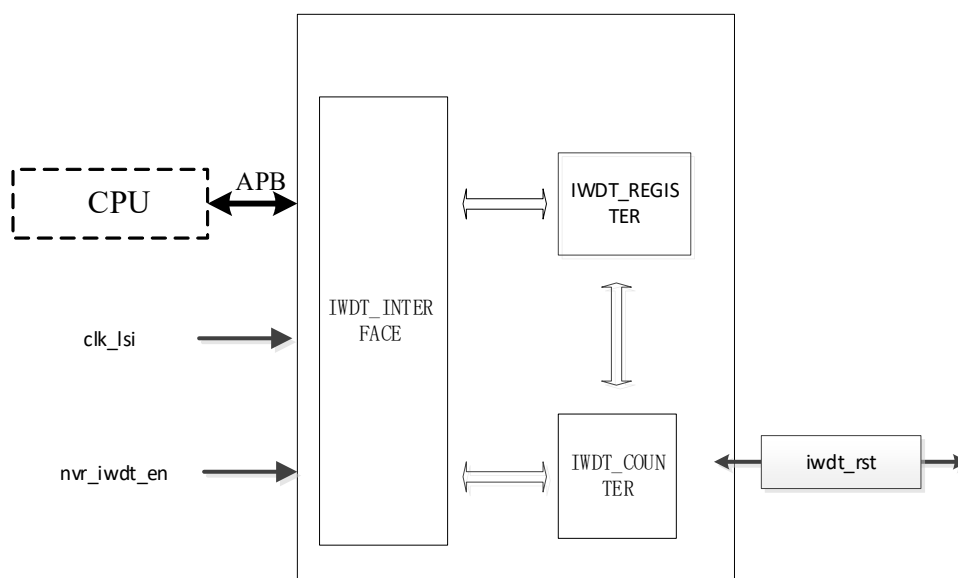
独立看门狗适用于需要独立的环境但对精确度要求不高的场所。

15.1.2 主要特征

- (1) 可配置的 12 位递减计数器
- (2) 低频独立时钟驱动（可在停止模式下工作）
- (3) 看门狗被激活后，在计数器减至 0x00 时产生复位
- (4) 调试模式下，计数器可配置停止计数

15.1.3 结构框图

图 68 独立看门狗框图



15.1.4 功能描述

15.1.4.1 关键字寄存器

在关键字寄存器中写入 0xCCCC 开启独立看门狗，此时计数器由复位值 0xFFFF 开始向下计数，当计数器计数到 0x000 时，产生一次复位。

在关键字寄存器中写入 0xAAAA，重装载寄存器的值会被重新加载到计数器，以此来阻止看门狗复位。

在关键字寄存器中写入 0x5555，用来改写预分频寄存器、重装载寄存器的值。

15.1.4.2 寄存器访问保护

预分频寄存器 IWDT_PSC 和重装载寄存器 IWDT_RLR 具有写保护功能，如果要改写这两个寄存器则需要写 0x5555 到关键字寄存器中，如果将其他的值写入关键字寄存器将会再次启动对寄存器的保护。

写 0xAAAA 到关键字寄存器中，也会启动写保护功能。

可以通过状态寄存器来观察预分频寄存器和重装载寄存器。

15.1.4.3 使用说明

看门狗初始化步骤

- (1) 配置 RCC 寄存器，使能 IWDT 时钟；
- (2) 配置 RCC 寄存器，使能 LSI 时钟；
- (3) 通过向 IWDT_KEY 寄存器中写入 0xCCCC 来使能 IWDT；
- (4) 通过向 IWDT_KEY 寄存器中写入 0x5555 来解锁寄存器写保护；
- (5) 配置 IWDT_PSC 寄存器；
- (6) 等待 PVU 为 0；
- (7) 配置重装载寄存器 IWDT_RLR；
- (8) 等待 RVU 为 0；
- (9) 喂狗时，通过向 IWDT_KEY 寄存器中写入 0xAAAA 来刷新计数器值为重装载值。

15.2 窗口看门狗

15.2.1 简介

窗口看门狗含有一个 7 位自由运行递减计数器、预分频器、控制寄存器 WWDT_CR、配置寄存器 WWDT_CFG 和状态寄存器 WWDT_SR。

窗口看门狗时钟来自 PCLK，计数器时钟经过预分频分频得到（由配置寄存器配置）。

窗口看门狗适用于需要精确计时的场合。

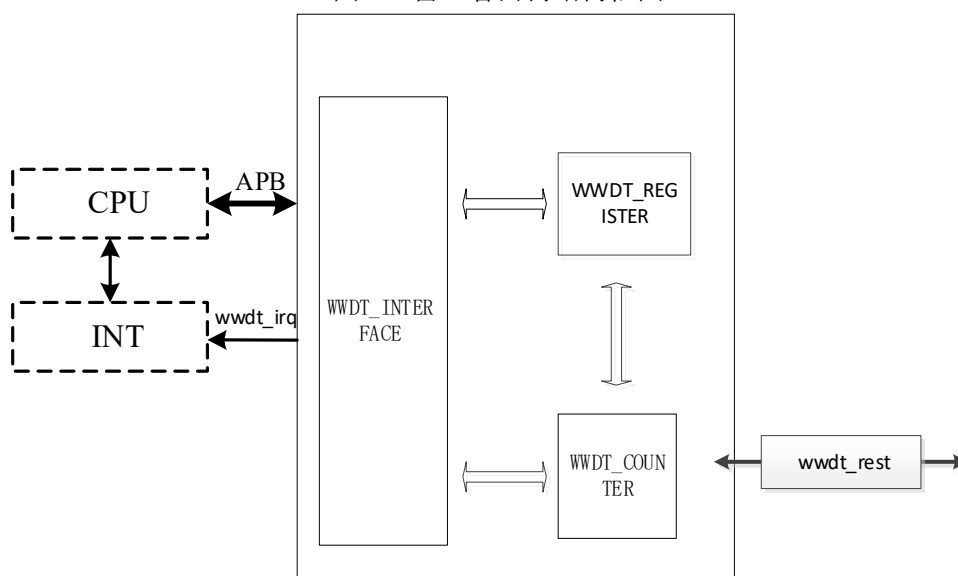
15.2.2 主要特征

- (1) 可配置的 7 位递减计数器

- (2) 可配置窗口，窗口下限值为 0x3F，窗口期计数可防止复位
- (3) 当递减计数器减至 0x3F 时，即 T6 跳变为 0 时产生复位
- (4) 当计数器值大于窗口值时计数（配置递减计数器）会产生复位
- (5) 当计数器值等于 0x40 时可产生提前唤醒中断
- (6) 调制模式下，计数器会停止计数

15.2.3 结构框图

图 69 窗口看门狗结构框图



15.2.4 功能描述

使能窗口看门狗定时器，复位条件：

- 计数器从 0x40 减至 0x3F 时，产生复位。
- 计数器值大于窗口寄存器中所存储的值时，如果软件重载计数器，产生复位。

15.2.4.1 使能看门狗

发生复位后，看门狗总是关闭状态，将 WWDT_CR 寄存器的 WWDTEN 位置 1 开启看门狗，清 0 将关闭看门狗。看门狗关闭状态下，计数器停止计数，恢复成默认值。

15.2.4.2 配置保护

只有在禁止看门狗时才能更改中断使能、预分频、窗口配置。

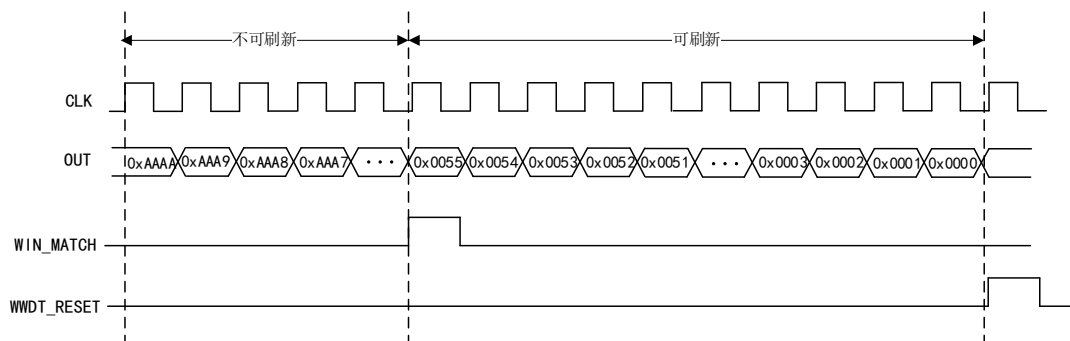
15.2.4.3 窗口模式

WINDOW 位储存窗口值，WWDT 看门狗的喂狗区间受 WINDOW 位影响。当计数值大于 WINDOW 时发生喂狗，将会发生复位。因此喂狗区间需要小于等于 WINDOW 值。

15.2.4.4 喂狗

WWDT 喂狗动作是直接往 WWDT_CR 寄存器 TOUT 位装载计数，TOUT 从装载值重新计数，如图配置窗口值为 0x0055。

图 70 时序图



中断

WWDT 可以配置中断，当计数值达到 0x40 时会产生提前唤醒中断标志，当使能 EWIEEN 会产生中断。可以通过 WWDT_SR 寄存器的 EWIFLG 位写 0 清除唤醒标志和中断。

15.2.4.5 时钟

一个输入 PCLK，两个输出，分别是复位 WWDT_RST 和中断 WWDT_IRQ；TOUT[6:0]表示递减计数器值，WINDOW[6:0]表示窗口上限值。计数器值和窗口上限值可由用户配置，窗口下限值是 0x3F。

PCLK 经过分频器分频后，作为递减计数器的计数时钟；当 WWDTEN 使能后，WWDT 开始工作；开始工作后，配置寄存器 WWDT_CFG 值不可更改。

15.2.4.6 使用说明

看门狗初始化步骤

- (1) 打开 WWDT 时钟使能；
- (2) 配置分频系数，窗口值和递减计数器值；
- (3) 配置中断使能和 NVIC；
- (4) 定时装载 WWDT_CR 寄存器喂狗，必须在窗口期进行，否则发生复位；
- (5) 当计数器达到 0x40 时，产生中断，进入中断处理函数，重装载值和清中断标志。

15.3 IWDT 寄存器地址映射

表格 43 IWDT 寄存器映射

寄存器名	描述	偏移地址
IWDT_KEY	关键字寄存器	0x00
IWDT_PSC	预分频寄存器	0x04
IWDT_RLR	计数器重载寄存器	0x08
IWDT_SR	状态寄存器	0x0C

15.4 IWDT 寄存器功能描述

15.4.1 关键字寄存器 (IWDT_KEY)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	KEY	W	允许访问 IWDT 寄存器键值 (Allow Access IWDT Register Key Value) 写入 0x5555 表示允许访问 IWDT_PSC、IWDT_RLR 寄存器。 软件写入 0xAAAA 表示执行重载计数器, 需要至少 4 个 LSI_CLK 写入, 防止看门狗复位。 写入 0xCCCC, 启动看门狗 (硬件看门狗不受此命令字限制)。看门狗一旦开启无法关闭, 只有复位才能将其关闭。

15.4.2 预分频寄存器 (IWDT_PSC)

偏移地址: 0x04

复位值: 0x0000 0007

位/域	名称	R/W	描述
31:3			保留
2:0	PSC	R/W	配置预分频系数 (Prescaler Factor Configure) 有写保护功能, 向 IWDT_KEY 寄存器写入 0x5555 时允许访问该寄存器; 写该寄存器过程中, 当 IWDT_SR 寄存器的 PVU=0 时, 才能改变预分频因子; 读该寄存器过程中, 当 PVU=0 时, 读取 PSC 寄存器的数值才有效。 000: PSC=4 001: PSC=8 010: PSC=16 011: PSC=32 100: PSC=64 101: PSC=128 110: PSC=256 111: PSC=256

15.4.3 计数器重载寄存器 (IWDT_RLR)

偏移地址: 0x08

复位值: 0x0000 0FFF

位/域	名称	R/W	描述
31:12	保留		
11:0	RLR	R/W	设置看门狗计数器重装载值（Watchdog Counter Reload Value Setup） 有写保护功能，定义 IWDG_KEY 寄存器写入 0xAAAA 时载入看门狗计数器的值；在写该寄存器过程中，RVU=0 时，才能对此寄存器进行修改。在读该寄存器过程中，当 IWDG_SR 寄存器中的 RVU=0 时，读取的数值才是有效的。 看门狗超时周期可通过此重装载值和时钟预分频值来计算。

15.4.4 状态寄存器（IWDG_SR）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:3	保留		
1	RVU	R	看门狗计数器重装载值更新标志（Watchdog Counter Reload Value Update Flag） 更新计数器重装载值时，由硬件置 1；计数器重装载值更新结束后，由硬件清 0；计数器重装载值只有在 RVU 位被清 0 时更新。
0	PVU	R	看门狗预分频值更新标志（Watchdog Prescaler Value Update Flag） 更新预分频器系数时，由硬件置 1；预分频器系数更新结束后，由硬件清 0；预分频器系数只有在 PVU 位被清 0 时更新。

15.5 WWDT 寄存器地址映射

表格 44 WWDT 寄存器地址映射

寄存器名	描述	偏移地址
WWDT_CR	控制寄存器	0x00
WWDT_CFG	配置寄存器	0x04
WWDT_SR	状态寄存器	0x08

15.6 WWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

15.6.1 控制寄存器（WWDT_CR）

偏移地址量：0x00

复位值：0x0000 007F

位/域	名称	R/W	描述
31:8	保留		
7	WWDTEN	R/S	使能窗口看门狗（Window Watchdog Enable） 该位由软件置 1 且只能在复位后由硬件清除。当 WWDTEN=1, WWDT 可以产生复位。 0：禁止 1：使能

位/域	名称	R/W	描述
6:0	TOUT	R/W	递减计数器 (down counter) 存储看门狗计数器的值, 每隔 (4096*2PSC[1:0]) pclk 个周期递减 1 次。当从 0x40 减至 0x3F 时会产生复位。

15.6.2 配置寄存器 (WWDT_CFG)

偏移地址量: 0x04

复位值: 0x0000 01FF

位/域	名称	R/W	描述
31:10	保留		
9	EWIEN	R/W	使能提前唤醒中断 (Early Wakeup Interrupt Enable) 0: 无意义 1: 则当计数器值达到 0x40 时, 即产生中断; 此中断仅在未使能 WWDT 时可配置。
8:7	PSC	R/W	配置时基预分频系数 (Timer Base Prescaler Factor Configure) PCLK1/4096 的基础上再分频 00: 不分频 01: 2 分频 10: 4 分频 11: 8 分频 此预分频仅在未使能 WWDT 时可配置。
6:0	WINDOW	R/W	设置窗口值 (window Value Setup) 该窗口值是 7 位, 用来和向下计数器作比较。此窗口值仅在未使能 WWDT 时可配置。

15.6.3 状态寄存器 (WWDT_SR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	EWIFLG	RC_W0	产生提前唤醒中断标志 (Early Wakeup Interrupt Occur Flag) 0: 未发生 1: 当计数器值达到 0x40 时由硬件置 1; 若中断未被使能, 该位也会被置 1。 由软件写 0 清除。对该位写 1 无效。

16 通用同步异步收发器 (USART/UART)

16.1 术语全称、缩写描述

表格 45 术语全称、缩写描述

中文全称	英文全称	英文缩写
清除发送	Clear to Send	CTS
请求发送	Request to Send	RTS
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
保护	Guard	GRD
溢出	Overrun	OVR

16.2 简介

USART (通用同步异步收发器) 是一个可以灵活地与外部设备进行全双工、半双工数据交换的串行通信设备, 且同时满足外部设备对工业标准 NRZ 异步串行数据格式的要求。USART 还提供宽范围的波特率选择。

USART 不仅支持标准的异步收发模式, 还支持同步单向通信和一些其他的串行数据交换模式, 如 LIN 协议模式和调制解调器操作(CTS/RTS), 还支持多处理器通信。

USART 还支持使用 DMA 功能, 以实现高速数据通信。

16.3 主要特征

- (1) 全双工异步通信
- (2) 单线半双工通信
- (3) NRZ 标准格式
- (4) 可编程的串口特性:
 - 数据位: 7 位、8 位或 9 位
 - 校验位: 偶校验、奇校验、无校验
 - 支持 1、2 个停止位
- (5) 校验控制:
 - 发送校验位
 - 校验接收的数据
- (6) 支持 8/16 倍过采样率
- (7) 可编程高位优先或低位优先

- (8) 独立的发送器和接收器使能位
- (9) 可切换 TX/RX 引脚
- (10) 可编程的波特率发生器，USART 波特率最高可达 8Mbits/s，UART 最高可达 4Mbit/s
- (11) 多处理器通信：
 - 若地址不匹配，则进入静默模式
 - 通过空闲总线检测或地址标记检测，从静默模式中唤醒
- (12) 波特率自动检测
- (13) 同步传输模式
- (14) LIN 断开帧的生成与检测
- (15) 接收帧错误检测
- (16) 硬件奇偶检测
- (17) 1/16 位噪音检测
- (18) 支持硬件流控制和 RS485 驱动使能
- (19) 可利用 DMA 连续通信
- (20) 支持 ModBus 通信：
 - 超时检测
 - CR/LF 字符识别
- (21) 状态标志位：
 - 传输检测标志：发送寄存器为空、接收寄存器不为空、发送完成
 - 错误检测标志：溢出错误、噪音错误、奇偶校验错误、帧错误
- (22) 多个中断源：
 - 发送寄存器为空
 - 发送完成
 - CTS 改变
 - 接收寄存器不为空
 - 奇偶校验错误
 - LIN 断开检测
 - 噪音错误
 - 溢出错误
 - 帧错误
 - 未按时接收中断
 - 字符匹配

16.4 结构框图

图 71 USART 结构框图

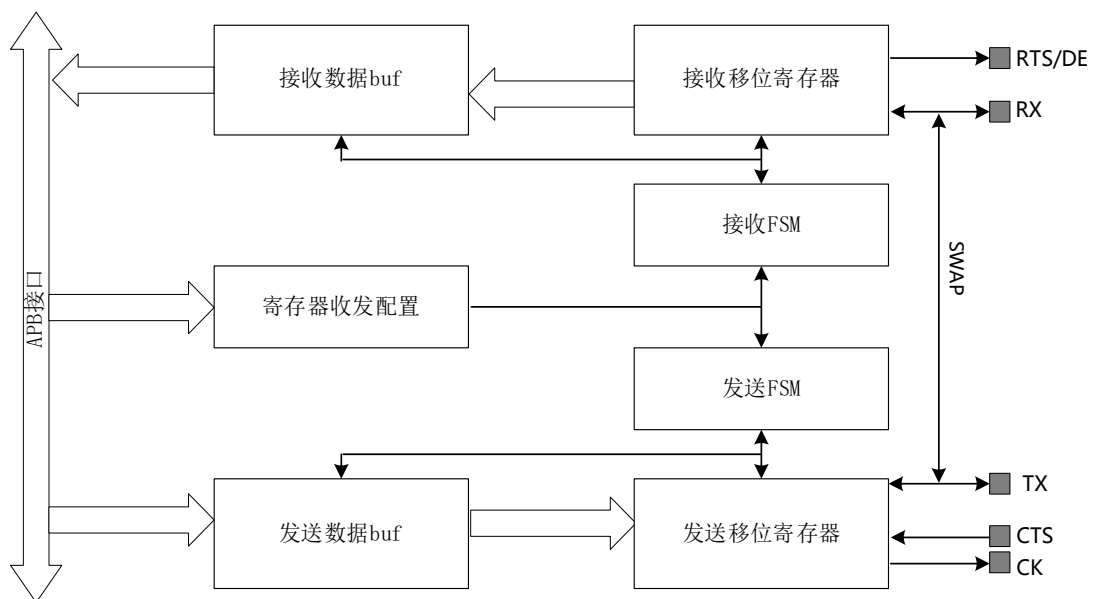
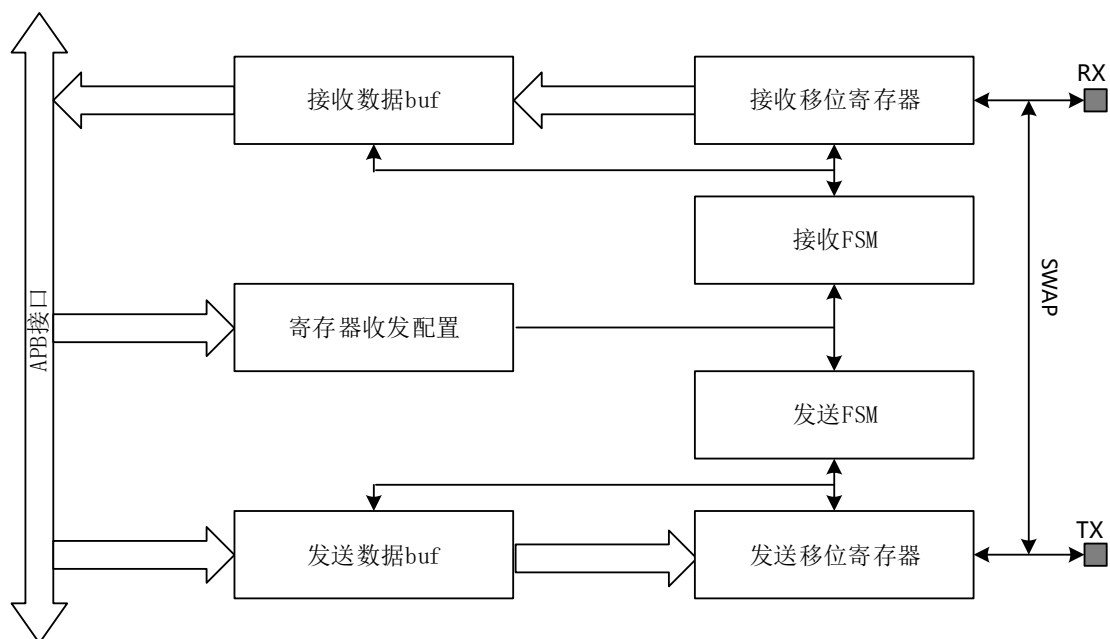


图 72UART 结构框图



16.5 功能描述

表格 46 USART 引脚描述

引脚	类型	描述
USART_RX	输入	数据接收

引脚	类型	描述
USART_TX	输出 I/O（单线模式）	数据发送 当发送器被使能且不发送数据时，默认为高电平
USART_CK	输出	时钟输出
USART_nRTS	输入	硬件流控制模式中发送请求
USART_nCTS	输出	硬件流控制模式中清除发送
USART_DE	输入	驱动使能激活外部发送/接收器

16.5.1 单线半双工通信

USART_CR3 寄存器的 HDSEL 位决定是否进入单线半双工模式。

当 USART 进入单线半双工模式时：

- USART_CR2 寄存器的 CLKEN 位、LINEN 位必须清 0。
- 禁止使用 RX 引脚。
- TX 脚应配置成开漏输出，并在芯片内部与 RX 引脚相连。
- 发送数据和接收数据不可同时进行，在数据发送前，不可以接收数据。
若需要接收数据，必须在 USART_SR 寄存器的 TCFLG 位置 1 后才可开启使能接收。
- 若总线上出现数据冲突，需要使用软件管理分配通信过程。

16.5.2 帧格式

通过 USART_CR1 寄存器控制数据帧的帧格式

- M 位控制字符长度，可设置为 7 位、8 位或 9 位
- PCEN 位控制是否开启校验位
- PSEL 位控制校验位为奇校验还是偶校验

表格 47 USART 帧格式

M 位	PCEN 位	USART 数据帧
00	0	起始位+8 位数据+停止位
00	1	起始位+7 位数据+奇偶检验位+停止位
01	0	起始位+9 位数据+停止位
01	1	起始位+8 位数据+奇偶检验位+停止位
10	0	起始位+7 位数据+停止位
10	1	起始位+6 位数据+奇偶校验位+停止位

注意：仅 USART 支持 7 位字符长度。

可配置的停止位

可以通过 USART_CR2 寄存器的 STOP 位来配置 2 种不同的停止位。

- 1 个停止位：默认的停止位
- 2 个停止位：常规模式、单线模式、硬件流控制模式使用

校验位

USART_CR1 的 PSEL 位决定奇偶校验位，当 PSEL=0 时，为偶校验，反之为奇校验。

- 偶校验：帧数据和校验位 ‘1’ 的个数为偶数时，偶校验位为 0，否则为 1。
- 奇校验：帧数据和校验位 ‘1’ 的个数为偶数时，奇校验位为 1，否则为 0。
- 校验生成：发送数据时，置位 USART_CR1 寄存器的 PCEN 位，校验位会替换数据的 MSB 位被发送。
- 校验检查：
 - 若校验检查失败，USART_SR 寄存器的 PEFLG 标志位置位。
 - 如果使能校验控制，将引发相应中断。

16.5.3 发送器

当寄存器 USART_CR1 的 TEN 位被设置时，发送移位寄存器将通过 TX 脚输出数据，相应的时钟脉冲通过 CK 脚输出。

16.5.3.1 字符发送

USART 发送期间，数据的最低有效位会先被 TX 引脚移出。在此模式下，USART_DR 寄存器有一个缓冲器，处于内部总线和发送移位寄存器之间。

一个数据帧由起始位、字符、停止位组成的，所以每个字符前面都有一个低电平的起始位；之后有一个数目可配置的高电平的停止位。

发送配置步骤

- (1) 置位 USART_CR1 寄存器的 UEN 位，使能 USART
- (2) 通过设置 USART_CR1 寄存器的 M 位来决定字长
- (3) 通过设置 USART_CR2 寄存器的 STOP 位来决定停止位位数
- (4) 若选择多缓冲器通信，需在 USART_CR3 寄存器中使能 DMA
- (5) 在 USART_BRR 寄存器中设置通信的波特率
- (6) 使能 USART_CR1 寄存器的 TEN 位，发送一个空闲帧
- (7) 向 USART_DR 寄存器写入数据（如果未使能 DMA，则每个需要发送的字节都要重复步骤 7）
- (8) 等待 USART_SR 寄存器的 TCFLG 位置 1，表示发送完成

注意：不能在发送数据期间复位 TEN 位，否则 TX 脚上的数据会被破坏，因为波特率发生器停止计数，正在传输的数据也将丢失。

16.5.3.2 单字节通信

对 USART_DR 寄存器进行写操作可以将 TXEFLG 位清零。当 TXEFLG 位被硬

件置位时，移位寄存器接收到由数据发送寄存器转移过来的数据，数据发送开始，此时数据发送寄存器被清空。可以在数据寄存器中写入下一个数据，且不会覆盖前面的数据。

- (1) 若 USART_CR1 寄存器中的 TXE1EN 置 1，则会产生一个中断。
- (2) 若 USART 处于发送数据的状态时，对数据寄存器进行写操作，把数据存到 USART_DR 寄存器，并在当前数据发送结束时把该数据转移到移位寄存器中。
- (3) 若 USART 处于空闲状态时，对数据寄存器进行写操作，把数据放到移位寄存器中，开始发送数据，TXE1FLG 位置 1。
- (4) 当一个数据发送完成并设置了 TXE1FLG 位时，TC1FLG 位被置 1，此时若 USART_CR1 寄存器中的 TC1EN 位被置 1，则会产生一个中断。
- (5) 在 USART_DR 寄存器中写入最后一个数据后，在进入低功耗模式之前或关闭 USART 模块之前，必须先等待 TC1FLG 置 1。

16.5.3.3 断开帧

断开帧被视为在一个帧周期内全部收到‘0’。设置 USART_CR1 寄存器的 SBK 位可发送一个断开帧，断开帧的长度由 USART_CR1 寄存器的 M 位决定。若将 SBK 位置位，则当前数据发送完成后，TX 线上将发送一个断开帧，断开帧发送完成时被复位。在断开帧结束时，发送器再插入 1 或 2 个停止位来应答起始位。

注意：若开始发送断开帧之前就复位了 SBK 位，将不再发送断开帧。若要发送两个连续的断开帧，应在前一个断开符的停止位之后置起 SBK 位。

16.5.3.4 空闲帧

空闲帧被视为完全由‘1’组成的一个完整的数据帧，后面跟着包含了数据的下一帧的开始位。将 USART_CR1 寄存器的 TEN 位置 1，可以在第一个数据帧前发送一个空闲帧。

16.5.4 接收器

16.5.4.1 字符接收

USART 接收期间，RX 脚会首先引进数据的最低有效位。在此模式下，USART_DR 寄存器有一个缓冲器，处于内部总线和接收移位寄存器之间。数据一位一位地送入缓冲器，接收满后，对应的接收寄存器不为空，此时用户可读取 USART_DR。

接收配置步骤

- (1) 置位 USART_CR1 寄存器的 UEN 位，使能 USART
- (2) 通过设置 USART_CR1 寄存器的 M 位来决定字长
- (3) 通过设置 USART_CR2 寄存器的 STOP 位来决定停止位位数

- (4) 若选择多缓冲器通信，需在 USART_CR3 寄存器中使能 DMA
- (5) 在 USART_BRR 寄存器中设置通信的波特率
- (6) 设置 USART_CR1 的 REN 位，使能接收

注意：

- (1) 不能在接收数据期间复位 REN 位，否则将丢失正在接收的字节。
- (2) 接收器在接收一个数据帧的过程中，若检测到溢出错误、噪音错误、帧错误等，错误标志被置 1。
- (3) 当数据从移位寄存器中被转移到 USART_DR 寄存器中时，USART_SR 寄存器的 RXNEFLG 位被硬件置位。
- (4) 若设置 RXNEIEN 位将产生一个中断。
- (5) 单缓冲器模式中，软件读取 USART_DR 寄存器能清除 RXNEFLG 位，也可对其写 0 清除。
- (6) 多缓冲器模式中，每个字节被接收后，USART_SR 寄存器的 RXNEFLG 位都会被置 1，且 DMA 对数据寄存器进行读操作而清零。

16.5.4.2 断开帧

当接收器接收到一个断开帧时，USART 会像接收到帧错误一样处理它。

16.5.4.3 空闲帧

当接收器接收到一个空闲帧时，USART 会像接收到普通数据帧一样处理它，如果设置 USART_CR1 的 IDLEIEN 位，将产生一个中断。

16.5.4.4 过采样率

USART_CR1 寄存器的 OSMCFG 位决定过采样率。

若过采样率为波特率的 8 倍，则速度较高，但时钟容忍度较小，若为 16 倍则相反。

注意：仅 USART 支持 8 倍采样率。

16.5.4.5 溢出错误

若 USART_SR 寄存器的 RXNEFLG 位置 1，同时接收到一个新的字符，则会产生溢出错误。只有当 REN 复位后才能把数据从移位寄存器转移到 USART_DR 寄存器。接收到字节后 RXNEFLG 位会置 1。该位需要在接收到下一个数据或还没服务先前的 DMA 请求前复位，否则将产生溢出错误。

当产生溢出错误时

- USART_SR 的 OREFLG 位置 1
- 不会丢失 USART_DR 寄存器中的数据
- 覆盖之前接收到的移位寄存器中的数据，但不会保存后面接收到的数据
- 若设置 USART_CR1 的 RXNEIEN 位或 EIEN 位，则会产生一个中断

- 当 OREFLG 位被置位时，表明已经有数据丢失。可分为两种可能：
 - 当 RXNEFLG=1 时，上一个有效数据还在 USART_DR 寄存器上，可以进行读操作
 - 当 RXNEFLG=0 时，USART_DR 寄存器中没有有效数据
- 对 USART_SR 和 USART_DR 寄存器依次进行读操作，可以复位 OREFLG 位

16.5.4.6 噪音错误

当接收器在接收过程中检测到噪音时：

- 在 USART_SR 寄存器的 RXNEFLG 位的上升沿设置 NEFLG 标志
- 无效数据从移位寄存器发送到 USART_DR 寄存器
- 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CR3 寄存器的 EIEN 位就会产生一个中断

16.5.4.7 帧错误

若因为噪音过大或没有同步而没有在预计的接收时间接收和识别到停止位，会检测到帧错误。

当接收器在接收过程中检测到帧错误时：

- 置位 USART_SR 寄存器的 FEFLG 位
- 无效数据从移位寄存器发送到 USART_DR 寄存器
- 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CR3 寄存器的 EIEN 位就会产生一个中断

16.5.5 TX 和 RX 互换引脚

可以通过配置 USART_CR1 的 SWAPEN 使能交换 TX/RX 引脚功能，使能之后 TX 和 RX 引脚功能互换

16.5.6 波特率发生器

接收器和发送器的波特率在 USARTDIV 的整数和小数寄存器中的值应设置成相同。

$$TX/RX \text{ baud} = \frac{f_{CK}}{8 \times (2 - OSMCFG) \times USARTDIV}$$

这里的 f_{CK} 是给外设的时钟。在写入 USART_BRR 之后，波特率计数器会被波特率寄存器的新值替换。因此，不能在通信进行中改变波特率寄存器的数值。必须在时钟控制单元使能系统时钟之后再使能 USART。

表格 48 波特率误差计算（USART_PCLK = 64MHz）

波特率 (bps)	实际值	BRR (十进制)	误差率
2400	2399.97	26667	0.0012%
9600	9599.52	6667	0.005%
19200	19201.92	3333	0.01%

波特率 (bps)	实际值	BRR (十进制)	误差率
57600	57605.76	1111	0.01%
115200	115107.9	556	0.08%
230400	230215.83	278	0.08%
460800	457142.86	139	0.08%
921600	927536	69	0.6%
2250000	2285714.3	28	1.6%

注意：当芯片工作电压低于 2V 时，HSI 作为系统时钟会有 10% 的偏差，导致 USART 通信可能出错。

16.5.7 波特率自动检测

在接收到一个字符时，USART 能够检测和自动设置 USART_BRR 寄存器的值。波特率自动检测作用于在不知道系统的通信速度时、或在使用低精度时钟源时，不测量时钟偏差获取正确的比特率时。时钟源必须与预期的通信速度兼容。

必须写入一个非零波特率来初始化，确认字符内容，再打开波特率自动检测。字符内容可以为 0x55 或 0x155。首先检测起始位波特率，然后检测第 0 位数据末尾的波特率，最后检测第 6 位数据末尾的波特率，采样分别在第 0 位，第 1 位到第 6 位和第 6 位。自动波特率检测过程中会对接收的字符帧进行检查，如果最终检查结果非预期 0x55 的值，则产生自动波特率检测错误；同时，如果更新的波特率值不在 16~65535（16 倍过采样时）之间，也不在 8 个和 65536 个时钟周期（8 倍过采样时）之间）内，也会产生自动波特率检测错误。

USART_CR2 寄存器中的 ABEN 位决定是否打开波特率自动检测。打开波特率自动检测后等待 RX 线上的第一个字符。检测结束后，USART_SR 寄存器中的 ABCFLG 标志位被置位。

注意：

- (1) 如果线路噪音过大，则无法保证正确的波特率，在这种情况下，BR 值可能被损坏，ABERRFLG 标志位被置位。如果通信速度与波特率自动检测不兼容，也会发生这种情况。
- (2) 检测结束后会产生 RXNEFLG 中断。
- (3) 在任何时候，波特率自动检测都可能通过重置 ABCFLG 标志（写一个 0）重启。
- (4) 不能在波特率自动检测时禁用 USART，否则可能损坏 BR 的值。

16.5.8 多处理器通信（仅 USART 支持）

在多处理器通信中，多个 USART 连接组成一个网络。在该网络中，两个设备进行通信，其余不参与通信的设备，为减轻 USART 的负担，可启用静默模式。在静默模式中，USART_CR2 寄存器的 LINEN 位、USART_CR3 寄存器的 HDSEL 位清 0，且不会设置任何接收状态位，禁止所有接收中断。

当启用静默模式后，有两种方法可退出静默模式：

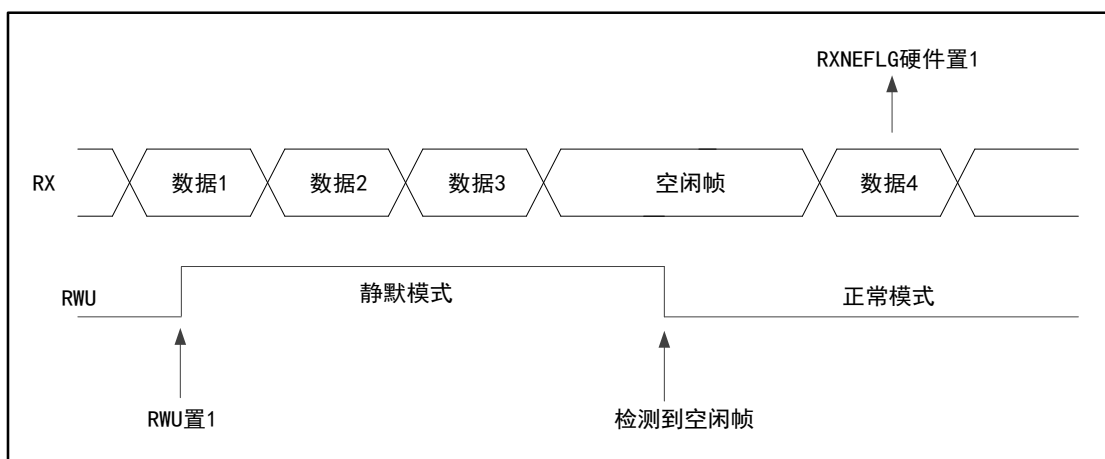
- (1) WKSEL 位被清除，总线空闲可退出静默模式。

(2) WKSEL 位被置位，收到地址标记可退出静默模式。

空闲总线检测 (WKSEL=0)

当 RWU 置 1 时，USART 则进入静默模式，当检测到空闲帧时，能从静默模式中被唤醒，同时 RWU 位被硬件清 0。RWU 还可以通过软件清 0。

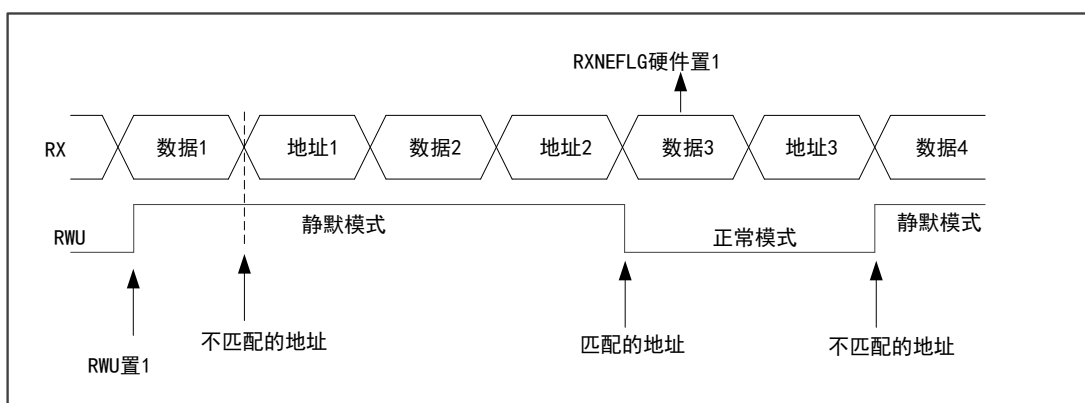
图 73 空闲总线退出静默模式



地址标记检测 (WKSEL=1)

如果地址标志位为 1，该字节被认为是地址。地址字节低 4 位存放地址，当接收器收到地址字节时，会先与自己的地址作比较。若地址不匹配，则进入静默模式，若地址匹配，则接收器从静默模式中被唤醒，并准备接收下一个字节。若退出静默模式后再次收到地址字节，但地址与自己的地址不匹配，则接收器会再次进入静默模式。

图 74 地址标记退出静默模式



16.5.9 同步模式 (仅 USART 支持)

同步模式支持主模式下的全双工同步串行通信，比异步模式多了一个可以输出同步时钟的信号线 USART_CK。

USART_CR2 寄存器的 CLKEN 位决定是否进入同步模式。

当 USART 进入同步模式时：

- USART_CR2 寄存器的 LINEN 位，USART_CR3 寄存器的 HDSEL 位必须清 0
- 数据帧的起始位和停止位无时钟输出
- 数据帧的最后一个数据位是否产生 USART_CK 时钟，由寄存器 USART_CR2 的 LBCL 位决定
- USART_CK 的时钟极性由 USART_CR2 寄存器的 CPOL 位决定
- USART_CK 的相位由 USART_CR2 寄存器的 CPHA 位决定
- 总线空闲或出现断开帧时不能激活外部 CK 时钟

图 75 USART 同步传输的例子

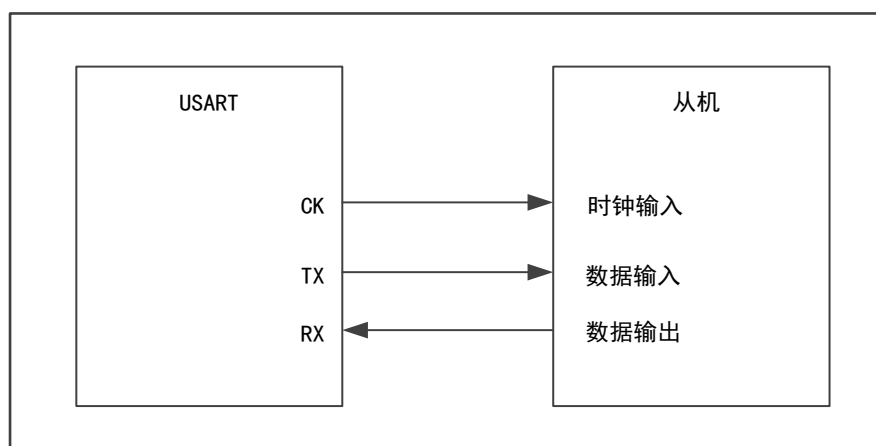


图 76 USART 同步传输时序图 (M=10)

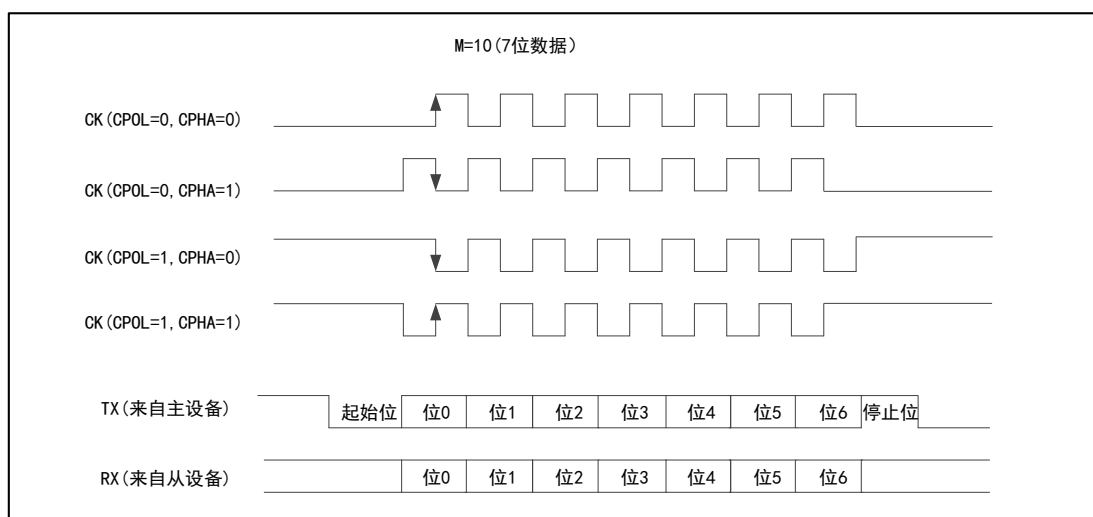


图 77 USART 同步传输时序图 (M=00)

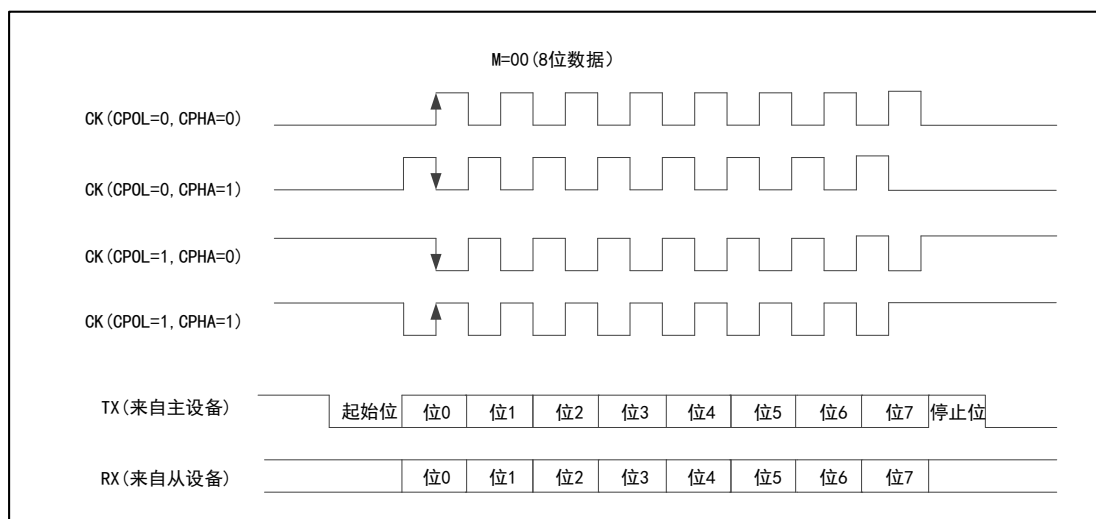
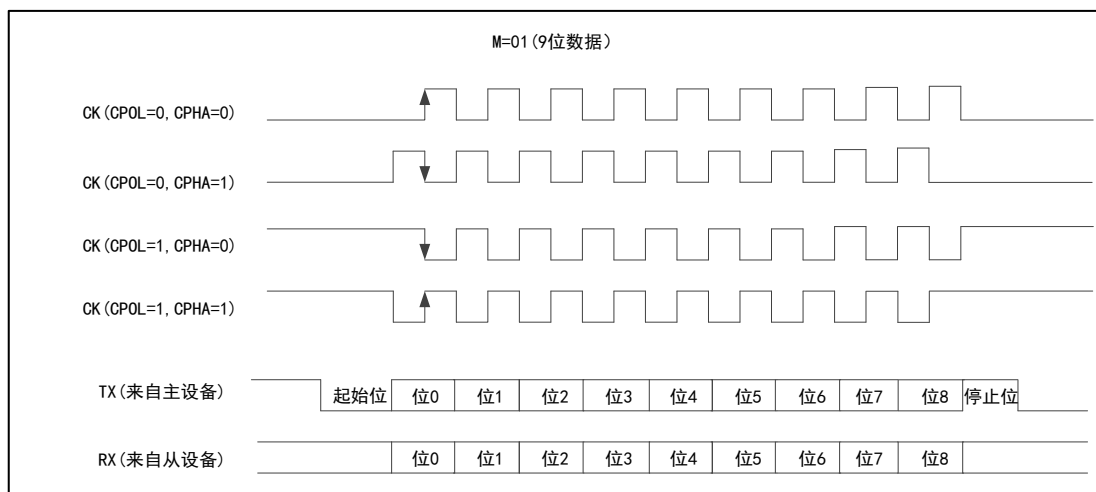


图 78 USART 同步传输时序图 (M=01)



16.5.10 LIN 模式

USART_CR2 寄存器的 LINEN 位决定是否进入 LIN 模式。

当进入 LIN 模式时：

- 数据帧都为 8 位数据位和 1 位停止位
- USART_CR1 寄存器的 OSMCFG 位，USART_CR2 寄存器的 CLKEN 位，USART_CR3 寄存器的 HDSEL 位、STOP 位都需要清 0

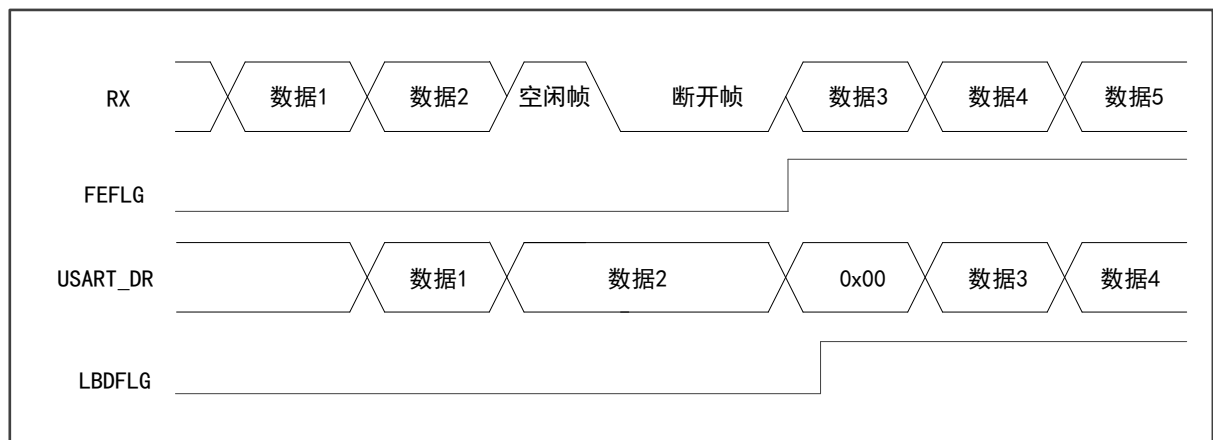
USART 在 LIN 主模式下能生成断开帧，断开帧检测长度可通过 USART_CR2 的 LBDL 位设置为 10 位、11 位。断开帧检测电路独立于 USART 接收器，无论是空闲状态，还是数据传输状态，RX 脚都会检测到断开帧，且 USART_SR 寄存器的 LBDIFLG 位置 1，若此时使能 USART_CR2 的 LBDIEN 位，则会产生中断。

空闲状态检测断开帧

在空闲状态下，若 RX 脚上检测到断开帧，接收器会接收到一个为 0 的数据帧并

会产生 FEFLG 错误。

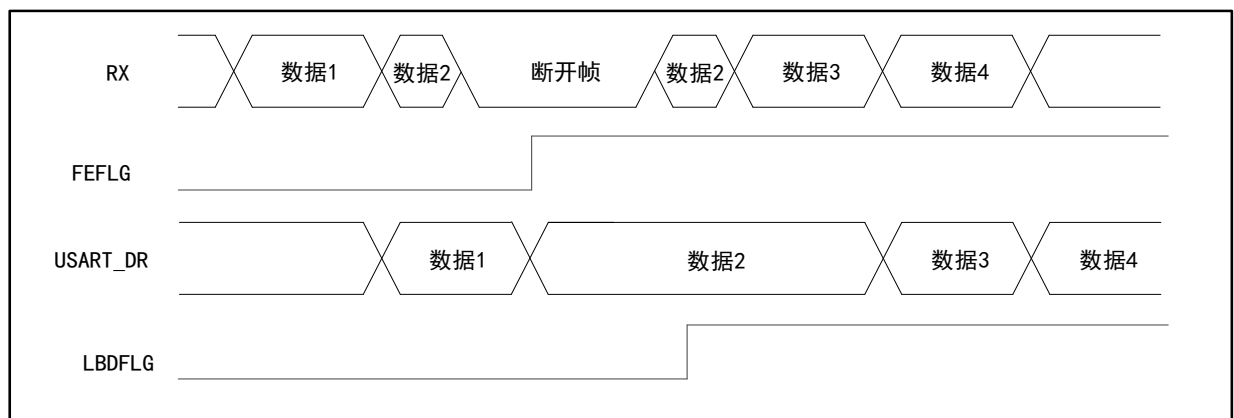
图 79 空闲状态检测断开帧



数据传输状态检测断开帧

在数据传输的过程中，若 RX 脚检测到断开帧，则当前传输的数据帧会产生 FEFLG 错误。

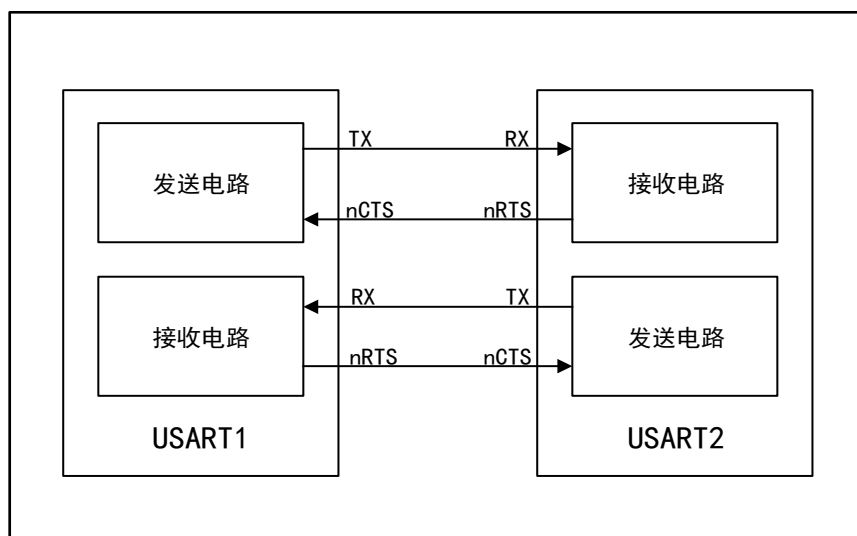
图 80 数据传输状态检测断开帧



16.5.11 硬件流控制和 RS485 驱动使能（仅 USART 支持）

硬件流控制功能是通过 nCTS 引脚和 nRTS 引脚来控制两个设备间的串行数据流。

图 81 两个 USART 之间的硬件流控制



CTS 流控制

USART_CR3 寄存器的 CTSEN 位决定是否使能 CTS 流控制，若使能 CTS 流控制，发送器会检测 nCTS 引脚的数据帧是否可以被发送。若 USART_SR 寄存器的 TXEFLG 位=0 且 nCTS 被拉成低电平，则数据帧可以被发送。若 nCTS 在传输期间变为高电平，那么在当前的数据帧发送完成后，发送器将停止发送。

RTS 流控制

USART_CR3 寄存器的 RTSEN 位决定是否使能 RTS 流控制，若使能 RTS 流控制，当接收器接收数据时，nRTS 被拉成低电平，当一个数据帧接收完成时，nRTS 变为高电平以通知发送器停止发送数据帧。

RS485 驱动使能

USART_CR3 寄存器的 DEMEN 位决定是否打开驱动使能功能，这个功能能够允许 DE 信号打开外部收发器的控制端。

提前时间：驱动使能信号和第一个字节的起始位之间的时间间隔。由 USART_CR1 寄存器的 DEAT[4:0]控制。

滞后时间：最后一个字节的停止位和释放 DE 信号之间的时间间隔。由 USART_CR1 寄存器的 DEDT[4:0]控制。

16.5.12 DMA 多缓冲器通信

为了减轻处理器的负担，USART 可以用 DMA 方式访问数据缓冲区。

使用 DMA 方式发送

USART_CR3 寄存器上的 DMAT 位决定是否使用 DMA 方式发送。当用 DMA 发送时，在指定的 SRAM 区的数据会被 DMA 传输到发送缓冲区。

用 DMA 方式发送的配置步骤:

- (1) 清零 USART_SR 寄存器的 TCFLG 标志位
- (2) 把存放数据的 SRAM 存储器的地址设置为 DMA 源地址
- (3) 把 USART_DR 寄存器的地址设置为 DMA 目的地址
- (4) 设置要传输的数据字节数
- (5) 设置通道优先级
- (6) 设置中断使能
- (7) 使能 DMA 通道
- (8) 等待 USART_SR 寄存器的 TCFLG 位置 1, 表示发送完成

使用 DMA 方式接收

USART_CR3 寄存器的 DMAR 位决定是否使用 DMA 方式接收, 当用 DMA 接收时, 每收到一个字节, 接收缓冲区的数据会被 DMA 传输到指定的 SRAM 区。

用 DMA 方式接收的配置步骤:

- (1) 把 USART_DR 寄存器的地址设置为 DMA 源地址
- (2) 把存放数据的 SRAM 存储器的地址设置为 DMA 目的地址
- (3) 设置要传输的数据字节数
- (4) 设置通道优先级
- (5) 设置中断使能
- (6) 使能 DMA 通道

16.5.13 ModBus 通信 (仅 USART 支持)

USART 支持对 ModBus/RTU 和 ModBus/ASCII 协议, ModBus/RTU 是一个半双工的块式传输协议。在软件中才能实现协议的控制部分。USART 支持结束块检测, 不需要软件或其他条件。

16.5.13.1 ModBus/RTU

这个功能通过可编程的超时功能来实现。在这个模式下, 一个块的结束被视为一个超过 2 个字符长度的空闲线。USART_CR1 寄存器的 RXTOIEN 位和 RXTODEN 位控制超时功能和相应的中断。往 USART_RXTOR 寄存器中写入一个超时数字, 当接收线空闲状态达到这个长度时产生一个中断, 表示块接收完毕。

16.5.13.2 Modbus/ASCII

在这个模式下, 一个块的结束由一个特定的(CR/LF)字符序列识别。USART 使用字符匹配函数来管理这个机制。通过在 ADDR[7:0]字段中编程 LF 的 ASCII 码并

激活该字符匹配中断(CMIEN=1)。那么当收到一个 LF 字符时，软件会被告知检查 DMA 缓冲区中的 CR/LF。

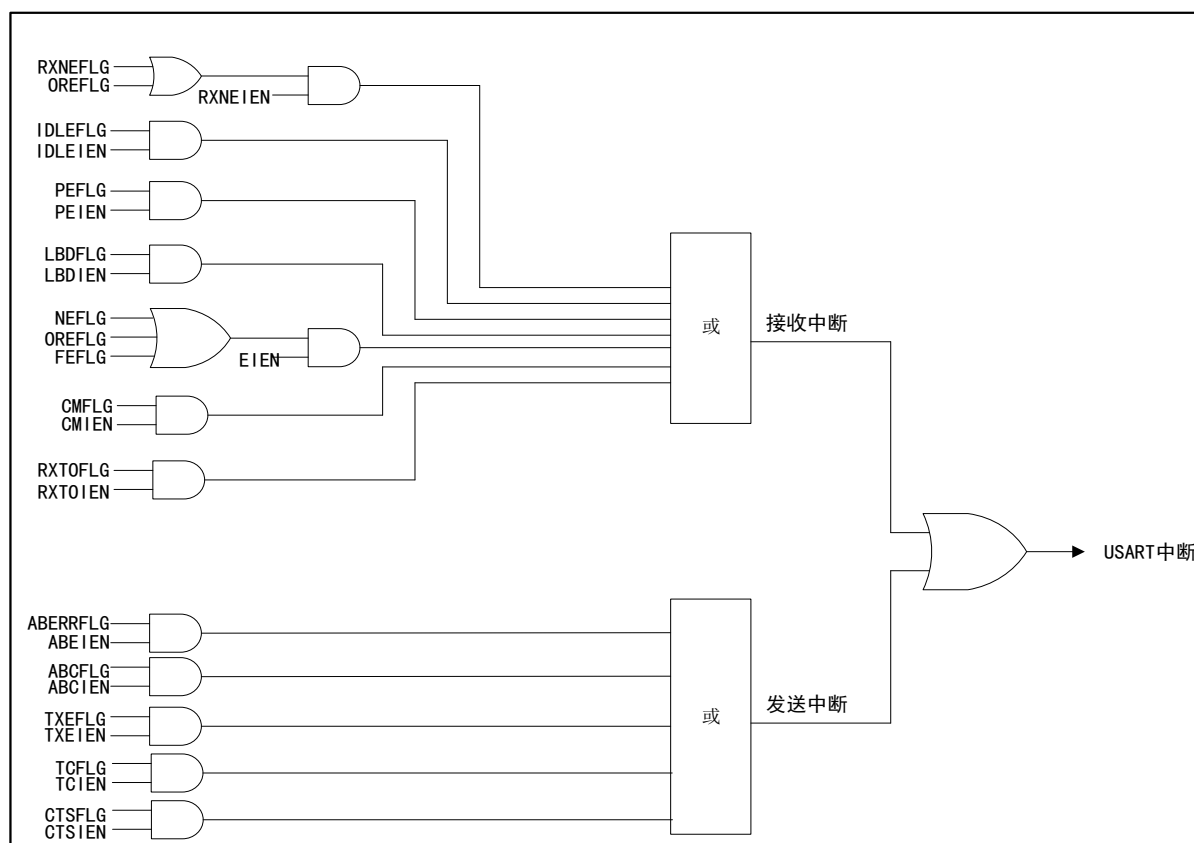
16.5.14 中断请求

表格 49 USART 中断请求

中断事件		事件标志位	使能位
接收寄存器不为空		RXNEFLG	RXNEIEN
过载错误		OREFLG	
检测到线路空闲		IDLEFLG	IDLEIEN
奇偶检验错误		PEFLG	PEIEN
LIN 断开错误		LBDFLG	LBDIEN
DMA 模式下的接收错误	噪音错误	NEFLG	EIEN
	溢出错误	OREFLG	
	帧错误	FEFLG	
匹配字符		CMFLG	CMIEN
未按时接收错误		RXTOFLG	RXTOIEN
数据发送寄存器空		TXEFLG	TXEIEN
发送完成		TCFLG	TCIEN
自动波特率错误标志		ABERRFLG	ABEIEN
自动波特率完成标志		ABCFLG	ABCIEN
CTS 标志		CTSFLG	CTSIEN

USART 的中断请求都连接在同一个中断控制器上，中断请求在发送到中断控制器之前都是逻辑或关系。

图 82 USART 中断映射



16.5.15 USART 与 UART 支持功能对比

表格 50 USART 与 UART 支持功能对比

USART 模式	USART	UART
半双工（单线模式）	√	√
支持波特率自动检测的模式	√	√
多处理器通信	√	-
从静默模式唤醒	√	-
16 倍过采样下的最大波特率（Mbit/s）	4	4
8 倍过采样下的最大波特率（Mbit/s）	8	-
同步模式	√	-
LIN 模式	√	√
硬件流控制	√	-
RS485 驱动使能	√	-
多缓冲器通信（DMA）	√	√
接收超时中断	√	√
ModBus 通信	√	-

注意:

(1) “√”表示支持该功能,“—”表示不支持该功能。

16.6 寄存器地址映射

表格 51 USART 寄存器地址映射

寄存器名	描述	偏移地址
USART_SR	状态寄存器	0x00
USART_DR	数据寄存器	0x04
USART_BRR	波特率寄存器	0x08
USART_CR1	控制寄存器 1	0x0C
USART_CR2	控制寄存器 2	0x10
USART_CR3	控制寄存器 3	0x14
USART_RXTOR	接收超时寄存器	0x1C

16.7 寄存器功能描述

16.7.1 状态寄存器 (USART_SR)

偏移地址: 0x00

复位值: 0x0000 00C0

位/域	名称	R/W	描述
31:14	保留		
13	CMFLG	R	字符匹配标志 (Character Match Flag) 0: 无字符匹配 1: 有字符匹配 当接收到的字符和 ADDR[7:0]设置的值匹配时, 由硬件置 1。由软件清 0, 向该位写 0 可以清除这个标志。 如果 USART_CR1 寄存器中的 CMIEN 位置 1, 就会产生中断请求。 注: 此位仅适用于 USART 模块。
12	ABERRFLG	RC_W0C	自动波特率检测错误标志 (Auto Baud Rate Detection Error Flag) 0: 自动波特率检测未错误 1: 自动波特率检测错误 (波特率超出 16~65535 范围或接收数据错误) 由硬件置 1; 由软件清 0 (向该位写 0)。
11	ABCFLG	RC_W0C	自动波特率检测标志 (Auto Baud Rate Detection Flag) 0: 自动波特率检测未完成 1: 自动波特率检测已完成 由硬件置 1; 由软件清 0 (向该位写 0)。
10	RXTOFLG	RC_W0C	接收超时标志 (Receiver Timeout Flag) 0: 未超时

位/域	名称	R/W	描述
			1: 已超时 若在 RXTO 位设置的时长内没有检测到起始位, 由硬件置 1; 由软件清 0 (向该位写 0)。
9	CTSFLG	RC_W0C	CTS 变化标志 (CTS Change Flag) 0: nCTS 状态线上没有变化 1: nCTS 状态线上发生变化 若 CTSEN 位置位, 当 nCTS 输入切换时, 由硬件置 1。由软件将其清零。如果 USART_CR3 中的 CTSIEN 为'1', 则产生中断。 注: 此位仅适用于 USART 模块。
8	LBDFLG	RC_W0C	检测到 LIN 断开标志 (LIN Break Detected Flag) 0: 没有检测到 LIN 断开 1: 检测到 LIN 断开 当检测到 LIN 断开时, 由硬件置 1; 由软件清 0 (向该位写 0)。
7	TXEFLG	R	发送数据寄存器为空标志 (Transmit Data Register Empty Flag) 0: 发送数据寄存器不为空 1: 发送数据寄存器为空 当移位寄存器接收到发送数据寄存器传输的数据时, 由硬件置 1; 由软件清 0, 写 USART_DR 寄存器完成清 0。
6	TCFLG	RC_W0C	发送数据完成标志 (Transmit Data Complete Flag) 0: 发送数据未完成 1: 发送数据完成 当数据的最后一帧发送完成且 TXEFLG 置位时, 由硬件置 1; 由软件清 0, 先读取 USART_SR 寄存器、再写 USART_DR 寄存器完成清 0, 或者对该位写 0 清除。只有在多缓存通讯中才推荐这种清除程序。
5	RXNEFLG	RC_W0C	接收数据寄存器不为空标志 (Receive Data Register Not Empty Flag) 0: 接收数据寄存器为空 1: 接收数据寄存器不为空 当数据寄存器接收到接收移位寄存器传输的数据时, 由硬件置 1; 由软件清 0, 读取 USART_DR 成清 0, 或者对该位写 0 清除。只有在多缓存通讯中才推荐这种清除程序。
4	IDLEFLG	R	检测到空闲总线标志 (IDLE Line Detected Flag) 0: 未检测到空闲总线 1: 检测到空闲总线 当检测到空闲总线时, 由硬件置 1; 先读取 USART_SR 寄存器, 再读 USART_DR 寄存器完成清 0。此位在 RXNEFLG 被置位前不会再次被置高。
3	OREFLG	R	发生溢出错误标志 (Overrun Error Occur Flag) 0: 无溢出错误 1: 检测到溢出错误 当 RXNEFLG 位被置位, 且移位寄存器中的数据要传输到接收寄存器时, 由硬件置 1; 先读取 USART_SR 寄存器, 再读 USART_DR 寄存器完成清 0。
2	NEFLG	R	发生噪音错误标志 (Noise Error Occur Flag)

位/域	名称	R/W	描述
			0: 无噪音 1: 检测到噪音 当出现噪音错误时, 由硬件置 1; 先读取 USART_SR 寄存器, 再读 USART_DR 寄存器完成清 0。 该位不会产生中断, 因为它和 RXNEFLG 一起出现, 硬件会在设置 RXNEFLG 标志时产生中断。 在多缓冲区通信模式下, 如果设置了 EIEN 位, 则设置 NEFLG 标志时会产生中断。
1	FEFLG	R	发生帧错误标志 (Frame Error Occur Flag) 0: 无帧错误 1: 检测到帧错误或断开符 当出现同步错位、过多噪音或断开符时, 由硬件置 1; 先读取 USART_SR 寄存器, 再读 USART_DR 寄存器完成清 0。 该位不会产生中断, 因为它和 RXNEFLG 一起出现, 硬件会在设置 RXNEFLG 标志时产生中断。 如果当前传输的数据既产生了帧错误, 又产生了过载错误, 硬件还是会继续该数据的传输, 并且只设置 OREFLG 标志位。 在多缓冲区通信模式下, 如果设置了 EIEN 位, 则设置 FEFLG 标志时会产生中断。
0	PEFLG	R	发生校验错误标志 (Parity Error Occur Flag) 0: 无错误 1: 检测到校验错误 在接收模式中, 当出现奇偶校验错误时, 由硬件置 1; 先读取 USART_SR 寄存器, 再读 USART_DR 寄存器完成清 0。软件必须等待 RXNEFLG 标志位被置 1 才能清除 PEFLG。

16.7.2 数据寄存器 (USART_DR)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:9			保留
8:0	DATA	R/W	设置数据值 (Data Value Setup) 发送数据值或接收数据值; 接收数据时从中读取, 发送数据时向该寄存器写入数据。 如果使能了奇偶校验位, 如果是 9 个数据位, 则 DATA 的第 8 位是校验位; 如果是 8 个数据位, 则 DATA 的第 7 位是奇偶校验位。 注: 该寄存器仅支持 32 位访问。

16.7.3 波特率寄存器 (USART_BRR)

只有在未使能 USART 时才能设置此寄存器。在自动波特率检测时, 可能会被硬件置位。

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:4	IBR	R/W	USART 波特率分频系数的整数部分 (Integer of USART Baud Rate Divider factor)

位/域	名称	R/W	描述
			USART 波特率分频系数的整数部分由这 12 位决定。如果 TEN 或 REN 被分别禁止，波特计数器停止计数。
3:0	FBR	R/W	USART 波特率分频系数的小数部分（Fraction of USART Baud Rate Divider factor） USART 波特率分频系数的小数部分由这 4 位决定。如果 TEN 或 REN 被分别禁止，波特计数器停止计数。

16.7.4 控制寄存器 1（USART_CR1）

偏移地址：0x0C

复位值：0x0000 0000

适用于 USART：

位/域	名称	R/W	描述
31:30	保留		
29	CMEN	R/W	使能字符匹配中断（Character Match Interrupt Enable） 0：禁止 1：当 CMFLG 置位时产生中断 由软件置 1 或清 0。
28	SWAPEN	R/W	使能交换 TX/RX 引脚功能（Swap TX/RX Pins Function Enable） 0：按标准分配使用 1：TX 和 RX 的引脚功能交换使用 由软件置位或清 0。 只有在未使能 USART 时才能置位此位。
27	RXTOKEN	R/W	使能接收超时中断（Receiver Timeout Interrupt Enable） 0：禁止 1：当 RXTOFLG 置位时产生中断 由软件置位或清 0。
26	RXTODEN	R/W	使能接收超时检测功能（Receive Timeout Detection Function Enable） 0：禁止 1：使能 由软件置位或清 0。 置位此位，当 RX 线检测到空闲达到 RXTO 寄存器配置的时间长度后，RXTOFLG 位被硬件置位。
25:21	DEAT[4:0]	R/W	使能驱动程序提前时间（Driver Lead Time Enable） 此位域是传输时 DE 信号和第一个起始位的时间间隔。它的单位是采样时间，由过采样率决定。 只有在未使能 USART 时才能设置此位域。
20:16	DEDT[4:0]	R/W	使能驱动程序滞后时间（Driver De-lead Time Enable） 此位域是传输时最后一个停止位和 DE 信号之间的时间间隔。它的单位是采样时间，由过采样率决定。 只有在未使能 USART 时才能设置此位域。
15	OSMCFG	R/W	配置过采样模式（Oversampling Mode Configure） 0：16 倍过采样 1：8 倍过采样 只有在未使能 USART 时才能置位此位。在 LIN 模式下，该位必须保持清零。

位/域	名称	R/W	描述
14	UEN	R/W	使能 USART (USART Enable) 0: 禁用 USART 分频器和输出 1: 使能 USART 模块 当该位被清零, 在当前字节传输完成后 USART 的分频器和输出停止工作, 以减少功耗。该位由软件设置和清零。
13:12	M	R/W	配置数据位长度 (Data Bits Length Configure) M[1:0]=00: 1 个起始位, 8 个数据位, n 个停止位 M[1:0]=01: 1 个起始位, 9 个数据位, n 个停止位 M[1:0]=10: 1 个起始位, 7 个数据位, n 个停止位 M[1:0]=11: 无效操作 传输数据时不能修改此位。
11	WKSEL	R/W	配置唤醒方式 (Wakeup Method Configure) 0: 空闲总线唤醒 1: 地址标记唤醒 由软件置 1 或清 0。 只有在未使能 USART 时才能置位此位。
10	PCEN	R/W	使能检验控制 (Parity Control Enable) 0: 禁止 1: 使能 若置位此位, 发送数据时在最高位插入一个校验位; 接收数据时, 检查接收的数据的校验位是否正确。 需要等当前正在传输的字节完成后, 校验控制才会生效。
9	PSEL	R/W	选择奇偶校验位 (Odd/Even Parity Selection) 0: 偶校验 1: 奇校验 需要等当前正在传输的字节完成后, 选择才会生效。
8	PEIEN	R/W	使能校验错误中断 (Parity Error Interrupt Enable) 0: 禁止产生中断 1: 当 PEFLG 置位时, 产生中断
7	TXEIEEN	R/W	使能发送寄存器空中断 (Transmit register Empty Interrupt Enable) 0: 禁止产生中断 1: 当 TXEFLG 置位时, 产生中断
6	TCIEN	R/W	使能发送完成中断 (Transmit Complete Interrupt Enable) 0: 禁止 1: 当 TCFLG 置位时, 产生中断
5	RXNEIEN	R/W	使能接收寄存器非空中断 (Receive register Not Empty Interrupt Enable) 0: 禁止 1: 当 OREFLG 或 RXNEFLG 置位时, 产生中断
4	IDLEIEN	R/W	使能 IDLE 中断 (IDLE Interrupt Enable) 0: 禁止 1: 当 IDLEFLG 置位时, 产生中断

位/域	名称	R/W	描述
3	TEN	R/W	使能发送 (Transmit Enable) 0: 禁止 1: 使能 任何时候发送数据时, 如果此位上有个 0 脉冲, 那么在当前数据发送完成后, 会发送一个空闲总线。 置位此位后, 会延迟一个比特时间发送。
2	REN	R/W	使能接收 (Receive Enable) 0: 禁止 1: 使能, 并开始检测 RX 引脚上的起始位
1	RWU	R/W	使能接收静默模式 (Receive Mute Mode Enable) 0: 正常工作模式 1: 可以在正常模式和静默模式间切换 由软件置 1 或清 0。
0	SBK	R/W	发送断开帧 (Transmit Break Frame) 0: 未发送 1: 将要发送 此位可由软件置位, 在发送断开帧的停止位时, 由硬件将其清 0。

适用于 UART:

位/域	名称	R/W	描述
31:29	保留		
28	SWAPEN	R/W	使能交换 TX/RX 引脚功能 (Swap TX/RX Pins Function Enable) 0: 按标准分配使用 1: TX 和 RX 的引脚功能交换使用 由软件置位或清 0。 只有在未使能 USART 时才能置位此位。
27	RXTIEN	R/W	使能接收超时中断 (Receiver Timeout Interrupt Enable) 0: 禁止 1: 当 RXTOFLG 置位时产生中断 由软件置位或清 0。
26	RXTODEN	R/W	使能接收超时检测功能 (Receive Timeout Detection Function Enable) 0: 禁止 1: 使能 由软件置位或清 0。 置位此位, 当 RX 线检测到空闲达到 RXTO 寄存器配置的时间长度后, RXTOFLG 位被硬件置位。
25:14	保留		
13	UEN	R/W	使能 UART (UART Enable) 0: 禁用 UART 分频器和输出 1: 使能 UART 模块 当该位被清零, 在当前字节传输完成后 UART 的分频器和输出停止工作, 以减少功耗。该位由软件设置和清零。
12	M	R/W	配置数据位长度 (Data Bits Length Configure) 0: 1 个起始位, 8 个数据位, n 个停止位 1: 1 个起始位, 9 个数据位, n 个停止位 传输数据时不能修改此位。

位/域	名称	R/W	描述
11	保留		
10	PCEN	R/W	使能检验控制（Parity Control Enable） 0：禁止 1：使能 若置位此位，发送数据时在最高位插入一个校验位；接收数据时，检查接收的数据的校验位是否正确。 需要等当前正在传输的字节完成后，校验控制才会生效。
9	PSEL	R/W	选择奇偶校验位（Odd/Even Parity Selection） 0：偶校验 1：奇校验 需要等当前正在传输的字节完成后，选择才会生效。
8	PEIEN	R/W	使能校验错误中断（Parity Error Interrupt Enable） 0：禁止产生中断 1：当 PEFLG 置位时，产生中断
7	TXEIEEN	R/W	使能发送寄存器空中断（Transmit register Empty Interrupt Enable） 0：禁止产生中断 1：当 TXEFLG 置位时，产生中断
6	TCIEN	R/W	使能发送完成中断（Transmit Complete Interrupt Enable） 0：禁止 1：当 TCFLG 置位时，产生中断
5	RXNEIEN	R/W	使能接收寄存器非空中断（Receive register Not Empty Interrupt Enable） 0：禁止 1：当 OREFLG 或 RXNEFLG 置位时，产生中断
4	IDLEIEN	R/W	使能 IDLE 中断（IDLE Interrupt Enable） 0：禁止 1：当 IDLEFLG 置位时，产生中断
3	TEN	R/W	使能发送（Transmit Enable） 0：禁止 1：使能 任何时候发送数据时，如果此位上有个 0 脉冲，那么在当前数据发送完成后，会发送一个空闲总线。 置位此位后，会延迟一个比特时间发送。
2	REN	R/W	使能接收（Receive Enable） 0：禁止 1：使能，并开始检测 RX 引脚上的起始位
1	保留		
0	SBK	R/W	发送断开帧（Transmit Break Frame） 0：未发送 1：将要发送 此位可由软件置位，在发送断开帧的停止位时，由硬件将其清 0。

16.7.5 控制寄存器 2（USART_CR2）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:24	ADDR	R/W	设置 USART 设备节点地址（USART Device Node Address High Setup） 这些位用于指定静默模式下 USART 节点的地址或运行模式下要识别的字符代码。 在静默模式下：它们用于在多处理器通信时通过 4 位/7 位地址标记检测从静默模式唤醒。 发送器发送字符的 MSB 应为 1。在 4 位地址标记检测中，只使用 ADDR[3:0]位。 注：此位仅适用于 USART 模块。
23:19	保留		
18	ABEIE	R/W	使能自动波特率检测错误中断（Automatic baud rate detection error interrupt enable） 0：禁止 1：使能
17	ABCIEN	R/W	使能自动波特率完成中断（Automatic baud rate completion interrupt enable） 0：禁止 1：使能
16	ABEN	R/W	使能自动波特率检测（Auto Baud Rate Detection Enable） 0：禁止 1：使能 由软件置位或清 0。
15	MSBFIRST	R/W	使能最高有效位首位传输（Most Significant Bit First Enable） 0：第 0 位数据紧跟着起始位 1：最高位数据紧跟着起始位 由软件置位或清 0。 只有在未使能 USART 时才能置位此位。 注：此位仅适用于 USART 模块。
14	LINEN	R/W	使能 LIN 模式（LIN Mode Enable） 0：禁止 1：使能 该位由软件设置或清除。在 LIN 模式下，可以用 USART_CR1 寄存器中的 SBK 位发送 LIN 同步断开符（低 13 位），以及检测 LIN 同步断开符。
13	STOP	R/W	配置停止位（STOP Bit Configure） 0：1 个停止位 1：2 个停止位 注：此位仅适用于 UART 模块。
12	STOP	R/W	配置停止位（STOP Bit Configure） 0：1 个停止位 1：2 个停止位 注：此位仅适用于 USART 模块。
11	CLKEN	R/W	使能时钟（CK 引脚）（Clock Enable（CK pin）） 0：禁止 1：使能 只有在未使能 USART 时才能置位此位。

位/域	名称	R/W	描述
			注：此位仅适用于 USART 模块。
10	CPOL	R/W	配置时钟极性（Clock Polarity Configure） 当 USART 处于空闲状态时，CK 引脚的状态 0：低电平 1：高电平 此位只作用于同步模式。 只有在未使能 USART 时才能置位此位。 注：此位仅适用于 USART 模块。
9	CPHA	R/W	配置时钟相位（Clock Phase Configure） 此位表明在第几个时钟边沿进行采样 0：第一个 1：第二个 此位只作用于同步模式。 只有在未使能 USART 时才能置位此位。 注：此位仅适用于 USART 模块。
8	LBCL	R/W	使能输出最后一位时钟脉冲（Last Bit Clock Pulse Output Enable） 0：不从 CK 输出 1：从 CK 输出 此位只作用于同步模式。 只有在未使能 USART 时才能置位此位。 注：此位仅适用于 USART 模块。
7	保留		
6	LBDIEN	R/W	使能 LIN 断开符检测中断（LIN Break Detection Interrupt Enable） 0：禁止 1：当 LBDIFLG 位置位，产生中断。
5	LBDL	R/W	配置 LIN 断开符检测长度（LIN Break Detection Length Configure） 该位用来选择是 11 位还是 10 位的断开符检测。 0：10 位 1：11 位
4	ADDRM7	R/W	配置地址长度（Slave Address Length Configure） 0：4 位地址 1：7 位地址 只有在未使能 USART 时才能设置此位域。 注：此位仅适用于 USART 模块。
3:0	保留		

16.7.6 控制寄存器 3（USART_CR3）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12	DEMEN	R/W	使能驱动器（Driver Enable） 允许用户通过 DE 信号来激活外部收发器的控制端。 0：禁止 DE 功能

位/域	名称	R/W	描述
			1: 使能 DE 功能, 在 RTS 脚输出 DE 信号 只有在未使能 USART 时才能置位此位。 注: 此位仅适用于 USART 模块。
11	ONEBIT	R/W	配置采样方法 (Sample Method Configure) 0: 三次采样 1: 单次采样, 禁止噪音检测标志 只有在未使能 USART 时才能置位此位。
10	CTSIEN	R/W	使能 CTS 中断 (CTS Interrupt Enable) 0: 禁止 1: 当 CTS 置位时产生中断 注: 此位仅适用于 USART 模块。
9	CTSEN	R/W	使能 CTS 功能 (CTS Function Enable) 0: 禁止 1: 使能 CTS: Clear To Send 发送清除, 为输入信号 当 CTS 输入信号为低电平时, 才能发送数据, 否则无法发送数据; 若在传输数据时, CTS 信号被拉高, 那么当这个数据发送完成后, 将停止数据传输; 如果在 CTS 为高电平时对数据寄存器进行写操作, 则要等 CTS 有效时才会将这个数据发送出去。 只有在未使能 USART 时才能置位此位。 注: 此位仅适用于 USART 模块。
8	RTSEN	R/W	使能 RTS 功能 (RTS Function Enable) 0: 禁止 1: 使能 RTS 中断 RTS: Require To Send 发送请求, 为输出信号, 说明已准备好接收。当接收缓冲区有空间时才请求接收数据; 当可以接收数据时, RTS 输出被拉至低电平。 只有在未使能 USART 时才能置位此位。 注: 此位仅适用于 USART 模块。
7	DMAT	R/W	使能 DMA 发送 (DMA Transmit Enable) 0: 禁止 1: 使能 该位由软件设置或清除。
6	DMAR	R/W	使能 DMA 接收 (DMA Receive Enable) 0: 禁止 1: 使能 该位由软件设置或清除。
5:4	保留		
3	HDSEL	R/W	选择半双工模式 (Half-duplex Mode Select) 0: 不选择半双工模式 1: 选择半双工模式
2:1	保留		
0	EIEN	R/W	使能错误中断 (Error Interrupt Enable) 0: 禁止 1: 使能, 当 DMAR 置位并且 FEFLG、OREFLG 或 NEFLG 其中一个置位时, 产生中断。

16.7.7 接收超时寄存器 (USART_RXTOR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:24			保留
23:0	RXTO	R/W	设置接收超时值 (Receiver Timeout Value Setup) 此位域规定了以波特时钟为单位的接收超时值。 在标准模式下, 接收到最后一个字节后, 若在 RXTO 值的时长内没有检测到新的起始位时, RXTOFLG 被硬件置位。

17 内部集成电路接口（I2C）

17.1 术语全称、缩写描述

表格 52 术语全称、缩写描述

中文全称	英文全称	英文缩写
串行数据线	Serial Data	SDA
串行时钟线	Serial Clock	SCL
系统管理总线	System Management Bus	SMBus
时钟	Clock	CLK
高速串行时钟	Serial Clock High	SCLH
低速串行时钟	Serial Clock Low	SCLL
地址解析协议	Address Resolution Protocol	ARP
否认应答	Negative Acknowledgement	NACK
数据包出错检测	Packet Error Checking	PEC
地址分辨协议	Address Resolution Protocol	ARP

17.2 简介

I2C 是一种短距离总线通信协议，物理实现上，I2C 总线由两根信号线（SDA 与 SCL）和一个地线组成，两根信号线为双向发送的。

- 两根信号线，SCL 时钟线、SDA 数据线。由 SCL 为 SDA 提供时序，SDA 串行发送/接收数据
- SCL、SDA 这两根信号线均为双向
- 两个系统使用 I2C 总线通信时共地

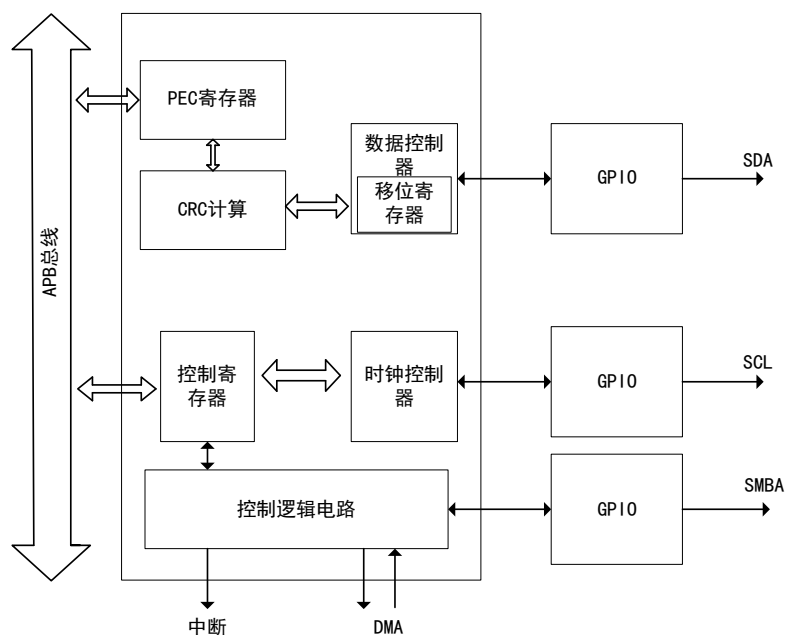
17.3 主要特征

- （1）多主机功能
- （2）主机可产生时钟、起始位和停止位
- （3）从机功能
 - 可编程的 I2C 地址检测
 - 双地址模式
 - 检测停止位
- （4）7 位和 10 位寻址模式
- （5）响应广播
- （6）三种通信速度

- 标准模式
 - 快速模式
 - 超快速模式
- (7) 可编程的时钟延长
- (8) 状态标志
- 发送器/接收器模式标志
 - 字节发送结束标志
 - 总线忙标志
- (9) 错误标志
- 仲裁丢失
 - 应答错误
 - 检测到错误的起始位或停止位
 - 禁止拉长时钟功能时的上溢或下溢
- (10) 1 个中断向量
- (11) 中断源
- 地址/数据通信成功
 - 错误中断
- (12) 支持 DMA 功能
- (13) 可编程数字噪声滤波器
- (14) 可编程的 PEC
- 发送模式中最后发送
 - 接收最后一个字节后进行 PEC 错误校验
- (15) SMBus 特定功能
- 25 ms 时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 硬件 PEC
 - 地址解析协议
- (16) 兼容 PMBus

17.4 结构框图

图 83 I2C 功能结构图



接口可配置为以下模式：

- 从机发送
- 从机接收
- 主机发送
- 主机接收

当 I2C 接口初始状态下，工作模式为从机模式。当 I2C 接口发送起始信号后，将自动从从机模式转换为主机模式。

17.5 功能描述

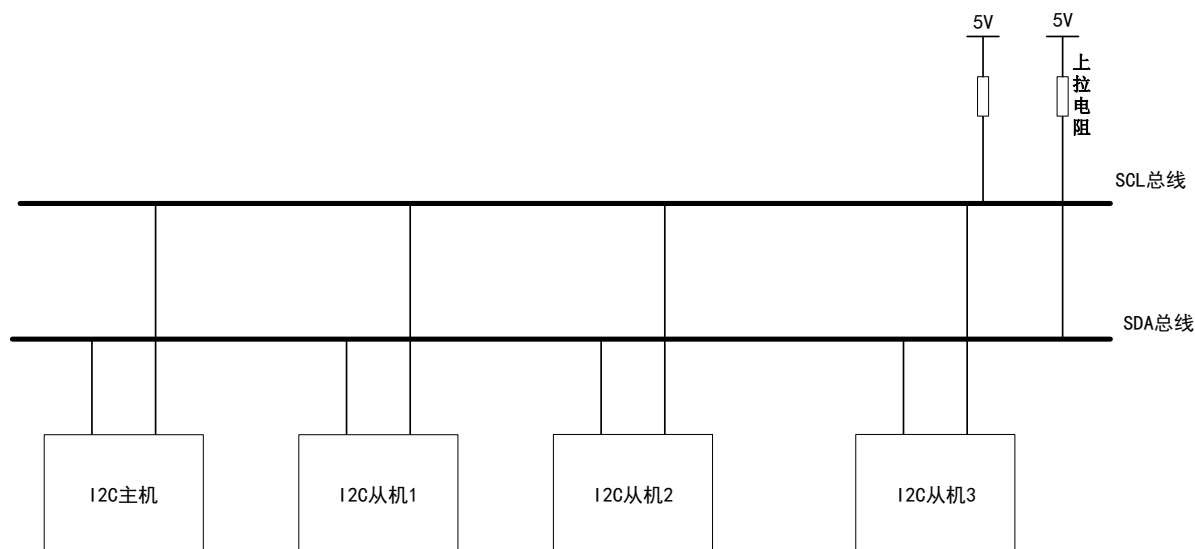
表格 53 I2C 总线专有名词说明

专有名词	说明
发送器	发送数据到总线的设备
接收器	从总线接收数据的设备
主机	初始化数据发送，产生时钟信号和结束数据发送的设备
从机	由主机寻址的设备
多主	不破坏信息的前提下同时控制总线的多个主机
同步	同步两个或更多设备之间的时钟信号的过程
仲裁	如果超过一个主机同时尝试控制总线时，只有一个主机可控制，且控制的主机信息不被破坏

17.5.1 I2C 物理层

I2C 通讯设备之间的常用连接方式如下图：

图 84 常见 I2C 通信连接图



物理层特点：

- (1) 支持多设备的总线（多个设备共用的信号线），在 I2C 通信总线中，可连接多个通信主机与通信从机。
- (2) 一个 I2C 总线只使用两条总线线路,一条双向串行数据线（SDA），一条串行时钟线（SCL）。数据线用于发送数据，时钟线用于数据收发同步。
- (3) 每一个连接在总线上的设备都具有独立的地址（七位或十位），主机根据设备地址寻址访问从设备。
- (4) 总线需要接上拉电阻到电源，I2C 总线空闲状态下，输出为高阻态，所有设备空闲时，都输出高阻态，上拉电阻把总线拉成高电平。
- (5) 三种通信模式：标准模式（高达 100KHz） 快速模式（高达 400KHz） 超快速模式（高达 1MHz）。
- (6) 多主机同时使用总线时，防止数据冲突，采取总线仲裁方式决定哪个设备占用总线。
- (7) 可编程建立和保持时间，可对 I2C 中 SCL 的高电平时间与低电平时间进行编程。

17.5.2 I2C 协议层

协议层特点

- (1) 数据以帧的形式发送，每一帧中由 1 个字节(8 位)组成。

- (2) 在 **SCL** 的上升沿阶段,**SDA** 需要保持稳定,**SDA** 在 **SCL** 为低期间作出改变。
- (3) 除了数据帧, **I2C** 总线还有起始信号,停止信号,应答信号。
- 起始位: 在 **SCL** 为稳定的高电平期间, **SDA** 的一个下降沿启动发送。
 - 停止位: 在 **SCL** 为稳定的高电平期间, **SDA** 的一个上升沿停止发送。
 - 应答位: 用于表示一个字节发送成功。总线发送器(无论主机还是从机), 在发送 8 个位的数据后, **SDA** 将释放(由输出变为输入), 在第九个时钟脉冲期间, 接收器将 **SDA** 拉低, 来应答接收到了数据。

I2C 通信读写过程

图 85 主机写数据到从机

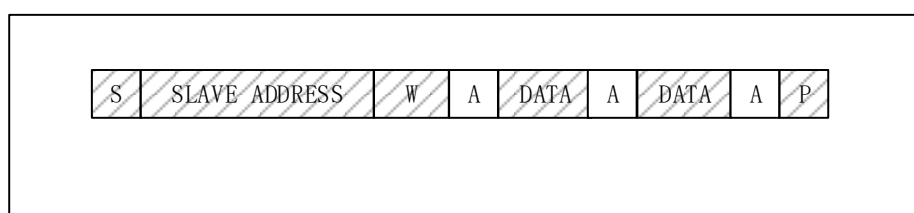
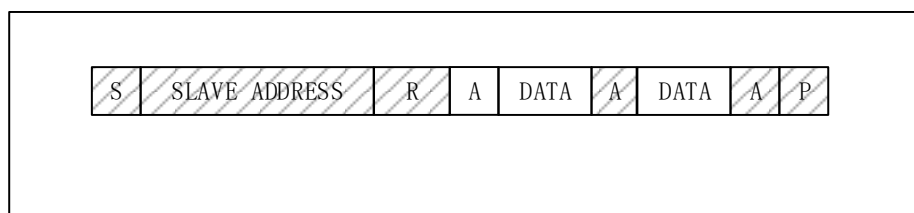


图 86 主机由从机读取数据



备注:

- (1) :此数据由主机发送到从机
- (2) **S**:起始信号
- (3) **SLAVE ADDRESS**:从机地址
- (4) :此数据由从机发送到主机
- (5) **R/W**:发送方向选择位
- (6) **1** 为读取
- (7) **0** 为写入
- (8) **P**: 停止信号

起始信号产生后, 所有从机都将等待主机发送的从机地址信号, **I2C** 总线中, 每个设备的地址都是唯一的, 当地址信号与设备地址匹配后, 从机将被选中, 没被

选中的从机将忽略以后的数据信号。

主机方向为写数据时

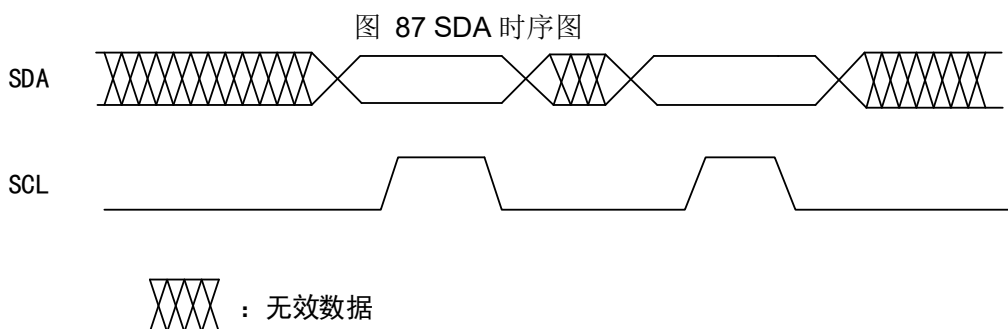
广播完地址后，接收到应答信号，主机向从机发送数据，数据长度为一个字节，主机每次发完一个字节数据后，都需等待从机发送的应答信号，当发送的所有字节完成后，主机向从机发送一个停止信号（STOP），表示为发送完成。

主机方向为读数据时

广播完地址后，接收到应答信号，从机开始向主机发送数据，数据包的大小为 8 位，从机每发送完一个字节数据，都要等待主机的应答信号，当主机想停止接收数据时，需要向从机返回一个非应答信号，则从机自动停止数据发送。

17.5.3 数据有效性

数据发送过程中，时钟信号 SCL 高电平期间，SDA 线上数据必须稳定，只有当 SCL 在低电平期间 SDA 的电平状态才能发生改变，每个数据比特发送都需要一个时钟脉冲。



17.5.4 起始和停止信号

所有数据发送都必定有起始信号（START）和停止信号（STOP）。

图 88 START 信号定义为：SCL 为高电平时，SDA 由高电平向低电平转换

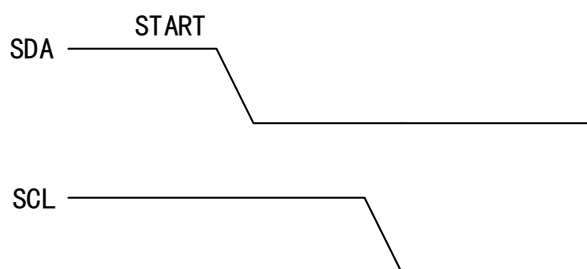
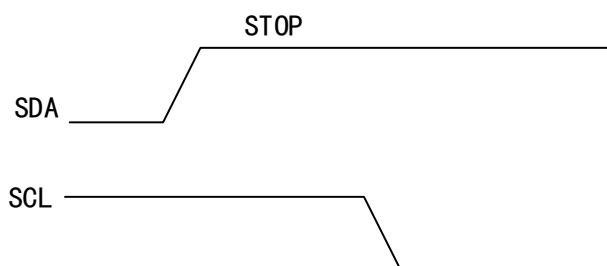


图 89 STOP 信号定义为：SCL 为高电平时，SDA 由低电平向高电平转换



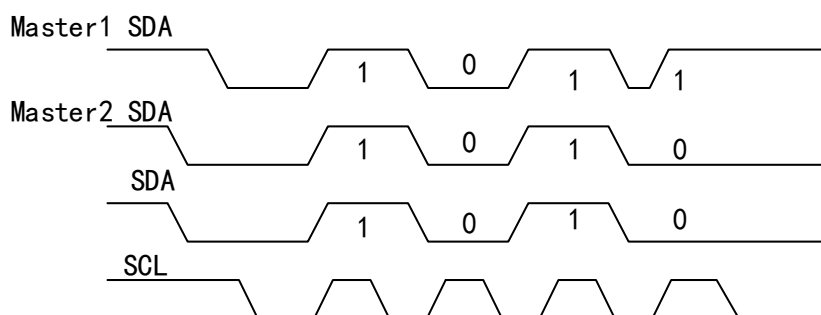
17.5.5 仲裁

仲裁是为了解决多主机情况下的总线控制冲突。仲裁过程在主机发生，与从机无关。

只有在总线空闲时，主机才可以启动发送。两个主机可能在 **START** 信号的最短保持时间内在总线上产生一个有效的 **START** 信号。这种情况需要仲裁决定哪个主机完成发送。

仲裁是按位来进行的，在每一位仲裁期间，当 **SCL** 为高，每个主机都会检查 **SDA** 电平是否和自己发送的相同，仲裁过程需要持续很多位。理论上，如果两个主机发送的内容完全相同，那他们能够成功发送而不发生仲裁失败。如果一个主机发送高电平，但是检测到 **SDA** 为低电平，则发生仲裁失败错误，关闭自身 **SDA** 输出，另一个主机完成自身发送。

图 90 SDA 时序图



注：Master1 仲裁失败

17.5.6 SDA/SCL 线控制

(1) 如果允许时钟延长

- 发送器模式：如果 $TXBEFLG=1$ 且 $BTCFLG=1$ ：I2C 接口在传输前保持时钟线为低，以等待软件读取 $I2C\_SR1$ ，然后把数据写进数据寄存器（缓冲器和移位寄存器都为空）。
- 接收器模式：如果 $RXNE=1$ 且 $BTCFLG=1$ ：I2C 接口在接收到数据字节后保持时钟线为低，以等待软件读 $I2C\_SR1$ ，然后读数据寄存器 $I2C\_DR$ （缓冲器和移位寄存器都为满）。

(2) 如果在从模式中禁止时钟延长

- 如果 RXBNEFLG=1，在接收到下个字节前 DATA 还没有被读出，则发生过载错误。接收到的最后一个字节丢失。
- 如果 TXBEFLG=1，在必须发送下个字节之前却没有新数据写进 I2C_DR，则发生欠载错误。相同的字节将被重复发出。
- 不控制重复写冲突。

17.5.7 SMBus 特定功能

系统管理总线(System Management Bus，简称 SMBus)，结构简单的单端双线制总线，可实现轻量级的通信需求。

SMBus 常见于计算机主板，主要用于电源发送 ON/OFF 指令。SMBus 为 I2C 的衍生总线。主要用于计算机主板上的低带宽设备通信，与电源相关芯片。

地址解析协议

SMBus 规范中包含一个地址解析协议，可实现动态地址分配。动态识别硬件和软件使得总线能够支持热拔插，总线设备被自动识别并分配唯一地址。

SMBus 警报

SMBus 报警是一个带中断线的可选信号，用于那些希望扩展它们控制能力而牺牲的引脚。

17.5.8 错误标志位

表格 54 I2C 通信存在以下几种错误标志位

错误标志位	错误标志位说明
应答错误标志位(AEFLG)	没有收到应答
总线错误标志位(BERRFLG)	检测到一个外部的停止或起始条件
仲裁丢失标志位(ALFLG)	接口检测到仲裁丢失
过载/欠载错误标志位(OVRURFLG)	从模式下，接收数据未读出，下一个数据已经到达，发生过载错误。发送数据时钟已经到达，数据仍未写入 I2C_DR 寄存器，发生欠载错误。
超时或 Tlow 错误标志位(TTEFLG)	SCL 拉低超过一定时间
PEC 比较错误标志位(PECEFLG)	CRC 值不相等

17.5.9 报文错误检验(PEC)

I2C 模块具有一个 PEC 模块，通过 CRC-8 计算器来进行对 I2C 数据的报文检验，计算器使用的 CRC-8 多项式为： $C(x) = X^8 + X^2 + X + 1$ 。

将 PECEN 位置 1，使能 PEC 功能，PEC 模块会把 I2C 总线发送的所有数据都计算，其中包括地址数据。

17.5.10 DMA 模式

根据 I2C 的软件流程，当发送寄存器为空或者接收寄存器满时，MCU 需要写入或者读取字节，此时我们通过 I2C 的 DMA 功能，能够更快速的完成该操作。

DMA 发送

设置 I2C_CR2 寄存器中的 DMAEN 位使能 DMA 模式，当发送寄存器为空时 (TXBEFLG 置 1)，数据将通过 DMA 从存储区直接载入到 I2C_DR 寄存器。

DMA 接收

设置 I2C_CR2 寄存器中的 DMAEN 位使能 DMA 模式，当接收寄存器满时 (RXBNEFLG 置 1)，DMA 将 I2C_DR 寄存器数据发送到设定的存储区。

17.5.11 可编程噪声滤波器

在 Fm 模式下，I2C 标准要求将 SDA 和 SCL 线上的尖峰抑制到 50ns 的长度。

模拟噪声滤波器通过 SDA 和 SCL I/O 来实现。模拟噪声滤波器在默认情况下是开启的，可以通过设置 I2C_FILTER 寄存器中的 ANFEN 位禁用。

通过 I2C_FILTER 寄存器中的 DNFCFG 位使能数字噪声滤波器并配置数字噪声滤波器滤波能力。

表格 55 符合通信要求的 DNFCFG[3:0]最大值

PCLK 频率 (MHz)	DNFCFG[3:0]最大值		
	Sm 模式	Fm 模式	Fm plus 模式
Fpclk = 2	1	/	/
Fpclk = 4	8	0	/
Fpclk = 8	15	2	/
Fpclk = 16	15	7	0
Fpclk = 32	15	15	1
Fpclk = 64	15	15	2

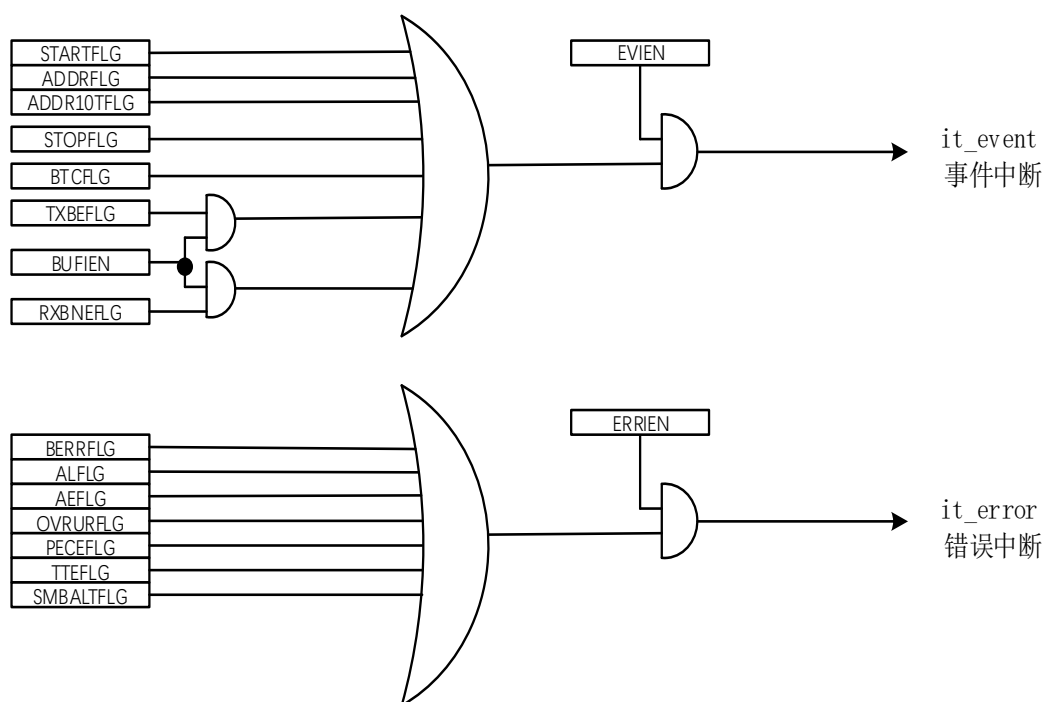
17.5.12 I2C 中断

表格 56 I2C 中断请求

中断事件	事件标志位	中断控制位
发送起始位完成	STARTFLG	EVIEN
发送完成/地址匹配地址信号	ADDRFLG	
10 位地址头段发送完成	ADDR10FLG	
接收到停止信号	STOPFLG	
数据字节发送完成	BTCFLG	

中断事件	事件标志位	中断控制位
接收缓冲器非空	RXBNEFLG	EVIEN 和 BUFIEN
发送缓冲区空	TXBEFLG	
总线错误	BERRFLG	ERRIEN
仲裁丢失	ALFLG	
应答失败	AEFLG	
过载/欠载	OVRURFLG	
PEC 错误	PECEFLG	
超时或 Tlow 错误	TTEFLG	
SMBus 提醒	SMBALTFLG	

图 91 I2C 中断映射



注意：事件中断和错误中断会汇集到一个中断输出。

17.6 寄存器地址映射

表格 57 I2C 寄存器地址映射

寄存器名	描述	偏移地址
I2C_CR1	控制寄存器 1	0x00
I2C_CR2	控制寄存器 2	0x04
I2C_SADDR1	从机地址寄存器 1	0x08

寄存器名	描述	偏移地址
I2C_SADDR2	从机地址寄存器 2	0x0C
I2C_DR	数据寄存器	0x10
I2C_SR1	状态寄存器 1	0x14
I2C_SR2	状态寄存器 2	0x18
I2C_CLKCR	主机时钟控制寄存器	0x1C
I2C_RISETMAX	最大上升时间寄存器	0x20
I2C_FILTER	滤波器控制寄存器	0x24

17.7 寄存器功能描述

17.7.1 控制寄存器 1 (I2C_CR1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	SWRSTS	R/W	软件配置 I2C 处于软件复位状态 (Software Configure I2C under Reset State) 0: 未复位 1: 复位, 在复位 I2C 前应确保 I2C 引脚被释放、总线是空闲状态。
14	保留		
13	ALERTEN	R/W	使能 SMBus 提醒 (SMBus Alert Enable) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清 0。 0: 释放 SMBAlert 引脚使其变高, 提醒发送 NACK 信号前即时接收响应地址头 1: 驱动 SMBAlert 引脚使其变低, 提醒发送 ACK 信号前即时接收响应地址头
12	PEC	R/W	使能发送 PEC (Packet Error Check Transfer Enable) 可软件置 1、清 0; 当发送 PEC 后, 或发送起始位、停止位, 或当 I2CEN=0 时, 由硬件清 0。 0: 禁止 1: 使能
11	ACKPOS	R/W	配置接收数据应答/PEC 位置 (Acknowledge /PEC Position Configure) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清除。 0: 接收当前字节时是否发送 NACK/ACK, PEC 是否处于移位寄存器中 1: 接收下一个字节时是否发送 NACK/ACK, PEC 是否处于移位寄存器的下一字节
10	ACKEN	R/W	发送应答使能 (Acknowledge Transfer Enable) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清除。 0: 不发送

位/域	名称	R/W	描述
			1: 发送
9	STOP	R/W	发送停止位 (Stop Bit Transfer) 可软件置 1、清 0；当发送停止位时，由硬件清 0；当检测到超时错误时，由硬件置 1。 0: 不发送 1: 发送
8	START	R/W	发送起始位 (Start Bit Transfer) 可软件置 1、清 0，当发送起始位或 I2CEN=0 时，由硬件清 0。 0: 不发送 1: 发送
7	CLKSTRETCHD	R/W	禁止从机模式时钟延长时间 (Slave Mode Clock Stretching Disable) 0: 使能 1: 禁止 在从机模式下允许延长时钟低电平时间可避免发生过载和欠载错误。
6	SRBEN	R/W	使能从机响应广播 (Slave Responds Broadcast Enable) 0: 禁止 1: 使能 注意：广播地址是 0x00
5	PECEN	R/W	使能 PEC (PEC Enable) 0: 禁止 1: 使能
4	ARPEN	R/W	使能 ARP (ARP Enable) 0: 禁止 1: 使能 如果 SMBTCFG=0，使用 SMBus 设备的默认地址 如果 SMBTCFG=1，使用 SMBus 的主地址
3	SMBTCFG	R/W	配置 SMBus 类型 (SMBus Type Configure) 0: SMBus 设备 1: SMBus 主机
2	保留		
1	SMBEN	R/W	使能 SMBus 模式 (SMBus Mode Enable) 0: I2C 模式 1: SMBus 模式
0	I2CEN	R/W	使能 I2C (I2C Enable) 0: 禁止 1: 使能

17.7.2 控制寄存器 2 (I2C_CR2)

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:13	保留		

位/域	名称	R/W	描述
12	LTCFG	R/W	配置 DMA 最后一次发送 (DMA Last Transfer Configure) 配置下一次 DMA 的 EOT 是否为接收的最后一次发送, 只用于主机接收模式。 0: 不是 1: 是
11	DMAEN	R/W	使能 DMA 请求 (DMA Requests Enable) 0: 禁止 1: 当 TXBEFLG=1 或 RXBNEFLG=1 时, 使能 DMA 请求
10	BUFIEN	R/W	使能缓冲器中断 (Buffer Interrupt Enable) 0: 禁止 1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: TXBEFLG、RXBNEFLG
9	EVIEN	R/W	使能事件中断 (Event Interrupt Enable) 0: 禁止 1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: STARTFLG、ADDRFLG、ADDR10FLG、STOPFLG、BTCFLG、TXBEFLG 置 1 且 BUFIEN 置 1、RXBNEFLG 置 1 且 BUFIEN 置 1。
8	ERRIEN	R/W	使能出错中断 (Error Interrupt Enable) 0: 禁止 1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: SMBALTFLG、TTEFLG、PECEFLG、OVRURFLG、AEFLG、ALFLG、BERRFLG
7:0	CLKFCFG	R/W	配置 I2C 时钟频率 (I2C Clock Frequency Configure) 该时钟频率是指 I2C 模块的时钟, 即从 APB 总线输入的时钟。 0: 禁用 1: 禁用 2: 2MHz ... 64: 64MHz I2C 总线最小的时钟频率: 标准模式为 2MHz, 快速模式为 4MHz, 超快速模式 10MHz。

17.7.3 从机模式地址寄存器 1 (I2C_SADDR1)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ADDRLLEN	R/W	配置从机地址长度 (Slave Address Length Configure) 0: 7 位地址模式 1: 10 位地址模式
14:10	保留		
9:8	ADDR[9:8]	R/W	设置从机地址 (Slave Address Setup) 地址模式为 7 位时, 该位无效; 地址模式为 10 位时, 该位是地址的第 9:8 位。
7:1	ADDR[7:1]	R/W	设置从机地址 (Slave Address Setup) 从机地址的第 7:1 位

0	ADDR[0]	R/W	设置从机地址（Slave Address Setup） 地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 0 位。

17.7.4 从机模式地址寄存器 2（I2C_SADDR2）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:1	ADDR2[7:1]	R/W	设置从机双地址模式地址（Slave Dual Address Mode Address Setup） 在双地址模式下地址的 7:1 位
0	ADDRNUM	R/W	配置从机地址数量（Slave Address Number Configure） 从机 7 位地址模式下，可配置为识别单地址模式、双地址模式； 单地址模式下只识别 ADDR1；双地址模式下识别 ADDR1 和 ADDR2 在 7 位地址模式下可识别单个或双地址寄存器，具体情况如下： 0：识别 1 个地址（ADDR1） 1：识别 2 个地址（ADDR1 和 ADDR2）

17.7.5 数据寄存器（I2C_DR）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:0	DATA	R/W	数据寄存器（Data Register） 在 I2C 发送模式下，将要发送的数据写到这个寄存器；在 I2C 接收模式下，从这个寄存器读取接收到的数据。

17.7.6 状态寄存器 1（I2C_SR1）

偏移地址：0x14

复位值：0x0000 0080

位/域	名称	R/W	描述
31:16	保留		
15	SMBALFLG	RC_W0	发生 SMBus 警报标志（SMBus Alert Occur Flag） 0：SMBus 主机模式，无警报； SMBus 从机模式，无警报，SMBAlert 引脚电平不变 1：SMBus 主机模式，在引脚上产生警报； SMBus 从机模式，收到警报，此时 SMBAlert 引脚电平已经为低 由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
14	TTEFLG	RC_W0	超时或 Tlow 错误标志（Timeout or Tlow Error Flag） 0：无超时错误 1：发生超时错误，从模式下，从机复位，总线被释放；主模式下，硬件发送停止位。 以下情况之一发生超时错误，由硬件置 1：

位/域	名称	R/W	描述
			(1) SMBUS 通信模式下，主设备的 SCL 低电平扩展时间累计超过 10ms； (2) SMBUS 通信模式下，从设备的 SCL 低电平扩展时间累计超过 25ms。 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
13	保留		
12	PECEFLG	RC_W0	接收时出现 PEC 错误标志 (PEC Error in Reception Flag) 0: 无 PEC 错误: 在 ACKEN=1 的情况下接收到 PEC 后接收器返回 ACKEN 1: 有 PEC 错误: 不管 ACKEN 是什么值, 只要接收到 PEC 后接收器都会返回 NACK 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
11	OVRURFLG	RC_W0	发生过载或欠载标志 (Overrun/Underrun Flag) 0: 未发生 1: 发生 CLKSTRETCHD=1、且满足以下条件之一时由硬件置 1: (1) 从机接收模式下, I2C_DR 寄存器中的数据未被读出时, 又收到新的数据 (该数据会丢失), 此时发生过载; (2) 从机发送模式中, I2C_DR 寄存器没有写入数据, 依然要发送数据 (相同的数据会发送 2 次), 此时发生欠载。 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
10	AEFLG	RC_W0	应答错误标志 (Acknowledge Error Flag) 0: 未发生应答错误 1: 发生应答错误 由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
9	ALFLG	RC_W0	主模式下的仲裁丢失标志 (Master Mode Arbitration Lost Flag) 0: 未发生仲裁丢失 1: 发生仲裁丢失, I2C 接口自动切换回从模式 “主模式下的仲裁丢失”是指该主机失去对总线的控制; 该位由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
8	BERRFLG	RC_W0	总线错误标志 (Bus Error Flag) 0: 未发生总线错误 1: 发生总线错误 总线错误是指起始位、停止位异常; 检测到错误时由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
7	TXBEFLG	R	发送缓冲器为空标志 (Transmit Buffer Empty Flag) 0: 发送缓冲器不为空 1: 发送缓冲器为空 I2C_DR 寄存器的内容为空时由硬件置 1; 软件写第 1 个数据到 I2C_DR 寄存器时, 会立刻将数据搬移到移位寄存器中, 此时 I2C_DR 寄存器的数据为空, 无法清除该位; 软件写数据到 I2C_DR 寄存器可清除该位; 发送起始位、停止位, 或当 I2CEN=0 时由硬件置 1。
6	RXBNEFLG	R	接收缓冲器不为空标志 (Receive Buffer Not Empty Flag) 0: 接收缓冲器为空

位/域	名称	R/W	描述
			1: 接收缓冲器不为空 当 I2C_DR 寄存器有数据时, 由硬件置 1; 当 BTCFLG 置 1 时, 由于数据寄存器仍然为满, 读取 I2C_DR 寄存器不能清除 RXBNEFLG 位; 软件读写 I2C_DR 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。
5	保留		
4	STOPFLG	R	停止位检测标志 (Stop Bit Detection Flag) 0: 未检测到 1: 检测到 如果 ACKEN=1, 在一个应答之后, 当从机在总线上检测到停止位时, 由硬件置 1; 软件读取 I2C_SR1 寄存器后、对 I2C_CR1 寄存器进行写操作可清除该位; 当 I2CEN=0 时由硬件清 0。
3	ADDR10FLG	R	主机已发送 10 位地址的地址头标志 (10-Bit Address Header Transmit Flag) 0: 未发送 1: 已发送 该位由硬件置 1; 软件先读 I2C_SR1 寄存器、再写 I2C_DR 寄存器可清除该位; I2CEN=0 时由硬件清 0。
2	BTCFLG	R	完成数据字节发送标志 (Byte Transfer Complete Flag) 0: 未完成 1: 已完成 在接收数据时, 如果未读取 I2C_DR 寄存器中收到的数据, 此时又收到一个新的数据时, 由硬件置 1; 发送数据时, I2C_DR 寄存器为空的情况下, 将要发送移位寄存器中的数据时, 由硬件置 1。 软件先读 I2C_SR1 寄存器、再对 I2C_DR 寄存器执行读或写操作可清除该位; 在发送中发送一个起始位、停止位, 或当 I2CEN=0 时由硬件清 0。
1	ADDRFLG	R	地址发送完成/接收匹配标志 (Address Transfer Complete /Receive Match Flag) 从机模式是否接收到匹配地址: 0: 未接收到 1: 已接收 主机模式地址发送是否完成: 0: 未完成 1: 已完成 该位由硬件置 1; 软件先读 I2C_SR1 寄存器、再读 I2C_SR2 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。
0	STARTFLG	R	发送起始位完成标志 (Start Bit Sent Finished Flag) 0: 未发送 1: 已发送 发出起始位时, 由硬件置 1; 软件先读 I2C_SR1 寄存器、再写 I2C_DR 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。

17.7.7 状态寄存器 2 (I2C_SR2)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:8	PECVAL	R	存储 PEC 值 (Save Packet Error Checking Value) 当 PECEN=1 时, 内部的 PEC 的值存放在 PECVAL 里。
7	DUALADDRFLG	R	从模式接收到双地址匹配标志 (Slave Mode Received Dual Address Match Flag) 0: 接收到的地址与 ADDR1 寄存器的内容匹配 1: 接收到的地址与 ADDR2 寄存器的内容匹配 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
6	SMMHADDRFLG	R	SMBus 设备从模式收到主机头地址标志 (SMBus Device Received Master Header Flag in Slave Mode) 0: 未收到主机头地址 1: 当同时满足 SMBTSEL=1 和 ARPEN=1 时, 收到主机头地址 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
5	SMBDADDRFLG	R	SMBus 设备从模式接收到默认地址标志 (SMBus Device Received Default Address Flag in Slave Mode) 0: 未收到默认地址 1: 当 ARPEN=1 时, 收到默认地址 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
4	GENCALLFLG	R	从模式接收到广播地址 (0x00) 标志 (Slave Mode Received General Call Address Flag) 0: 未收到广播地址 1: 收到广播地址 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
3	保留		
2	TRFLG	R	发送器模式/接收器模式标志 (Transmitter / Receiver Mode Flag) 0: 设备是接收器模式 (读) 1: 设备是发送器模式 (写) 依据 R/W 位决定位的数值; 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位

位/域	名称	R/W	描述
			(3) 总线仲裁丢失 (4) I2CEN=0
1	BUSBSYFLG	R	总线忙碌标志 (Bus Busy Flag) 0: 总线空闲 (无通信) 1: 总线忙 (正在通信) SDA 或 SCL 为低电平时, 由硬件置 1; 产生停止位后, 硬件清 0。
0	MSFLG	R	主从模式标志 (Master Slave Mode Flag) 0: 从机模式 1: 主机模式 配置 I2C 为主模式时, 由硬件置 1; 以下条件之一硬件清 0: (1) 产生停止位 (2) 丢失总线仲裁 (3) I2CEN=0

17.7.8 主机时钟控制寄存器 (I2C_CLKCR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	SPEEDCFG	R/W	配置主模式速度 (Master Mode Speed Configure) 0: 标准模式 1: 快速模式/超快速模式
14	FDUTYCFG	R/W	配置快速模式下的占空比 (Fast Mode Duty Cycle Configure) 此处定义占空比= t_{low}/t_{high} 0: SCLK 占空比 2 1: SCLK 占空比 16/9
13:12	保留		
11:0	CLKCFG	R/W	设置主模式下快速/标准模式的时钟 (Clock Setup in Fast/Standard Master Mode) 在 I2C 标准模式或 SMBus 模式中: $T_{high}=CLKCFG \times T_{PCLK1}$ $T_{low}=CLKCFG \times T_{PCLK1}$ I2C 快速模式/超快速模式中: 当 FDUTYCFG=0 时: $T_{high}=CLKS \times T_{PCLK1}$ $T_{low}=2 \times CLKS \times T_{PCLK1}$ 当 FDUTYCFG=1 时: $T_{high}=9 \times CLKCFG \times T_{PCLK1}$ $T_{low}=16 \times CLKCFG \times T_{PCLK1}$

17.7.9 最大上升时间寄存器 (I2C_RISETMAX)

偏移地址: 0x20

复位值: 0x0000 0002

位/域	名称	R/W	描述
31:8	保留		
7:0	RISETMAX	R/W	主模式下快速/标准模式的最大上升时间（Master Mode Maximum Rise Time in Fast/Standard Mode） 时间单位是 T_{PCLK1} ，RISETMAX 为 SCL 最大上升时间单位加 1。

17.7.10 滤波器控制寄存器（I2C_FILTER）

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
31:5	保留		
4	ANFDISEN	R/W	禁止模拟噪声滤波器（Analog Noise Filter Disable） 0：使能 1：禁止
3:0	DNFCFG	R/W	配置数字噪声滤波器滤波能力（Digital Noise Filter Filtering Capability Configure） 0000：禁用 0001： $1 \times T_{PCLK1}$ 1111： $15 \times T_{PCLK1}$ 注：这些位只能在 I2CEN=0 时配置。

18 串行外设接口（SPI）

18.1 术语全称、缩写描述

表格 58 SPI 术语全称、缩写描述

中文全称	英文全称	英文缩写
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
主机输出从机输入	Master Out Slave In	MOSI
主机输入从机输出	Master In Slave Out	MISO
串行时钟线	Serial Clock	SCK
串行数据	Serial Data	SD
主时钟	Master Clock	MCK
字选	Word Select	WS
脉冲编制调制	Pulse-code Modulation	PCM
片间传递音讯	Inter-IC Sound	I2S
发送	Transmit	TX
接收	Receive	RX
忙	Busy	BSY

18.2 简介

串行外设接口（SPI）提供了基于 SPI 协议的数据发送和数据接收功能，允许芯片与外部设备以全双工、同步和串行方式通信，可以工作于主机或者从机模式。

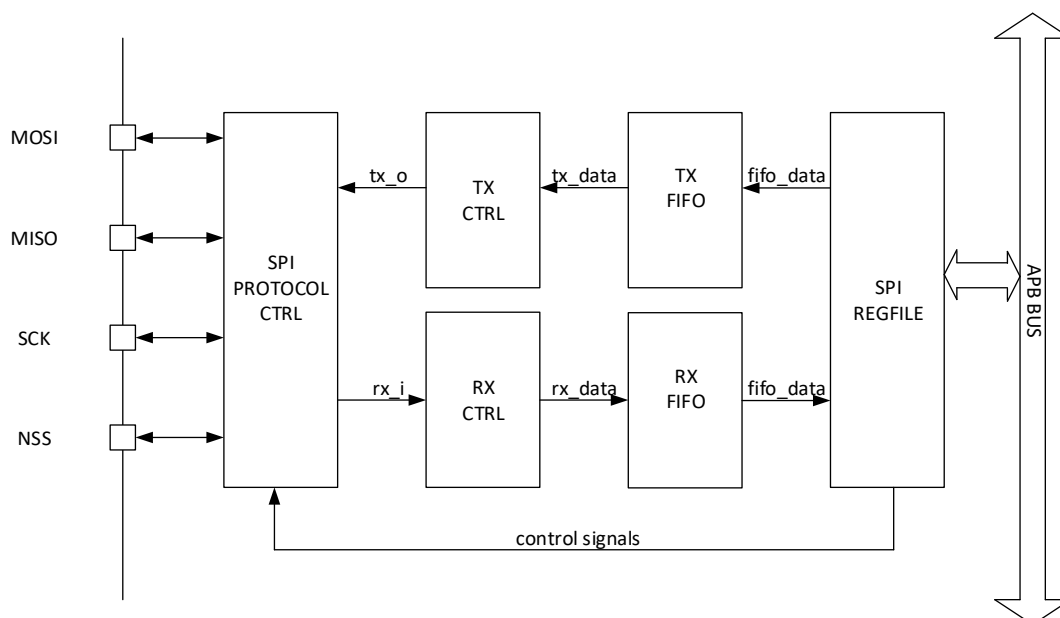
18.3 主要特征

- （1） 具有 4 线全双工同步传输接收的主从操作
- （2） 选择 2 线半双工通信
- （3） 选择 8 位或者 16 位传输帧格式
- （4） 支持 SPI 摩托罗拉协议方式
- （5） 具有专用的发送和接收标志，可触发中断
- （6） 具有 SPI 总线忙状态标志
- （7） 时钟的极性和相位可编程
- （8） 独立的发送和接收 FIFO

- (9) 数据顺序可编程，选择 MSB 或者 LSB 在前
- (10) 具有 DMA 传输

18.4 结构框图

图 92 SPI 结构框图



18.5 功能描述

18.5.1 SPI 信号线描述

表格 59 SPI 信号线描述

引脚名称	描述
SCK	主设备：SPI 时钟输出 从设备：SPI 时钟输入
MISO	主设备：输入引脚，接收数据 从设备：输出引脚，发送数据 数据方向：从设备到主设备
MOSI	主设备：输出引脚，发送数据 从设备：输入引脚，接收数据 数据方向：主设备到从设备
NSS	主机硬件 NSS 模式：NSS 输出 从机硬件 NSS 模式：NSS 输入 注意：不支持多主机模式，当从机为软件 NSS 模式时，该引脚可以它用。

18.5.2 通信格式

SPI 通信中，接收数据和发送数据可以同时进行，SCK 同步发送并且对数据线上的数据进行采样。通信格式取决于时钟相位、时钟极性和数据帧格式，如果要正

常通信，主设备和从设备必须是相同的通信格式。

18.5.2.1 时钟信号的相位和极性

时钟极性和时钟相位是 SPI_CR1 寄存器的 CPOL 和 CPHA 位。

时钟极性 CPOL 是指 SPI 处于空闲状态时，SCK 信号线的电平信号。

- CPOL=0 时，SCK 信号线在空闲状态为低电平
- CPOL=1 时，SCK 信号线在空闲状态为高电平

时钟相位 CPHA 是指数据的采样时刻

- CPHA=0 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“奇数边沿”被采样。
- CPHA=1 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“偶数边沿”被采样。

根据时钟相位 CPHA 和时钟极性 CPOL 的不同状态，可以将 SPI 分成四种模式。

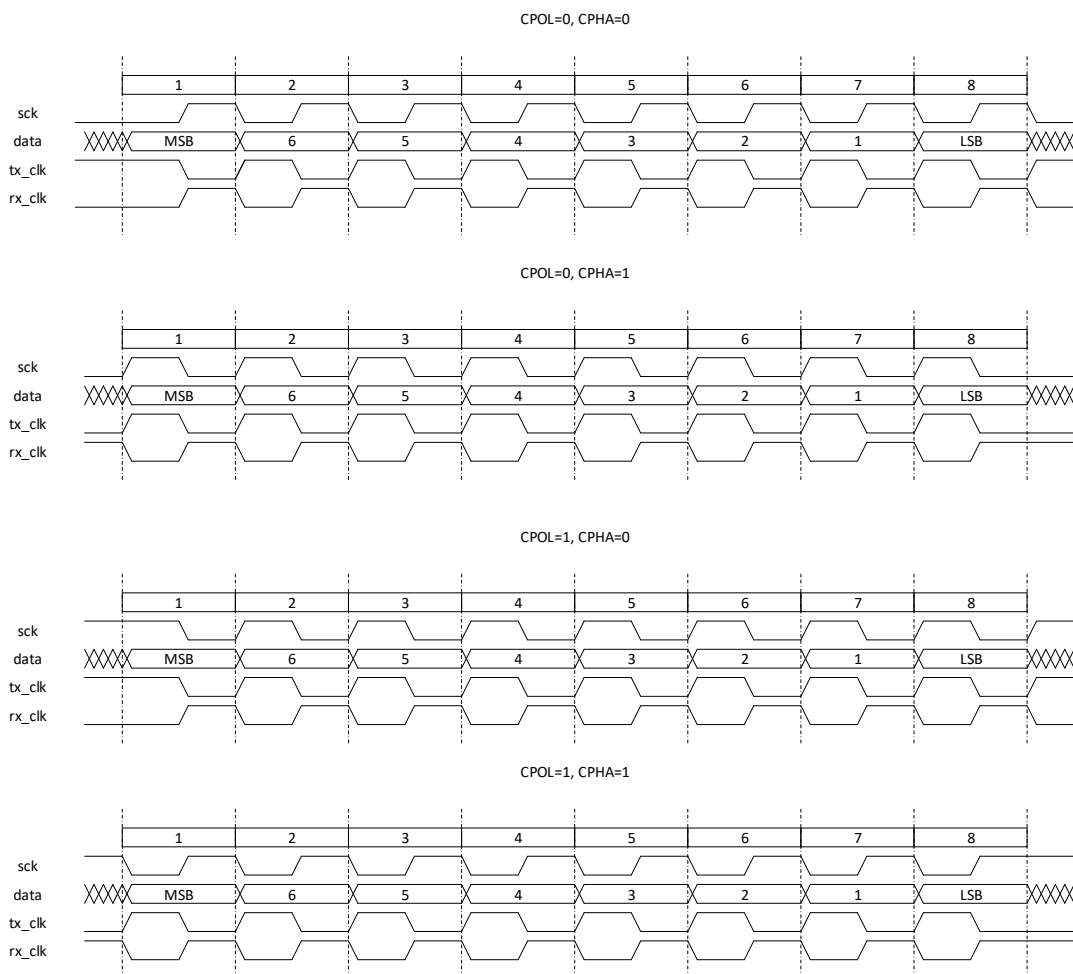
表格 60 SPI 的四种模式

SPI 模式	CPHA	CPOL	采样时刻	空闲时 SCK 时钟
0	0	0	奇数边沿	低电平
1	0	1	奇数边沿	高电平
2	1	0	偶数边沿	低电平
3	1	1	偶数边沿	高电平

注意：

- (1) 如果要改变 CPOL 和 CPHA 位，SPI 必须通过 SPIEN 位清零关闭。
- (2) SCK 在空闲状态下，如果 CPOL=1 上拉 SCK，如果 CPOL=0 下拉 SCK。

图 93 时钟相位和极性



18.5.2.2 数据帧格式

可以先配置 `SPI_CR1` 的 `DFF` 位选择字长，再配置 `SPI_CR1` 寄存器的 `LSBFIRST` 位选择是 `LSB` 还是 `MSB` 先行。当访问 `SPI_DR` 寄存器时，数据帧总是右对齐。在通信过程中，只有数据字长范围内的位会随着时钟输出。

18.5.3 NSS 模式

软件 NSS 模式：通过配置 `SPI_CR1` 寄存器的 `SSM` 位来选择启动或者禁止此模式，内部 `NSS` 信号电平由 `SPI_CR1` 寄存器的 `SSI` 位驱动。

硬件 NSS 模式：

- 启动 `NSS` 输出：SPI 处于主模式时，使能 `SSM` 位，`NSS` 引脚被拉至低电平，SPI 将自动进入从机模式。
- 关闭 `NSS` 输出：允许操作在多主环境。

18.5.4 SPI 模式

18.5.4.1 SPI 主模式初始化

主模式中，在 `SCK` 引脚产生串行时钟。

配置主模式

- 配置 SPI_CR1 寄存器中的 MSTR=1，设置为主模式
- 通过配置 SPI_CR1 寄存器中的 BR 位选择串行时钟波特率
- 通过配置 SPI_CR1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位
- 通过配置 SPI_CR1 寄存器中的 BIDIOEN、BIDIMEN 和 RXONLY 位选择传输模式
- 通过配置 SPI_CR1 寄存器中的 DFF 位选择数据帧长度
- 通过配置 SPI_CR1 寄存器中 LSBFIRST 选择是 LSB 先行还是 MSB 先行
- 配置 SPI_CR1 寄存器中的 SPIEN 位，使能 SPI

在主模式中：MOSI 引脚是数据输出，MISO 是数据输入。

注意：

- (1) 为了防止通信出错，当 SPIEN=1 时，BR, CPOL, CPHA, DFF, LSBFIRST, MSTR 均有写入保护。
- (2) 如果需要改变时钟极性进行通信，建议保持 SPIEN=0 时变更 CPOL 和 CPHA，然后再 SPIEN 置 1，以免时钟极性切换时通信错误。

18.5.4.2 SPI 从模式初始化

在从模式中，SCK 引脚接收主设备传来的串行时钟。

从模式配置

- 配置 SPI_CR1 寄存器中的 MSTR=0 设置为从模式
- 通过配置 SPI_CR1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位
- 通过配置 SPI_CR1 寄存器中的 BIDIOEN 和 BIDIMEN 位选择传输模式
- 通过配置 SPI_CR1 寄存器中的 DFF 位选择数据帧长度
- 通过配置 SPI_CR1 寄存器中 LSBFIRST 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
 - 硬件模式下：在完整的数据帧传输过程中 NSS 引脚必须为低电平
 - 软件模式下：设置 SPI_CR1 寄存器中的 SSM 位并清除 SSI 位
- 配置 SPI_CR1 寄存器中的 SPIEN 位，使能 SPI

在从模式中：MOSI 引脚是数据输入，MISO 引脚是数据输出。

18.5.4.3 SPI 的全双工通信

通常情况下，SPI 被配置为全双工通信，其中，主机和从机的移位寄存器通过两个单向线 MOSI 和 MISO 进行连接。在 SPI 通信时，根据 SCK 时钟沿进行同步数据传输。主机的数据通过 MOSI 引脚发送到从机，从机的数据通过 MISO 引脚发送到主机，数据传输完成时，说明信息交换成功。

18.5.4.4 SPI 的多从设备通信

SPI 可以由多个从设备工作，主设备使用 GPIO 引脚管理从设备的片选线，可以控制两个以及两个以上的独立从设备。

主设备通过拉低从设备的 NSS 引脚，来决定与哪个从设备进行数据传输。

18.5.5 SPI 不同模式下数据发送和接收过程

表格 61 SPI 的运行模式

模式	配置	数据引脚
主设备的全双工模式	BIDIMEN=0, RXONLY=0	MISO 接收; MOSI 发送
主设备的单向接收模式	BIDIMEN=0, RXONLY=1	MISO 接收; MOSI 不使用
主设备的双向发送模式	BIDIMEN=1, BIDIOEN=1	MISO 不使用; MOSI 发送
主设备的双向接收模式	BIDIMEN=1, BIDIOEN=0	MISO 不使用; MOSI 接收
从设备的全双工模式	BIDIMEN=0, RXONLY=0	MISO 发送; MOSI 接收
从设备的单向接收模式	BIDIMEN=0, RXONLY=1	MISO 不使用; MOSI 接收
从设备的双向发送模式	BIDIMEN=1, BIDIOEN=1	MISO 发送; MOSI 不使用
从设备的双向接收模式	BIDIMEN=1, BIDIOEN=0	MISO 接收; MOSI 不使用

注意:

- (1) BIDIMEN, BIDIOEN 和 RXONLY 没有 SPIEN 的写保护控制，但需要在 1 帧数据传输完整后再进行修改，否则会导致通信部分中断，发生数据收发错误。
- (2) 在主机通信时，如果仅接收，模块将永不停止接收数据，BUSYFLG 保持为 1。需及时处理接收的数据，当通信完毕后先恢复至全双工模式，后关闭 SPIEN。

图 94 全双工模式连接

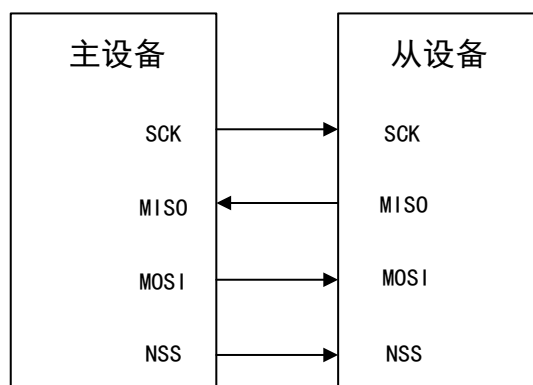


图 95 半双工模式连接

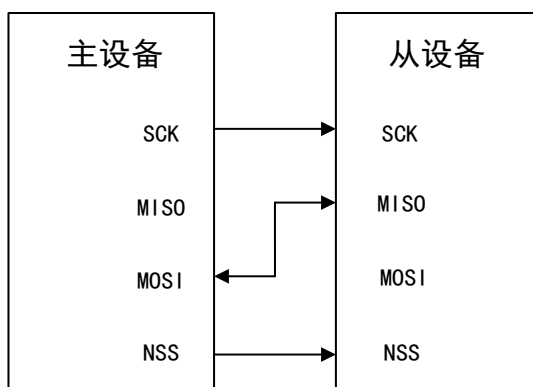


图 96 单工模式连接（主机用来接收，从机用来发送）

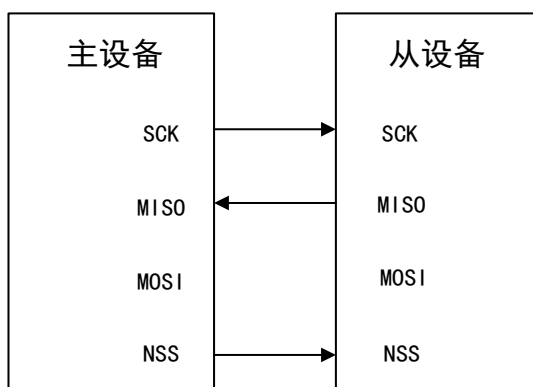
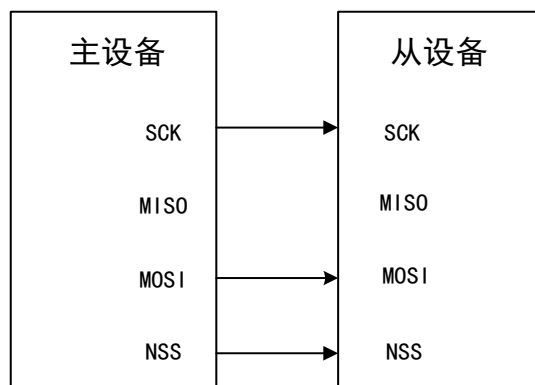


图 97 单工模式连接（主机只发送，从机接收）



18.5.5.1 数据的发送与接收

为了防止数据帧较短时溢出，保证 SPI 可以连续工作，所有的 SPI 数据都需要通过 32 位的嵌入式 FIFO。每个方向都会有各自的 FIFO，为 TXFIFO 和 RXFIFO。

根据双工模式，数据帧格式、FIFO 数据寄存器上执行的访问大小以及访问 FIFO 时是否使用数据打包对 FIFO 进行处理。

对 SPI_DR 寄存器的读访问将返回存储在 RXFIFO 中尚未读取的最早的值。对

SPI_DR 的写访问将写入数据存储在发送队列末尾的 TXFIFO 中。TXFIFOVAL 和 RXFIFOVAL 位表示两个 FIFO 的当前占用水平。

对 SPI_DR 寄存器的读访问必须由 RXFIFONEFLG 事件管理，当数据存储在 RXFIFO 中并达到阈值（由前位定义）时触发此事件；当 RXFIFONEFLG 被清除时，RXFIFO 被认为是空的，以相似的方式，对要传输的数据帧的写访问由 TXFIFOEFLG 事件管理。当 TXFIFO 小于或等于其容量的一半时触发 RXFIFONEFLG 事件，否则 TXFIFOEFLG 被清除，同时认为 TXFIFO 存有数据，因此，当数据帧格式小于或者等于一个字节时，RXFIFO 最多可以存储 4 个数据帧，TXFIFO 可以存储 3 个数据帧。当软件试图以 16 位模式向 TXFIFO 写入更多数据时，这一差异可以防止已经存储在 TXFIFO 中的 3 个 8 位数据帧损坏。TXFIFOEFLG 和 RXFIFONEFLG 事件都可以轮询或由中断处理。

18.5.5.2 序列处理

在发送数据中，可以将多个数据按照顺序组成一个序列，当开始发送时，TXFIFO 会按照顺序连续发送完成。

在单接收模式中，半双工模式下，使能 SPI，主设备会马上开始接收序列，直到 SPI 关闭或者单接收模式关闭。当数据帧开始传输时，从设备无法控制数据序列，因此从机必须在传输开始前准备数据，即保证 TXFIFO 中有待发送的数据。

在有多个从设备时，每个序列都需要对应到不同的从设备中，所以需要 NSS 脉冲分隔序列保证正确。

注意：

- (1) 结合 TXFIFOVAL 位和 BUSYFLG 位检查数据是否传输完成，当传输完成时钟输出停止。
- (2) 在数据包模式中，数据传输是奇数时要特别注意空字节。
- (3) 主设备在单接收模式中，需要禁用 SPI 或者单接收模式，停止时钟输出。
- (4) 掌握正确接收的时间，保证数据传输正确
- (5) 关闭的动作要在首位采样时间和下一个字节的首位之间。

18.5.5.3 数据打包

当数据帧的大小小于或者等于一个字节时，对 SPI_DR 寄存器执行 16 位的读写访问时，数据都会自动打包在一起，此时可以并行处理双数据。当对 SPI_DR 写访问后，会发送 2 个字节的数据；如果 RXFIFO 的阈值设置为 16 位，会生成一个接受 RXFIFONEFLG 事件。

对单个 RXFIFONEFLG 事件，数据接收器要对 SPI_DR 进行一次读操作，才能将数据全部取到。

注意：RXFIFO 的阈值要和跟进的数据访问的位宽保持一致。

18.5.6 DMA 功能

SPI 中的请求/应答 DMA 机制，方便了高速率的数据传输，提高了系统效率，能够及时向 SPI 发送缓冲器传送数据，同时接收缓冲器也能及时读取数据防止溢

出。

SPI 只发送数据时，只需要使能 DMA 的发送通道。

SPI 只接收数据时，只需要使能 DMA 的接收通道。

通过配置 SPI_CR2 寄存器的 TXDMAEN 和 RXDMAEN 位，使能 SPI 模式的 DMA 功能。

- 发送时：TXFIFOEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器写数据到 SPI_DR 中，此时 TXFIFOEFLG 标志位被清除。
- 接收时：RXFIFONEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器从 SPI_DR 寄存器中读取数据，此时 RXFIFONEFLG 标志位被清除。

通过监视 BUSYFLG 标志位确认在发送模式下 DMA 传送所有需要发送的数据后 SPI 通信是否结束，可以避免破坏最后一个数据的传输。

18.5.7 通信速率

SPI 主/从机通信由于 IO 延迟的限制，能够支持最高 SPI 时钟频率为 16MHz。

在主机通信过程中，SPI 最高支持系统时钟 2 分频正常通信。但是如果使用 DMA 收发大量数据可能存在断续，如果需要不间断通信，建议配置系统时钟为 SPI 时钟 4 倍频，例如当需要 16MHz 通信时，可配置系统时钟为 64MHz，SPI_CR1 的 BR 位配置为 4 分频工作。

在从机通信过程中，SPI 最高支持系统时钟 2 分频正常通信。但是使用 DMA 收发大量数据，为了避免接收上溢和发送下溢，建议配置系统时钟为外部主机 SPI 时钟 4 倍频，例如当需要外部主机 16MHz 通信时，建议配置系统时钟为 64MHz。

18.5.8 关闭 SPI

数据传输结束后，通过关闭 SPI 模块结束通信。

当数据还在传输时，或者 TXFIFO 中存在数据时，不可以操作 SPI_CR1 寄存器中的 SPIEN 位来关闭 SPI。如果设置了 SPIEN=0，时钟信号会持续发送，一直到重新启用外设。为了预防以上情况的发生需要一定的步骤来关闭 SPI。

关闭 SPI 步骤

- (1) 等待 TXFIFOEFLG 置 1
- (2) 等待 RXFIFONEFLG 清零
- (3) 等待 BUSYFLG 标志位清零
- (4) 关闭 SPI (SPIEN=0)

18.5.9 SPI 中断

在 SPI 运行期间，以下事件的产生可以触发中断：

- TXFIFO 准备装载

- RXFIFO 接收到数据
- 接收上溢

18.6 寄存器地址映射

表格 62 SPI 寄存器地址映射

寄存器名	描述	偏移地址
SPI_CR1	SPI 控制寄存器 1	0x00
SPI_CR2	SPI 控制寄存器 2	0x04
SPI_SR	SPI 状态寄存器	0x08
SPI_DR	SPI 数据寄存器	0x0C

18.7 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

18.7.1 SPI 控制寄存器 1（SPI_CR1）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	BIDIMEN	R/W	使能双向模式（Bidirectional Mode Enable） 0：双线双向模式 1：单线双向模式 单线双向传输指：数据主机的 MOSI 引脚和从机的 MISO 引脚之间传输。
14	BIDIOEN	R/W	使能双向模式的输出（Bidirectional Mode Output Enable） 0：禁止（仅接收模式） 1：使能（仅发送模式） BIDIMEN=1 即单线双向模式下，该位决定传输线的传输方向。
13:12	保留		
11	DFF	R/W	选择数据帧长度（Data Frame Length Format Select） 0：8 位数据帧格式 1：16 位数据帧格式 注：为确保正确操作，只应在禁止 SPI（SPIEN = “0”）时对此位执行写操作。
10	RXONLY	R/W	仅接收模式（Only receiving mode） 0：同时发送和接收 1：仅接收模式 该位仅在双线双向模式下（BIDIMEN=0），决定数据传输方向
9	SSM	R/W	使能软件从设备（Software Slave Device Enable） 0：禁止 1：使能 当 SSM 置位时，NSS 引脚的电平由 SSM 决定。

位/域	名称	R/W	描述
8	SSI	R/W	选择内部从设备 (Internal Slave Device Select) 决定 NSS 引脚上的电平, 在 NSS 引脚上的 I/O 操作无效。 当 SPI_CR1 的 SSM=1 时设置该位才有效。
7	LSBFIRST	R/W	选择 LSB 首位传输 (LSB First Transfer Select) 0: 先发送最高有效位 (MSB) 1: 先发送最低有效位 (LSB)
6	SPIEN	R/W	使能 SPI 设备 (SPI Device Enable) 0: 禁用 1: 使能 注: 当关闭 SPI 设备时, 请按照关闭 SPI 的过程操作。
5:3	BR	R/W	选择波特率分频系数 (Baud Rate Divider Factor Select) 000: DIV=2 001: DIV=4 010: DIV=8 011: DIV=16 100: DIV=32 101: DIV=64 110: DIV=128 111: DIV=256 波特率=Fmaster/DIV 注: 通信进行时, 不能修改该位
2	MSTR	R/W	配置主/从模式 (Master/Slave Mode Configure) 0: 配置为从模式 1: 配置为主模式 注: 通信进行时, 不能修改该位。
1	CPOL	R/W	配置时钟极性 (Clock Polarity Configure) 当 SPI 处于空闲状态时, SCK 保持的状态。 0: SCK 低电平 1: SCK 高电平 注: 通信进行时, 不能修改该位。
0	CPHA	R/W	配置时钟相位 (Clock Phase Configure) 该位表明在几个时钟边沿开始采样 0: 在第 1 个时钟边沿 1: 在第 2 个时钟边沿 注: 通信进行时, 不能修改该位。

18.7.2 SPI 控制寄存器 2 (SPI_CR2)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	TXFIFOEIE	R/W	使能发送 FIFO 空中断 (Transmit FIFO Empty Interrupt Enable) 0: 禁止 1: 使能 当发送 FIFO 中没有数据时产生中断

位/域	名称	R/W	描述
6	RXFIFONEIEN	R/W	使能接收 FIFO 非空中断 (Receive FIFO Not Empty Interrupt Enable) 0: 禁止 1: 允许 当接收 FIFO 中有数据时产生中断
5	OVRIEN	R/W	使能过载中断 (Overflow interrupt enable) 0: 禁止 1: 使能 当 OVRFLG 标志位置 1 时产生中断请求
4:2	保留		
1	TXDMAEN	R/W	使能发送缓冲区 DMA (Transmit Buffer DMA Enable) 当该位被设置时, TXFIFOEFLG 标志一旦被置位就发出 DMA 请求。 0: 禁止 1: 启动
0	RXDMAEN	R/W	使能接收缓冲区 DMA (Receive Buffer DMA Enable) 当 RXDMAEN=1 时, RXFIFONEFLG 标志一旦被置位就发出 DMA 请求。 0: 禁止 1: 启动

18.7.3 SPI 状态寄存器 (SPI_SR)

偏移地址: 0x08

复位值: 0x0000 0002

位/域	名称	R/W	描述
31:13	保留		
12:11	TXFIFOVAL	R	选择 FIFO 发送水平 (FIFO Transmit Leve Select) 00: FIFO 空 01: FIFO/4 10: FIFO/2 11: FIFO 满 (FIFO 阈值大于 1/2 时认为是满) 注: 该位由硬件置 1 和清 0。
10:9	RXFIFOVAL	R	选择 FIFO 接收水平 (FIFO Receive Leve Select) 00: FIFO 空 01: FIFO/4 10: FIFO/2 11: FIFO 满 (FIFO 阈值大于 1/2 时认为是满) 注: 该位由硬件置 1 和清 0。
8	保留		
7	BUSYFLG	R	忙标志 (Busy Flag) 该位表示 SPI 的工作状态 0: SPI 空闲 1: SPI 正在通信 由硬件置位或者复位

位/域	名称	R/W	描述
6	OVRFLG	R	发生过载标志（Overrun Occur Flag） 该位表示是否发生溢出 0：未发生 1：发生 由硬件置位，软件复位。
5:2	保留		
1	TXFIFOEFLG	R	发送 FIFO 为空标志（Transmit FIFO Empty Flag） 该位表示发送 FIFO 是否为空 0：非空 1：空
0	RXFIFONEFLG	R	接收 FIFO 非空标志（Receive FIFO Not Empty Flag） 该位表示接收 FIFO 是否为空 0：空 1：非空

18.7.4 SPI 数据寄存器（SPI_DR）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	DATA	R/W	发送接收数据寄存器（Transmit Receive Data Register） 存储待发送或者接收到的数据。FIFO 的大小和数据帧的长度保持一致，即对于 8 位数据，发送、接收数据时会用到 DATA[7:0]，DATA[15:8]无效；对于 16 位数据，发送、接收时会用到 DATA[15:0]。 数据寄存器用于连接 RX 和 TX FIFO。读取数据寄存器时，将访问 RXFIFO；而写入数据寄存器时，将访问 TX FIFO。 注：该寄存器仅支持 32 位访问。

19 模数转换器（ADC）

19.1 简介

12 位精度的 ADC，8+2 个外部通道（2 个通道内、外部复用）和 5 个内部通道，各通道 A/D 转换模式有单次、连续或断续，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中。

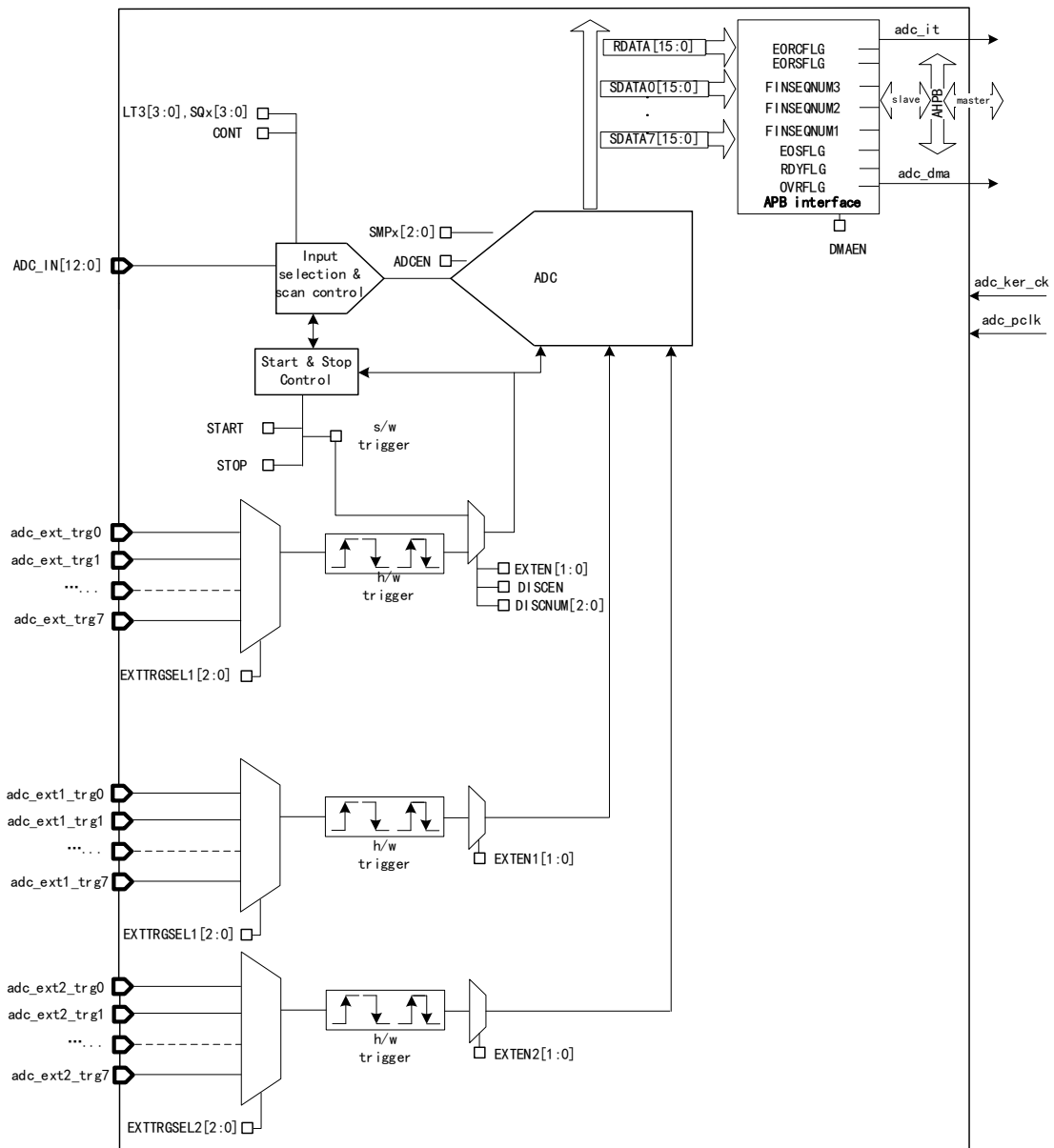
19.2 主要特征

- (1) 12 位分辨率
- (2) 最多 8+2 个外部通道和 5 个内部通道
- (3) 采样间隔可以按通道分别编程
- (4) 带内嵌数据一致性的数据对齐
- (5) 12bit 分辨率下最大转换率达到 1.78 Msps
- (6) 触发方式：
 - 片上定时器信号触发
 - 软件触发
- (7) 支持常规序列、单次、连续采样模式
- (8) 支持单次或连续/不连续序列的扫描模式，每个 ADC 可以转换多个通道或扫描一个通道序列
- (9) 支持规则数据转换的 DMA 请求
 - 规则通道转换结束后产生 DMA 请求，可以将转换的数据结果从 ADC_DR 寄存器传输到存储器中
- (10) ADC 内部通道支持：
 - TS
 - VBG
 - 1/2VDD
 - OPAMP0
 - OPAMP1
- (11) 支持分段采样，每个转换通道有独立的结果寄存器
- (12) 支持低功耗模式，包含自动延时模式和自动关闭模式
- (13) 中断
 - 转换结束中断
 - 序列转换结束中断
 - 采样阶段结束中断
 - ADC 准备好中断

● 过载中断

19.3 结构框图

图 98 结构框图



19.4 ADC 功能描述

19.4.1 时钟

双时钟域架构意味着 ADC 时钟独立于 APB 总线时钟。

通过 APB 总线进行 32 位寄存器读写访问；ADC 采样、转换过程和数据处理采用独立的 ADC 时钟（基于系统时钟可配置 2、4、8、16 分频频率时钟）。

19.4.2 从设备 APB 接口

ADC 利用 APB 从机端口实现控制/状态寄存器访问和数据访问。APB 接口的特性如下：

- 字（32 位）访问

APB 从设备接口不支持分离/重试请求，且绝不会生成 APB 错误。

19.4.3 单端通道

在单端输入模式下，转换电压为当前输入通道电压外部 V_{IN-0} 之差。

19.4.4 ADC 开关控制

将 ADC_CR 寄存器的 ADCEN 位置 1 可使能 ADC，当 ADC 的 RDYFLG 标志置 1 后即可开启转换。

随后可通过将 START 置 1 开始进行常规转换，如果触发器已使能，也可以在发生外部触发事件时开始进行常规转换。

通过软件禁止 ADC 的流程：

- （1） 检查 START 是否为 0，以确保当前未执行任何转换。如有需要，可将 STOP 置 1，随后等待 STOP=0 以停止任何正在进行的常规转换。
- （2） 如果应用要求，可将 ADCEN 清 0，从而禁止 ADC。

19.4.5 写入 ADC 控制位时的限制

当 ADC 禁止时，软件才可通过写入 RCC 控制位的方式配置和使能 ADC 时钟。只有在 ADC 使能时，才允许软件向 ADC_CR 寄存器的 START 位、STOP 位执行写操作。

对于 ADC_CFG1、ADC_CFG2、ADC_CFG3、ADC_SMP1、ADC_SMP2、ADC_SQ1、ADC_SQ2、ADC_SQ3、ADC_SEQNUM 和 ADC_IER 寄存器的所有其他控制位，仅当 ADC 使能且未进行常规转换时，才允许软件对这些位执行写操作。

19.4.6 通道选择（ADC_SQx）

一个常规转换组最多由 16 个转换构成。必须在 ADC_SQ1、ADC_SQ2、ADC_SQ3 寄存器中选择转换序列的常规通道及其顺序。常规转换组中的转换总数必须写入 ADC_SQ1 寄存器中的 LT3[3:0]位。

不能在可能进行常规转换时对 ADC_SQ1、ADC_SQ2、ADC_SQ3 寄存器进行修改。因此，必须先写入 STOP=1 停止 ADC 常规转换。

需要注意的是：

- 当 ADC 选择通道 1100 时
 - 如果需要测量 OPAMP0 输出信号，同时需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块 OPA_CR 寄存器的 OPA0EN，OPA0INSEL，OPA0OUTSEL 均为 1，使 OPAMP0 正常工作。

- 如果不需要测量 OPAMP0 输出信号，只需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA0EN，OPA0INSEL 均为 1，OPA0OUTSEL 为 0，使 OPAMP0 正常工作。
- 如果仅测量 PA0 引脚信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA0EN 为 0，OPA0OUTSEL 为 1，使 OPAMP0 关闭，PA0 信号供 ADC 检测。
- 当 ADC 选择通道 1101 时
 - 如果需要测量 OPAMP1 输出信号，同时需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块 OPA_CR 寄存器的 OPA1EN，OPA1INSEL，OPA1OUTSEL 均为 1，使 OPAMP1 正常工作；
 - 如果不需要测量 OPAMP1 输出信号，只需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA1EN，OPA1INSEL 均为 1，OPA1OUTSEL 为 0，使 OPAMP1 正常工作。
 - 如果仅测量 PA5 引脚信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA1EN 为 0，OPA1OUTSEL 为 1，使 OPAMP1 关闭，PA5 信号供 ADC 检测。

19.4.7 可设置各通道采样时间（ADC_SMPx）

开始转换之前，ADC 必须在待测量电压源与 ADC 内置采样电容之间建立直接连接。该采样时间必须足以使输入电压源为嵌入式电容充电至输入电压水平。

进行采样时可以使用不同的采样时间，采样时间可通过 ADC_SMPx 寄存器中的 SMPx[2:0]位编程，可为每个通道设置独立的采样时间。

总转换时间的计算公式如下：

$$T_{CONV} = \text{采样时间} + 14 \text{ 个 ADC 时钟周期}$$

19.4.8 单次转换模式（CONT=0）

在单次转换模式下，ADC 会将通道的所有转换执行一次。CONT 位为 0 时，可通过以下方式启动此模式：

- 将 ADC_CR 寄存器中的 START 位置 1（适用于常规通道）
- 外部硬件触发事件（适用于常规通道）

在常规序列中，每次转换完成后：

- 转换数据存储在 ADC_DR 寄存器中
- EORCFLG（常规转换结束）标志置 1
- EORCIEN 位置 1 时将产生中断

常规序列完成后：

- EORSFLG（常规序列结束）标志置 1
- EORSIEN 位置 1 时将产生中断

随后，ADC 会停止工作，直至发生新的外部常规触发，或者 START 再次置 1。

注意：要转换单个通道，可将序列长度编程为 1。

19.4.9 连续转换模式（CONT=1）

该模式仅适用于常规通道。

在连续转换模式下，如果发生软件或硬件常规触发事件，ADC 会将通道的所有常规转换执行一次，随后会自动重启并持续执行序列的每个转换。CONT 位为 1 时，可通过外部触发或将 ADC_CR 寄存器中的 START 位置 1 来启动此模式。

在常规序列中，每次转换完成后：

- 转换数据存储在 ADC_DR 寄存器中
- EORCFLG（转换结束）标志置 1
- EORCIEN 位置 1 时将产生中断

转换序列完成后：

- EORSFLG（序列结束）标志置 1
- EORSIEN 位置 1 时将产生中断

随后，会立即重启新序列，ADC 会继续重复执行转换序列。

注意：要转换单个通道，可将序列长度编程为 1。

不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

19.4.10 开始转换（START）

软件通过将 START 置 1 的方式开始进行 ADC 常规转换。

START 置 1 后，会开始进行转换：

- 立即开始转换：EXTEN=00 时（软件触发）
- 在所选常规硬件触发的下一有效边沿开始转换：EXTEN 不等于 00 时
- 在使用软件常规触发的单次模式下
 - 只要常规转换序列结束（EORSFLG 置 1）或如果 DISCEN=1，子组处理结束就清零
- 在所有情况下
 - 执行由软件调用的 STOP 程序之后清零

注意：在连续模式下，由于序列会自动重新启动，因此，当 EORSFLG 置 1 时，START 位不会通过硬件清零。

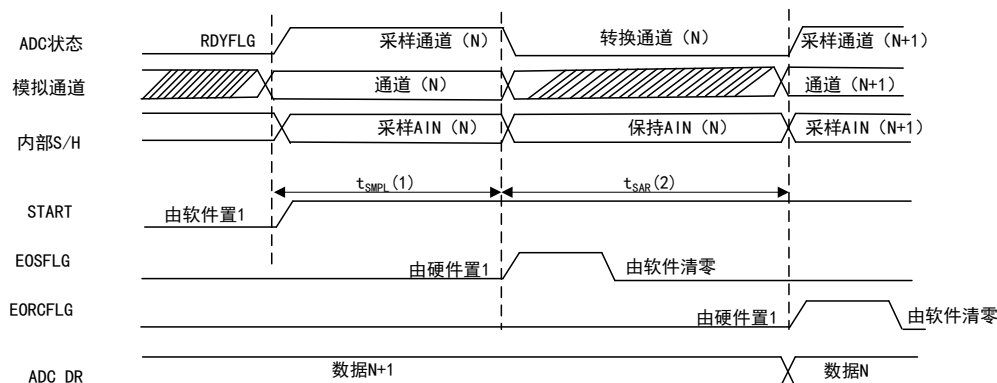
如果在单次模式下选择了硬件触发（CONT=0 且 EXTEN 不等于 00），当 EORSFLG 置 1 时，START 位不会通过硬件清零，借此软件无需再次为下一个硬件触发事件复位 START。这样可确保不会错过任何后续的硬件触发。

注意：选择软件触发时，如果 EORCFLG 标志仍为高电平，则不应将 START 位置 1。

19.4.11 ADC 时序

从转换开始到转换结束所经过的时间是配置的采样时间与转换时间的总和。

图 99 模数转换时间



注意:

- (1) t_{SMPL} 取决于 $SMPx[2:0]$
- (2) t_{SAR} 为转换时间: 14 个 ADC_CLK 周期

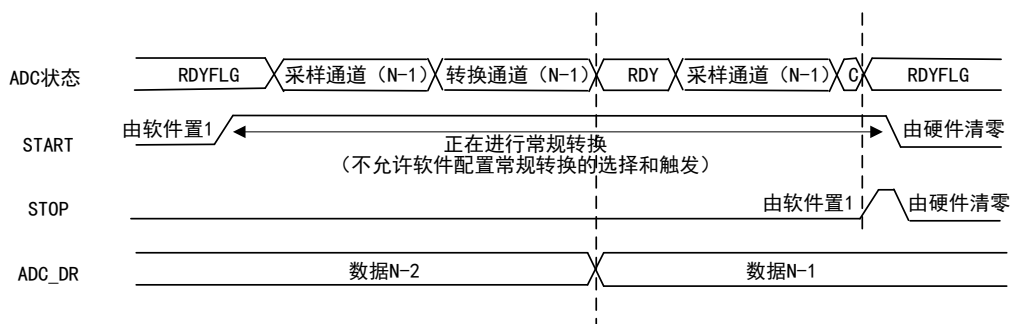
19.4.12 停止正在进行的转换 (STOP)

软件决定是否停止转换, 要停止正在进行的常规转换, 应将 **STOP** 置 1。停止转换将复位正在进行的 **ADC** 操作。随后可重新配置 **ADC**, 为新操作做好准备。

如果 **STOP** 位由软件置 1, 则会中止所有正在进行的常规转换, 并会丢弃部分转换结果。

该程序执行完毕后, **STOP/START** 位会由硬件清零, 软件必须轮询 **START** 直至其复位, 然后才能判定 **ADC** 已完全停止运行。

图 100 停止正在进行的常规转换



19.4.13 外部触发转换和触发极性 (EXTTRGSEL、EXTEN)

可通过软件或外部事件触发转换或转换序列。如果 **EXTEN** 控制位不等于“00”, 则外部事件能够触发转换。

软件将 **START** 位置 1 后, 常规触发选择有效。在转换进行时发生的硬件触发会被忽略。如果位 **START**=0, 则会忽略发生的任何常规硬件触发。

下表提供了 **EXTEN** 值与触发极性之间的对应关系。

表格 63 为常规外部触发配置触发极性

EXTEN	源
00	禁止硬件触发检测，使能软件触发检测
01	在上升沿执行硬件触发检测
10	在下降沿执行硬件触发检测
11	在下降沿和下降沿执行硬件触发检测

EXTTRGSEL 控制位用于从 8 个可能事件中选择可触发常规组转换。

注意：不能实时更改常规触发选择。

下表列出了用于常规转换转换的 ADC 的所有可能存在的外部触发。

表格 64 常规通道的外部触发

名称	源	类型	EXTTRGSEL[2:0]
adc_ext_trg0	ATMR TRG0	来自片上定时器的内部信号	000
adc_ext_trg1	ATMR TRG1	来自片上定时器的内部信号	001
adc_ext_trg2	ATMR TRG2	来自片上定时器的内部信号	010
adc_ext_trg3	GTMR TRG0	来自片上定时器的内部信号	011
adc_ext_trg4	-	保留	100
adc_ext_trg5	-	保留	101
adc_ext_trg6	-	保留	110
adc_ext_trg7	-	保留	111

19.4.14 不连续模式（DISCEN、DISCNUM）

常规组模式

可将 ADC_CFG 寄存器中的 DISCEN 位置 1 来使能此模式。

该模式用于转换含有 n ($n \leq 8$) 个转换的短序列，该短序列是在 ADC_SQx 寄存器中选择的转换序列的一部分。可通过写入 ADC_CFG 寄存器中的 DISCNUM[2:0] 位来指定 n 的值。

出现外部触发时，将启动在 ADC_SQx 寄存器中选择的接下来 n 个转换，直到序列中的所有转换均完成为止。通过 ADC_SQ1 寄存器中的 LT3[3:0] 位定义总序列长度。

每次转换都会生成 EORCFLG 事件，最后一次转换还会生成 EORSFLG 事件。所有后续触发事件都将重启整个序列。

注意：在不连续模式下转换常规组时，不会出现翻转（序列最后一个子组的转换次数少于 n 次）。

转换完所有子组后，下一个触发信号将启动第一个子组的转换。

不能同时使能不连续模式和连续模式。如果同时使能两种模式，ADC 会认定连续模式已禁止并继续执行相关操作。

19.4.15 转换结束（EORCFLG）

每次出现常规转换结束事件时，ADC 都会通知应用。如果新的常规转换数据出现在 ADC_DR 寄存器，ADC 会立即将 EORCFLG 标志置 1。如果 EORCIEN 位置 1，可产生中断。EORCFLG 标志可通过由软件向其写入 1 或读取 ADC_DR 的方式来清零。

19.4.16 转换序列结束（EORSFLG）

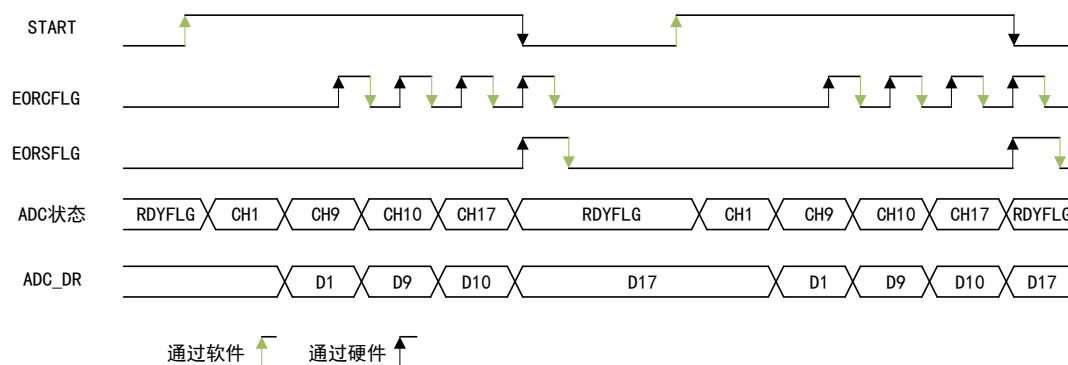
每次出现常规序列结束事件时，ADC 都会通知应用。

常规转换序列的最后一个数据出现在 ADC_DR 寄存器中时，ADC 会立即将 EORSFLG 标志置 1。如果 EORSIEN 位置 1，可产生中断。EORSFLG 标志可通过由软件向其写入 1 的方式来清零。

19.4.17 时序图示例（单次模式/连续模式，硬件/软件触发）

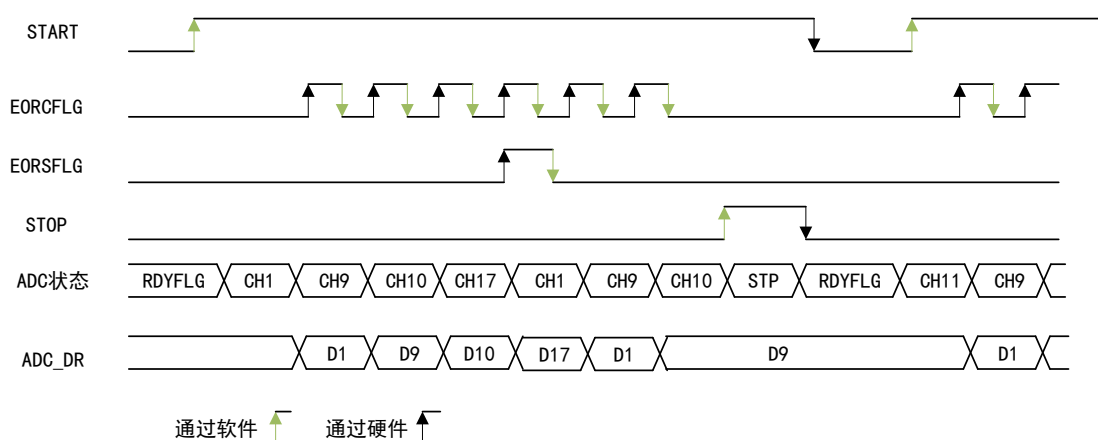
当 EXTEN=00，CONT=0，所选通道=1、9、10、17 时，时序图如下：

图 101 单次序列转换，软件触发



当 EXTEN=00，CONT=1，所选通道=1、9、10、17 时，时序图如下：

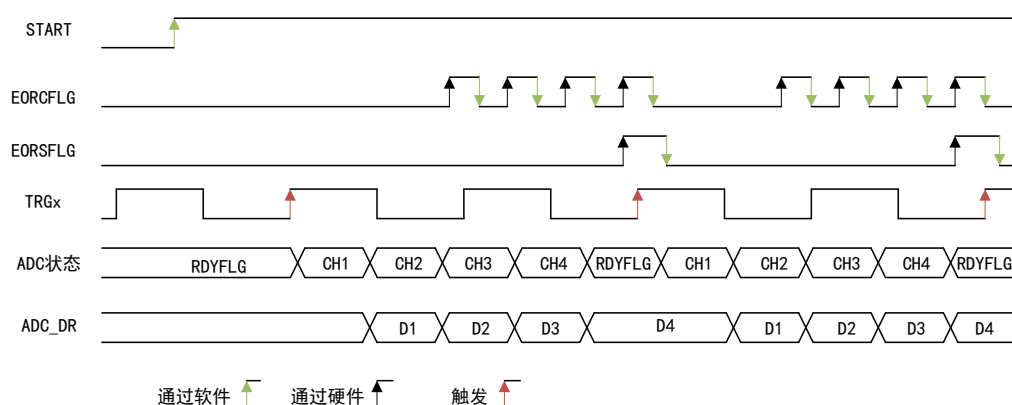
图 102 连续序列转换，软件触发



当选择 TRGx（过频）作为触发源，EXTEN=01，CONT=0，所选通道=1、2、

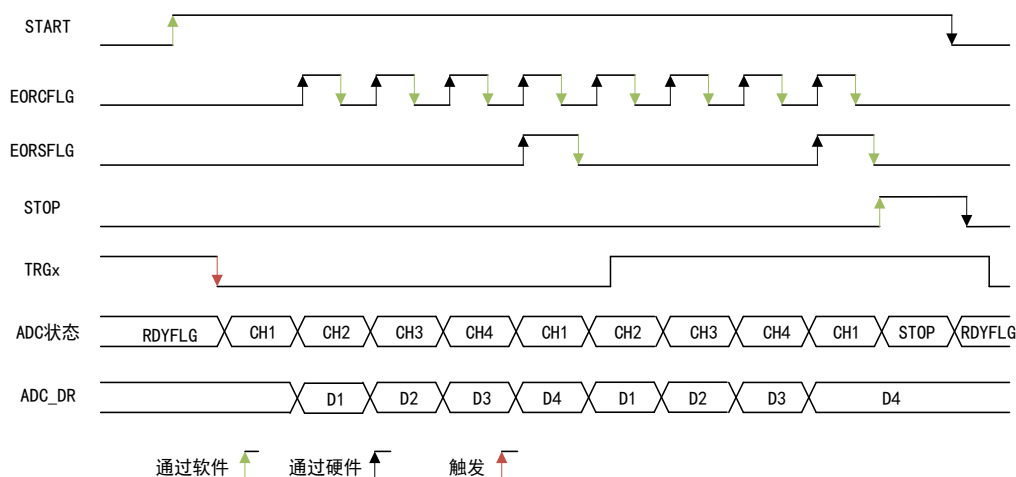
3、4 时，时序图如下：

图 103 单次序列转换，硬件触发



当选择 TRGx（过频）作为触发源，EXTEN=01，CONT=1，所选通道=1、2、3、4 时，时序图如下：

图 104 连续序列转换，硬件触发



19.4.18 数据对齐

ADC_CFG 寄存器中的 ALIGN 位选择转换后数据储存的对齐方式。数据可以左对齐或右对齐，如下图所示。

对于规则组通道，不需减去偏移值，因此只有 12 个位有效。

图 105 数据右对齐

规则组

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

图 106 数据左对齐

规则组

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

序列分段采样模式的数据存储在 ADC_DR (0-7) 的寄存器，可左右对齐。

19.4.19 DMA 请求

因为规则通道转换的值储存在一个仅有的数据寄存器中，所以当转换多个规则通道时需要使用 DMA，这可以避免丢失已经存储在 ADC_DR 寄存器中的数据。

只有在规则通道的转换结束时才产生 DMA 请求，并将转换的数据从 ADC_DR 寄存器传输到用户指定的目的地址。

根据应用用途的不同，推荐使用两种不同的 DMA 模式，并使用 ADC_CFGR 寄存器的 DMACFG 位配置相应的模式：

- (1) DMA 单次模式 (DMACFG=0)：如果通过编程将 DMA 设置为传输固定数目的数据，应选择此模式。
 - DMA 编程用来传输固定长度数据
 - 此模式下，ADC 每次转换数据有效产生一次 DMA 请求，当 ADC 转换重新启动，ADC 停止产生 DMA 请求
 - 当 ADC 转换次数到达 DMA 变成的长度时，需要使用软件配置 STOP 位来停止 ADC
- (2) DMA 循环模式 (DMACFG=1)：如果在循环模式下对 DMA 进行编程，应选择此模式。
 - DMA 编程为循环模式或双缓冲模式
 - 此模式下，ADC 转换重新启动且转换的数据有效时产生一次 DMA 请求

19.4.20 ADC 过载

ADC 过载是指当转换好的数据未及时被 DMA 或 CPU 读取时，另一个转换数据开始有效。

在 EORCFLG 位为 1，但另一个新的转换完成时，产生过载事件，寄存器 ADC_SR 的 OVRFLG 位被置 1，若 ORIEN 位置 1，则产生一个过载中断。

通过配置寄存器 ADC_CFG1 的 OVRMOD 位来决定发生过载事件时 ADC 数据寄存器的数据是被保持还是覆盖：

- OVRMOD 为 0：当检测到过载事件时，ADC_DR 寄存器保持为老数据
- OVRMOD 置 1：当检测到过载事件时，ADC_DR 寄存器用最后一次的转换数据覆盖

19.4.21 ADC 低功耗模式

自动延迟转换模式

ADC 会执行由 DLYCM 配置位控制的自动延迟转换模式。自动延迟转换可用于简化软件，并可优化采用低频时钟的应用（此类应用可能存在 ADC 溢出的风险）的性能。

DLYCM=1 时，仅当同一组内所有之前的数据已处理完毕时，才能开始新的转

换：

- 对于常规转换：ADC_DR 寄存器已读取时。

通过这种方式，可自动调整 ADC 的速度，使其适应系统读取数据的速度。

注意：序列分段采样模式不支持。

自动关断模式

此模式可以很大的降低应用功耗，适用于相对较少转换或转换请求时间间隔很长的应用。自动关断模式可与自动延迟转换模式联合使用于低频应用中。

配置寄存器 ADC_CFG1 的 AUTOFF 位置 1 时开启自动关断模式。AUTOFF 位置 1，ADC 无转换时将会自动断电，开始转换时 ADC 自动唤醒。

注意：序列分段采样模式不支持。该模式适用于断续采样模式（DISCEN 为 1），在断续采样过程中，如果当前子段转换完成且没有新的触发事件，硬件就会把模拟部分 ADC 关闭进入低功耗模式，等待新的触发事件再自动唤醒，新的触发事件发生后，模拟 ADC 需要约 1.9us 的建立时间，之后才能进行后续的采样转换。

19.4.22 ADC 中断

在以下情况下会生成中断：

- 常规组的任何转换结束时（EORCFLG 标志）
- 常规组的转换序列结束时（EORSFLG 标志）
- 序列分段采样第一段结束中断（FINSEQNUM1 标志）
- 序列分段采样第二段结束中断（FINSEQNUM2 标志）
- 序列分段采样第三段结束中断（FINSEQNUM3 标志）
- 溢出中断（OVRFLG 标志）
- 常规转换采样结束中断（EOSFLG 标志）
- 使能 ADC 准备好中断（RDYFLG 标志）

可以使用单独的中断使能位以提高灵活性。

表格 65 ADC 中断

中断事件	事件标志	使能控制位
常规组的转换结束	EORCFLG	EORCIEN
常规组的转换序列结束	EORSFLG	EORSIEN
序列分段采样第一段结束	FINSEQNUM1	FINSEQNUM1IEN
序列分段采样第二段结束	FINSEQNUM2	FINSEQNUM2IEN
序列分段采样第三段结束	FINSEQNUM3	FINSEQNUM3IEN
常规组数据溢出	OVRFLG	ORIEN
常规转换采样结束	EOSFLG	EOSFIEN
使能 ADC 准备好	RDYFLG	RDYIEN

19.4.23 温度计算

温度传感器采样结果 D_{sample} 与当前温度 T （单位℃）的换算公式如下：

$$T = 25 + \frac{D_{\text{sample}} - T_{\text{sample}}}{\text{slope}}$$

注意：

- (1) T =当前温度
- (2) D_{sample} =实际温度的 **Tensor** 电压
- (3) T_{sample} =25℃电压，具体可参考 0x0010 1C14 地址的值
- (4) slope =平均斜率， $\text{slope}=-3.802 \text{ mV/}^{\circ}\text{C}$

19.4.24 使用说明

通过软件使能 ADC 的流程：

- (1) 向 **ADC_SR** 寄存器中的 **RDYFLG** 位写入“1”，将其清零。
- (2) 将 **ADCEN** 置 1。
- (3) 等待，直至 **RDYFLG=1**（**RDYFLG** 会在 ADC 启动时间后置 1）。这可以使用关联中断来实现（将 **RDYIEN** 置 1）。
- (4) 向 **ADC_SR** 寄存器中的 **RDYFLG** 位写入“1”，将其清零（可选）。

通过软件禁止 ADC 的流程：

- (1) 检查 **START** 是否为 0，以确保当前未执行任何转换。如有需要，可将 **STOP** 置 1，随后等待至 **STOP=0**，以停止任何正在进行的常规转换。
- (2) 将 **ADCEN** 清 0。

在单次转换模式下，ADC 会将通道的所有转换执行一次。**CONT** 位为 0 时，可通过以下方式启动此模式：

- 将 **ADC_CR** 寄存器中的 **START** 位置 1（适用于常规通道）
- 外部硬件触发事件（适用于常规通道）

在常规序列中，每次转换完成后：

- 转换数据存储在 16 位 **ADC_DR** 寄存器中
- **EORCFLG**（常规转换结束）标志置 1
- **EORCIEN** 位置 1 时将产生中断

常规序列完成后：

- **EORSFLG**（常规序列结束）标志置 1
- **EORSIEN** 位置 1 时将产生中断

随后，ADC 会停止工作，直至发生新的外部常规触发，或者 **START** 位再次置 1。

注意：要转换单个通道，可将序列长度编程为 1。

在连续转换模式下，如果发生软件或硬件常规触发事件，ADC 会将通道的所有常规转换执行一次，随后会自动重启并持续执行序列的每个转换。CONT 位为 1 时，可通过外部触发或将 ADC_CR 寄存器中的 START 位置 1 来启动此模式。

在常规序列中，每次转换完成后：

- 转换数据存储在 16 位 ADC_DR 寄存器中
- EORCFLG（转换结束）标志置 1
- EORCIEN 位置 1 时将产生中断

转换序列完成后：

- EORSFLG（序列结束）标志置 1
- EORSIEN 位置 1 时将产生中断

随后，会立即重启新序列，ADC 会继续重复执行转换序列。

19.5 寄存器地址映射

表格 66 ADC 寄存器地址映射表

寄存器名	描述	偏移地址
ADC_SR	ADC 状态寄存器	0x00
ADC_IER	ADC 中断使能寄存器	0x04
ADC_CR	ADC 控制寄存器	0x08
ADC_CFG1	ADC 配置寄存器 1	0x0C
ADC_CFG2	ADC 配置寄存器 2	0x10
ADC_SMP1	ADC 采样配置寄存器 1	0x14
ADC_SMP2	ADC 采样配置寄存器 2	0x18
ADC_CFG3	ADC 配置寄存器 3	0x1C
ADC_SQ1	ADC 序列配置寄存器 1	0x2C
ADC_SQ2	ADC 序列配置寄存器 2	0x30
ADC_SQ3	ADC 序列配置寄存器 3	0x34
ADC_DR	ADC 常规转换数据寄存器	0x38
ADC_DRx	ADC 数据寄存器 x	0x3C+0x04*x (x=0~7)
ADC_SEQNUM	ADC 序列分段采样控制寄存器	0x5C

19.6 寄存器功能描述

19.6.1 ADC 状态寄存器（ADC_SR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:11	保留		
10	FINSEQNUM3	R/W	序列分段采样第三段结束 (NUM.3 of Sequential Section Sampling Finish) 0: 没有发生 1: 发生 通过软件写入 1 可将该位清零。
9	FINSEQNUM2	R/W	序列分段采样第二段结束 (NUM.2 of Sequential Section Sampling Finish) 0: 没有发生 1: 发生 通过软件写入 1 可将该位清零。
8	FINSEQNUM1	R/W	序列分段采样第一段结束 (NUM.1 of Sequential Section Sampling Finish) 0: 没有发生 1: 发生 通过软件写入 1 可将该位清零。
7:5	保留		
4	OVRFLG	R/W	ADC 溢出 (ADC overrun) 该位在常规通道上发生溢出事件时由硬件置 1, 这意味着在 EORC 标志已置 1 时, 新转换已完成。通过软件写入 1 可将该位清零。 0: 未发生溢出事件 (或标志事件已通过软件确认并清零) 1: 发生溢出
3	EORSFLG	R/W	常规序列结束标志 (End of regular sequence flag) 常规通道序列转换结束后, 硬件将该位置 1。通过软件写入 1 可将该位清零。 0: 常规转换序列未完成 (或标志事件已通过软件确认并清零) 1: 常规转换序列已完成
2	EORCFLG	R/W	转换结束标志 (End of conversion flag) 当通道的每次常规转换结束, 新数据出现在 ADC_DR 寄存器时, 会通过硬件将该位置 1。通过软件向该位写入 1, 或读取 ADC_DR 寄存器都可将该位清零。 0: 常规通道转换未完成 (或标志事件已通过软件确认并清零) 1: 常规通道转换已完成
1	EOSFLG	R/W	采样结束标志 (End of sampling flag) 在任何通道 (仅限常规通道) 的转换过程中, 当采样阶段结束时, 会通过硬件将该位置 1。 0: 采样阶段未结束 (或标志事件已通过软件确认并清零) 1: 采样阶段已结束
0	RDYFLG	R/W	ADC 准备好标志 (ADC Ready Flag) 通过软件写入 1 可将该位清零。 0: ADC 未准备好 1: ADC 已准备好开始转换

19.6.2 ADC 中断使能寄存器 (ADC_IER)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:11	保留		
10	FINSEQNUM3IEN	R/W	序列分段采样第三段结束中断 (NUM.3 of Sequential Section Sampling Finish Interrupt Enable) 0: 禁止 1: 使能
9	FINSEQNUM2IEN	R/W	序列分段采样第二段结束中断 (NUM.2 of Sequential Section Sampling Finish Interrupt Enable) 0: 禁止 1: 使能
8	FINSEQNUM1IEN	R/W	序列分段采样第一段结束中断 (NUM.1 of Sequential Section Sampling Finish Interrupt Enable) 0: 禁止 1: 使能
7:5	保留		
4	ORIEN	R/W	溢出中断使能 (Overrun interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换的溢出中断。 0: 禁止溢出中断 1: 使能溢出中断。OVRFLG 位置 1 时产生中断。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
3	EORSIEN	R/W	常规转换序列结束中断使能 (End of regular sequence of conversions interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换序列结束中断。 0: 禁止 EOS 中断 1: 使能 EOS 中断。EORSFLG 位置 1 时产生中断。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
2	EORCIEN	R/W	常规转换结束中断使能 (End of regular conversion interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换结束中断。 0: 禁止 EOC 中断 1: 使能 EOC 中断。EORCFLG 位置 1 时产生中断。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
1	EOSFIEN	R/W	常规转换采样结束中断使能 (End of sampling flag interrupt enable for regular conversions) 此位由软件置 1 和清零, 用于使能/禁止常规转换采样阶段结束中断。 0: 禁止 EOSF 中断 1: 使能 EOSF 中断。EOSFLG 位置 1 时产生中断。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
0	RDYIEN	R/W	使能 ADC 准备好中断 (ADC Ready Interrupt Enable) 0: 禁止 1: 使能

19.6.3 ADC 控制寄存器 (ADC_CR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:30	MODESEL	R/W	选择 ADC 工作模式 (ADC working mode select) 00: 标准电压, 正常模式 (5.5V ~ 2.7V) 01: 标准电压, 低功耗模式 (5.5V ~ 2.7V) 10: 低电压, 正常模式 (2.7V ~ 2V) 11: 超低电压, 正常模式 (2V ~ 1.75V)
29:18	保留		
17	VREFSEL	R/W	选择 VREF 连接 (VREF connect select) 0: VREF 接 VDD 1: VREF 接 IO 输入
16	TSENP	RW	TS 使能信号 (TS enable signal) 高电平有效。 0: 禁止 1: 使能
15:5	保留		
4	STOP	R/W	ADC 停止常规转换命令 (ADC stop of regular conversion command) 该位由软件置 1, 用于停止和丢弃正在进行的常规转换 (STOP 命令)。 当转换已有效丢弃、并且可重新配置 ADC 常规序列和触发时, 会通过硬件将该位清零。随后, ADC 会准备好接收新的开始常规转换命令 (START 命令)。 0: 当前未执行 ADC 停止常规转换命令。 1: 写入 1 可停止正在进行的常规转换。读取值为 1 表示正在执行 STOP 命令。 注: 仅当 START=1 时 (ADC 已使能、最终会进行常规转换、并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 STOP 置 1。
3	保留		
2	START	R/W	ADC 开始常规转换 (ADC start of regular conversion) 此位由软件置 1, 用于开始 ADC 的常规通道转换。根据配置位 EXTEN 的值, 可以立即开始转换 (软件触发配置), 也可以在发生常规硬件触发事件后开始转换 (硬件触发配置)。 该位通过硬件清零: - 在使用软件常规触发的单次模式下 (CONT=0, EXTEN=0x0), 只要常规转换序列结束 (EORSFLG 置 1) 或如果 DISCEN=1, 子组处理结束就清零。 - 在所有情况下: 执行完 STOP 命令后, 由硬件将 STOP 位清零的同时清零。 0: 当前未进行 ADC 常规转换。 1: 写入 1 可开始常规转换。读取值为 1 表示 ADC 正在运行, 最终会转换常规通道。 注: 仅当 ADCEN=1 时 (ADC 已使能, 并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 START 置 1。

位/域	名称	R/W	描述
1	保留		
0	ADCEN	R/W	ADC 使能 (ADC enable) 该位由软件置 1 和清零, 用于使能 ADC。 0: 禁止 ADC (OFF 状态) 1: 使能 ADC

19.6.4 ADC 配置寄存器 1 (ADC_CFG1)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:20	保留		
19:17	DISCNUM	R/W	不连续采样模式通道计数 (Discontinuous mode channel count) 软件将写入这些位, 用于定义在接收到外部触发后于不连续采样模式下转换的常规通道数。 000: 1 个通道 001: 2 个通道 ... 110: 7 个通道 111: 8 个通道 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
16	DISCEN	R/W	常规通道的不连续模式 (Discontinuous mode for regular channels) 此位由软件置 1 和清零, 用于使能/禁止常规通道的不连续模式。 0: 禁止常规通道的不连续模式 1: 使能常规通道的不连续模式 注: 不能同时使能不连续模式和连续模式: 禁止同时将 DISCEN 和 CONT 位置 1。仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
15	AUTOFF	R/W	使能自动关断模式 (Auto-Off Mode Enable) 0: 禁止 1: 开启 注: 仅当 START=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
14	DLYCM	R/W	延迟转换模式 (Delayed conversion mode) 此位由软件置 1 和清零, 用于使能/禁止自动延迟转换模式。 0: 禁止自动延迟转换模式 1: 使能自动延迟转换模式 注: 仅当 START=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
13	CONT	R/W	常规转换的单次/连续转换模式 (Single/continuous conversion mode for regular conversions) 此位由软件置 1 和清零。该位置 1 时, 常规转换将持续进行, 直到该位清零。 0: 单次转换模式 1: 连续转换模式

位/域	名称	R/W	描述
			注：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。 仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
12	OVRMOD	R/W	溢出模式（Overrun Mode） 该位由软件置 1 和清零，用于配置数据溢出的管理方式。 0：如果检测到溢出，ADC_DR 寄存器会保留原有数据。 1：如果检测到溢出，ADC_DR 寄存器会被当前转换结果覆盖。 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
11:10	EXTEN1	R/W	常规通道的外部触发使能和极性选择（External trigger enable and polarity selection for regular channels） 通过软件将这些位置 1 和清零可选择外部触发极性和使能常规组的触发。 00：禁止硬件触发检测（可通过软件启动转换） 01：在上升沿执行硬件触发检测 10：在下降沿执行硬件触发检测 11：在上升沿和下降沿执行硬件触发检测 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
9	保留		
8:6	EXTTRGSEL1	R/W	常规组的外部触发选择（External trigger selection for regular group） 这些位可选择用于触发常规组转换的外部事件。 000：ATMR TRG0 001：ATMR TRG1 010：ATMR TRG2 011：GTMR TRG0 1xx：保留 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
5	ALIGN	R/W	数据对齐（Data alignment） 该位由软件设置和清除。 0：右对齐 1：左对齐 仅当 START=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。
4:2	保留		
1	DMACFG	R/W	直接存储器访问配置（Direct memory access configuration） 此位由软件置 1 和清零，用于在 DMA 两种工作模式之间进行选择，仅当 DMAEN=1 时，该位才有效。 0：选择 DMA 单次模式 1：选择 DMA 循环模式 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
0	DMAEN	R/W	直接存储器访问使能（Direct memory access enable） 此位由软件置 1 和清零，用于使能 DMA 请求的生成。

位/域	名称	R/W	描述
			0: 禁止 DMA 1: 使能 DMA 注: 仅当 START=0 时 (这可确保当前未进行常规任何转换), 才允许通过软件对此位执行写操作。

19.6.5 ADC 配置寄存器 2 (ADC_CFG2)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11:8	TGAP	R/W	配置序列段中转换的时间间隔 (Time of The Gap between Conversions in Sequential Section Configure) 此位配置序列中每一段中上一次转换完成到下一次开始采样的时间间隔 (以 ADC_CLK 为单位)。 0x0: 无间隔 0x1: 2 个 ADC_CLK 时钟周期间隔 0x2: 4 个 ADC_CLK 时钟周期间隔 0xF: 2 ¹⁵ 个 ADC_CLK 时钟周期间隔
7:1	保留		
0	SEQEN	R/W	使能序列分段采样 (Sequential Section Sampling Enable) 0: 禁止 1: 使能

19.6.6 ADC 采样配置寄存器 1 (ADC_SMP1)

偏移地址: 0x14

复位值: 0x1111 1111

位/域	名称	R/W	描述
31	保留		
30:28	SMP7	R/W	通道 7 (SQx=1000) 采样时间选择 (Channel 7 sampling time selection) 参考 SMP0 位。
27	保留		
26:24	SMP6	R/W	通道 6 (SQx=0111) 采样时间选择 (Channel 6 sampling time selection) 参考 SMP0 位。
23	保留		
22:20	SMP5	R/W	通道 5 (SQx=0110) 采样时间选择 (Channel 5 sampling time selection) 参考 SMP0 位。
19	保留		
18:16	SMP4	R/W	通道 4 (SQx=0101) 采样时间选择 (Channel 4 sampling time selection) 参考 SMP0 位。

位/域	名称	R/W	描述
15	保留		
14:12	SMP3	R/W	通道 3 (SQx=0100) 采样时间选择 (Channel 3 sampling time selection) 参考 SMP0 位。
11	保留		
10:8	SMP2	R/W	通道 2 (SQx=0011) 采样时间选择 (Channel 2 sampling time selection) 参考 SMP0 位。
7	保留		
6:4	SMP1	R/W	通道 1 (SQx=0010) 采样时间选择 (Channel 1 sampling time selection) 参考 SMP0 位。
3	保留		
2:0	SMP0	R/W	通道 0 (SQx=0001) 采样时间选择 (Channel 0 sampling time selection) 通过软件写入这些位可分别为各个通道选择采样时间。在采样周期期间，通道选择位必须保持不变。 000: 2 个 ADC 时钟周期 001: 4 个 ADC 时钟周期 010: 8 个 ADC 时钟周期 011: 16 个 ADC 时钟周期 100: 32 个 ADC 时钟周期 101: 64 个 ADC 时钟周期 110: 128 个 ADC 时钟周期 111: 256 个 ADC 时钟周期 注：仅当 START=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

19.6.7 ADC 采样配置寄存器 2 (ADC_SMP2)

偏移地址：0x18

复位值：0x0001 1111

位/域	名称	R/W	描述
31:19	保留		
18:16	SMP12	R/W	通道 12 (SQx=1101) 采样时间选择 (Channel 12 sampling time selection) 参考 SMP8 位。
15	保留		
14:12	SMP11	R/W	通道 11 (SQx=1100) 采样时间选择 (Channel 11 sampling time selection) 参考 SMP8 位。
11	保留		
10:8	SMP10	R/W	通道 10 (SQx=1011) 采样时间选择 (Channel 10 sampling time selection) 参考 SMP8 位。

位/域	名称	R/W	描述
7	保留		
6:4	SMP9	R/W	通道 9 (SQx=1010) 采样时间选择 (Channel 9 sampling time selection) 参考 SMP8 位。
3	保留		
2:0	SMP8	R/W	通道 8 (SQx=1001) 采样时间选择 (Channel 8 sampling time selection) 通过软件写入这些位可分别为各个通道选择采样时间。在采样周期期间，通道选择位必须保持不变。 000: 2 个 ADC 时钟 001: 4 个 ADC 时钟周期 010: 8 个 ADC 时钟周期 011: 16 个 ADC 时钟周期 100: 32 个 ADC 时钟周期 101: 64 个 ADC 时钟周期 110: 128 个 ADC 时钟周期 111: 256 个 ADC 时钟周期 注: 仅当 START=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

19.6.8 ADC 配置寄存器 3 (ADC_CFG3)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12:10	EXTTRGSEL3	R/W	外部触发选择 3 (External trigger selection for regular group) 这些位可选择用于触发常规组转换的外部事件。 000: ATMR TRG0 001: ATMR TRG1 010: ATMR TRG2 011: GTMR TRG0 1xx: 保留 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
9:8	EXTEN3	R/W	外部触发使能和极性选择 3 (External trigger enable and polarity selection for regular channels) 通过软件将这些位置 1 和清零可选择外部触发极性和使能常规组的触发。 00: 禁止硬件触发检测 (分段采样功能中, 该位不允许为 00) 01: 在上升沿执行硬件触发检测 10: 在下降沿执行硬件触发检测 11: 在上升沿和下降沿执行硬件触发检测 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
7:5	保留		

位/域	名称	R/W	描述
4:2	EXTTRGSEL2	R/W	外部触发选择 2 (External trigger selection for regular group) 这些位可选择用于触发常规组转换的外部事件。 000: ATMR TRG0 001: ATMR TRG1 010: ATMR TRG2 011: GTMR TRG0 1xx: 保留 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
1:0	EXTEN2	R/W	外部触发使能和极性选择 2 (External trigger enable and polarity selection for regular channels) 通过软件将这些位置 1 和清零可选择外部触发极性和使能常规组的触发。 00: 禁止硬件触发检测 (分段采样功能中, 该位不允许为 00) 01: 在上升沿执行硬件触发检测 10: 在下降沿执行硬件触发检测 11: 在上升沿和下降沿执行硬件触发检测 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。

19.6.9 ADC 序列配置寄存器 1 (ADC_SQ1)

偏移地址: 0x2C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	SQ7	R/W	常规序列中的第七次转换 (7th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第七次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
27:24	SQ6	R/W	常规序列中的第六次转换 (6th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第六次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
23:20	SQ5	R/W	常规序列中的第五次转换 (5th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第五次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
19:16	SQ4	R/W	常规序列中的第四次转换 (4th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第四次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
15:12	SQ3	R/W	常规序列中的第三次转换 (3rd conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第三次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
11:8	SQ2	R/W	常规序列中的第二次转换 (2nd conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第二次转换。

位/域	名称	R/W	描述
			注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
7:4	SQ1	R/W	常规序列中的第一次转换（1st conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第一次转换。 0000：关闭所有通道 0001：打开外部通道 0--测量外部信号--PA7 0010：打开外部通道 1--测量外部信号--PA8 0011：打开外部通道 2--测量外部信号--PA9 0100：打开外部通道 3--测量外部信号--PB0 0101：打开外部通道 4--测量外部信号--PB1 0110：打开外部通道 5--测量外部信号--PB2 0111：打开外部通道 6--测量外部信号--PB5 1000：打开外部通道 7--测量外部信号--PB6 1001：打开 TS 通道--测量温度传感器信号 1010：打开 PMU 通道--测量 VBG 电压信号 1011：打开 PMU 通道--测量 VDD-DIV2 信号 1100：打开 OPAMP0 通道--测量 OPAMP0 信号 1101：打开 OPAMP1 通道--测量 OPAMP1 信号 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。 - 当 ADC 选择通道 1100 时 - 如果需要测量 OPAMP0 输出信号，同时需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块 OPA_CR 寄存器的 OPA0EN，OPA0INSEL，OPA0OUTSEL 均为 1，使 OPAMP0 正常工作。 - 如果不需要测量 OPAMP0 输出信号，只需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA0EN，OPA0INSEL 均为 1，OPA0OUTSEL 为 0，使 OPAMP0 正常工作。 - 如果仅测量 PA0 引脚信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA0EN 为 0，OPA0OUTSEL 为 1，使 OPAMP0 关闭，PA0 信号供 ADC 检测。 - 当 ADC 选择通道 1101 时 - 如果需要测量 OPAMP1 输出信号，同时需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块 OPA_CR 寄存器的 OPA1EN，OPA1INSEL，OPA1OUTSEL 均为 1，使 OPAMP1 正常工作； - 如果不需要测量 OPAMP1 输出信号，只需要 ADC 采集 OPAMP 信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA1EN，OPA1INSEL 均为 1，OPA1OUTSEL 为 0，使 OPAMP1 正常工作。 - 如果仅测量 PA5 引脚信号，则配置 OPAMP 模块的 OPA_CR 寄存器 OPA1EN 为 0，OPA1OUTSEL 为 1，使 OPAMP1 关闭，PA5 信号供 ADC 检测。
3:0	LT3	R/W	常规通道序列长度（Regular channel sequence length） 通过软件写入这些位可定义常规通道转换序列中的转换总数。 0000：1 次转换 0001：2 次转换 ... 1111：16 次转换 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

19.6.10 ADC 序列配置寄存器 2 (ADC_SQ2)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	保留		
27:24	SQ14	R/W	常规序列中的第十四次转换 (14th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十四次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
23:20	SQ13	R/W	常规序列中的第十三次转换 (13th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十三次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
19:16	SQ12	R/W	常规序列中的第十二次转换 (12th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十二次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
15:12	SQ11	R/W	常规序列中的第十一次转换 (11th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十一次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
11:8	SQ10	R/W	常规序列中的第十次转换 (10th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
7:4	SQ9	R/W	常规序列中的第九次转换 (9th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第九次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
3:0	SQ8	R/W	常规序列中的第八次转换 (8th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第八次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。

19.6.11 ADC 序列配置寄存器 3 (ADC_SQ3)

偏移地址: 0x34

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:4	SQ16	R/W	常规序列中的第十六次转换 (16th conversion in regular sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第十六次转换。 注: 仅当 START=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。

位/域	名称	R/W	描述
3:0	SQ15	R/W	常规序列中的第十五次转换（15th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十五次转换。 注：仅当 START=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

19.6.12 ADC 常规转换数据寄存器（ADC_DR）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	RDATA	R	已转换常规数据（Regular Data converted） 这些位为只读。其中包含上一转换常规通道的转换结果。

19.6.13 ADC 数据寄存器 0（ADC_DR0）

偏移地址：0x3C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	SDATA0	R	序列分段采样结果数据 0（Sequence segmented sampling result data 0）

19.6.14 ADC 数据寄存器 1（ADC_DR1）

偏移地址：0x40

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	SDATA1	R	序列分段采样结果数据 1（Sequence segmented sampling result data 1）

19.6.15 ADC 数据寄存器 2（ADC_DR2）

偏移地址：0x44

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	SDATA2	R	序列分段采样结果数据 2（Sequence segmented sampling result data 2）

19.6.16 ADC 数据寄存器 3（ADC_DR3）

偏移地址：0x48

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	SDATA3	R	序列分段采样结果数据 3（Sequence segmented sampling result data 3）

19.6.17 ADC 数据寄存器 4 (ADC_DR4)

偏移地址: 0x4C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	SDATA4	R	序列分段采样结果数据 4 (Sequence segmented sampling result data 4)

19.6.18 ADC 数据寄存器 5 (ADC_DR5)

偏移地址: 0x50

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	SDATA5	R	序列分段采样结果数据 5 (Sequence segmented sampling result data 5)

19.6.19 ADC 数据寄存器 6 (ADC_DR6)

偏移地址: 0x54

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	SDATA6	R	序列分段采样结果数据 6 (Sequence segmented sampling result data 6)

19.6.20 ADC 数据寄存器 7 (ADC_DR7)

偏移地址: 0x58

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	SDATA7	R	序列分段采样结果数据 7 (Sequence segmented sampling result data 7)

19.6.21 ADC 序列分段采样控制寄存器 (ADC_SEQNUM)

偏移地址: 0x5C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17:16	SGNUM	R/W	序列的段数 (The Number of Sequential Section) 00: 1 段 01: 2 段 10: 3 段 11: 无效
15:11	保留		

位/域	名称	R/W	描述
10:8	SEQNUM3	R/W	设置序列分段采样第三段传输次数（Section3 Transmission Time Setup） 000: 传输 1 次 001: 传输 2 次 101: 传输 6 次 其他: 无效
7	保留		
6:4	SEQNUM2	R/W	设置序列分段采样第二段传输次数（Section2 Transmission Time Setup） 000: 传输 1 次 001: 传输 2 次 110: 传输 7 次 其他: 无效
3	保留		
2:0	SEQNUM1	R/W	设置序列分段采样第一段传输次数（Section1 Transmission Time Setup） 000: 传输 1 次 001: 传输 2 次 111: 传输 8 次

20 比较器（COMP）

20.1 术语全称、缩写描述

表格 67 术语全称、缩写描述

中文全称	英文全称	英文缩写
比较器	Comparator	COMP
反转	Invert	INV
迟滞	Hysteresis	HYS
正输入	Input Plus	INP
负输入	Input Minus	INM

20.2 简介

MCU 内嵌四个通用比较器（COMP0 和 COMP1/2/3），它们可以和定时器结合使用。

20.3 主要特征

- （1） COMP0 具有可配置的正负输入，用于灵活的电压选择
 - 输入正端：2 个 IO，BG，1/2BG
 - 输入负端：2 个 IO，2 个放大器输出端
- （2） COMP1/2/3 正端共用一个 IO 和虚拟中心点，负端各接 2 个 IO
- （3） 可编程的滞后
 - 正迟滞
 - 迟滞电压：无迟滞、20mV、40mV、80mV
- （4） 数字滤波
- （5） 输出反相
- （6） 比较器中断
- （7） 输出作为 PWM 刹车触发信号

20.4 结构框图

图 107 COMP0 结构框图

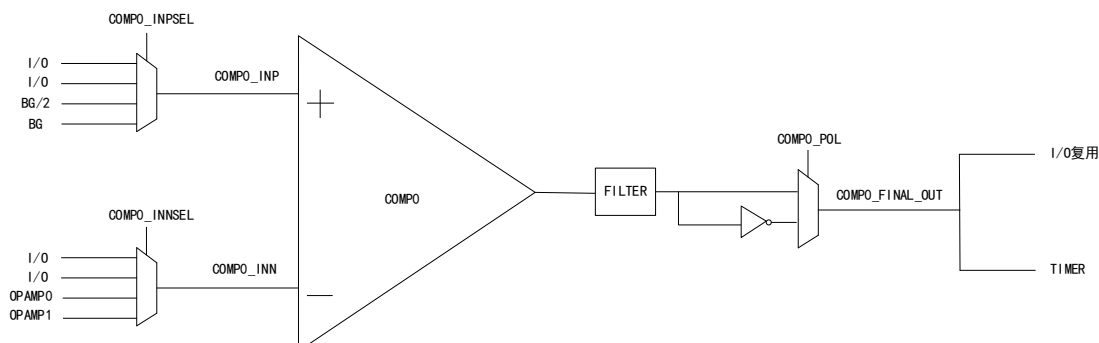
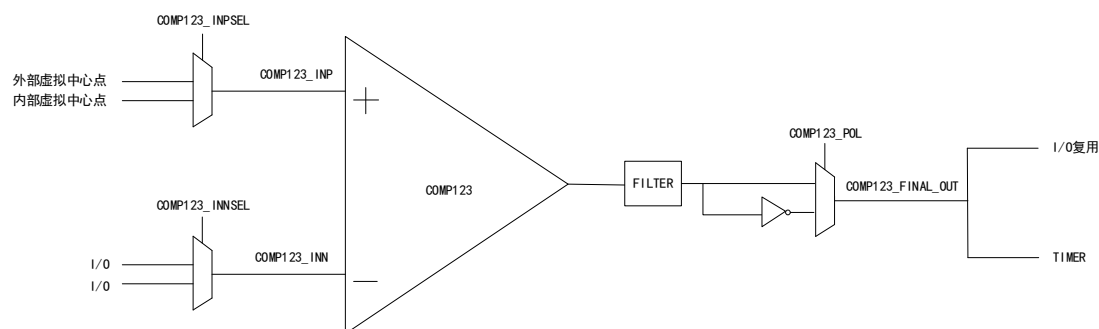


图 108 COMP1/2/3 结构框图



20.5 功能描述

20.5.1 COMP 迟滞

比较器包含一个可编程的滞后功能，以避免在输入信号噪声较大时产生伪输出转换。该滞后功能是非对称的，仅作用于比较器输出的下降沿。内部滞后功能可以被禁用，从而可以通过外部组件设置滞后量。

20.5.2 COMP 数字滤波

PCLK 用作滤波时钟，支持 8 档时钟分频和 10 档分频时钟计数的高低电平滤波，滤波后的 COMP 输出可以输出到 IO 或 TIMER。

20.5.3 COMP 中断

比较器输出内部产生中断事件。

按照以下步骤可以使能 COMP 中断：

- （1） 配置和启用与 COMP 输出事件对应的中断模式，并选择对上升沿、下降沿或两个边沿的触发
- （2） 配置和启用映射到相应的 NVIC IRQ 通道
- （3） 使能 COMP

20.5.4 使用说明

- (1) 配置 COMP_CRx 寄存器，设置 LOCK 值、CFG 值、COMPEN 值、VPSEL[2:0]、VNSEL[2:0]、HYSEN[1:0]；
- (2) 配置 COMP_CRx 寄存器，设置 POL 值、REN 值、FEN 值、RFEN 值、SWEG 值。

20.6 寄存器地址映射

COMP0 基地址：0x4000 5C00

COMP1/2/3 基地址：0x4000 6000

表格 68 COMP 寄存器地址映射

寄存器名	描述	偏移地址
COMP_CR0	控制寄存器 0	0x00
COMP_ISR0	中断状态寄存器 0	0x04
COMP_CR1	控制寄存器 1	0x00
COMP_CR2	控制寄存器 2	0x04
COMP_CR3	控制寄存器 3	0x08
COMP_ISR1	中断状态寄存器 1	0x0C
COMP_ISR2	中断状态寄存器 2	0x10
COMP_ISR3	中断状态寄存器 3	0x14

20.7 寄存器功能描述

20.7.1 控制寄存器 0 (COMP_CR0)

偏移地址：0x00

复位值：0x0003 C000

位/域	名称	R/W	描述
31	LOCK	R/W	COMP_CR0 寄存器锁定 (COMP_CR0 register lock) 该位由软件设置，并由硬件系统复位清除。它锁定比较器 x 控制寄存器 COMP_CR0 [28:0]的全部内容。当锁定时，所有控制位和标志位仅可读不可写。当解锁时，控制位也可以被软件写入。 0：解锁 1：锁定
30	VAL	R	比较器输出标志 (Comparator output flag) 该只读标志反映了比较器输出在极性选择器和屏蔽之前的电平值
29	保留		
28:26	PSC	R/W	数字滤波时钟分频配置 (Digital filtering clock frequency division configure)

位/域	名称	R/W	描述
			000: 1 001: 2 010: 4 011: 8 100: 16 101: 32 110: 64 111: 128
25:22	CFG	R/W	数字滤波计数周期配置 (Digital filtering counting cycle configuration) 0000: 1 0001: 2 0010: 4 0011: 8 0100: 16 0101: 32 0110: 64 0111: 128 1000: 256 1001: 512 1010~1111: 保留
21	SWEG	R/W	软件中断 (software interrupt) 软件置 1, 对 IFLG 写 1 清 0; 当该位为 0 时, 写 1 将置位 IFLG, 产生一个中断。 0: 无作用 1: 软件产生中断
20	RFEN	R/W	比较器中断上升下降沿同时使能 (comparator interrupt enables both the rising and falling edges simultaneously) 0: 禁用 1: 使能
19	FEN	R/W	比较器中断下降沿使能 (comparator interrupts the falling edge enable) 0: 禁用 1: 使能
18	REN	R/W	比较器中断上升沿使能 (comparator interrupts the rising edge enable) 0: 禁用 1: 使能
17:16	HYPEN	R/W	比较器迟滞使能 (comparator hysteresis enable) 正迟滞, 默认值 11。 00: 禁止 01: 一档迟滞 (20mV) 10: 二档迟滞 (40mV) 11: 三档迟滞 (80mV)
15:14	HYSNEN	R/W	比较器迟滞使能 (comparator hysteresis enable) 负迟滞, 默认值 11。

位/域	名称	R/W	描述
			00: 禁止 01: 一档迟滞 (20mV) 10: 二档迟滞 (40mV) 11: 三档迟滞 (80mV)
13	POL	R/W	比较器极性 (Comparator polarity) 该位由软件控制, 用于选择比较器 x 的输出极性: 0: 非反相 1: 反相
12:9	保留		
8:7	VPSEL	R/W	选择比较器正端输入电压 (comparator positive input voltage Select) 当 COMPEN=0 时, 所有通道均断开。 2 个 IO, BG 电压的 1/2、1。 00: PA7 01: PB9 10: BG/2 11: BG
6	保留		
5:4	VNSEL	R/W	选择比较器负端输入电压 (comparator negative terminal input voltage Select) 当 COMPEN=0 时, 所有通道均断开。 2 个 IO, 2 个放大器输出端。 00: PA8 01: PA9 10: OPAMP0_OUT 11: OPAMP1_OUT
3:1	保留		
0	COMPEN	R/W	使能比较器 (Comparator enable) 0: 禁用 1: 使能

20.7.2 中断状态寄存器 0 (COMP_ISR0)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	IFLG	R/W1C	中断状态 (interrupt status) 当发生了 REN/FEN/RFEN 对应的边沿触发请求时, 由硬件置 1, 当发生了 SWEG 软件触发请求时, 由硬件置 1; 可通过向该位写入 1 清 0。 该标志反映了比较器输出在极性选择器和屏蔽之前的电平值。

20.7.3 控制寄存器 x (COMP_CRx)

偏移地址: 0x00+0x04* (x-1) (x=1~3)

复位值：0x0003 C000

位/域	名称	R/W	描述
31	LOCK	R/W	COMP_CRx 寄存器锁定 (COMP_CRx register lock) 该位由软件设置，并由硬件系统复位清除。它锁定比较器 x 控制寄存器 COMP_CRx [28:0]的全部内容。当锁定时，所有控制位和标志位仅可读不可写。当解锁时，控制位也可以被软件写入。 0: 解锁 1: 锁定
30	VAL	R	比较器输出标志 (Comparator output flag) 该只读标志反映了比较器输出在极性选择器和屏蔽之前的电平值
29	保留		
28:26	PSC	R/W	数字滤波时钟分频配置 (Digital filtering clock frequency division configure) 000: 1 001: 2 010: 4 011: 8 100: 16 101: 32 110: 64 111: 128
25:22	CFG	R/W	数字滤波计数周期配置 (Digital filtering counting cycle configuration) 0000: 1 0001: 2 0010: 4 0011: 8 0100: 16 0101: 32 0110: 64 0111: 128 1000: 256 1001: 512 1010~1111: 保留
21	SWEG	R/W	软件中断 (software interrupt) 软件置 1，对 IFLG 写 1 清 0; 当该位为 0 时，写 1 将置位 IFLG，产生一个中断。 0: 无作用 1: 软件产生中断
20	RFEN	R/W	比较器中断上升下降沿同时使能 (comparator interrupt enables both the rising and falling edges simultaneously) 0: 禁用 1: 使能
19	FEN	R/W	比较器中断下降沿使能 (comparator interrupts the falling edge enable)

位/域	名称	R/W	描述
			0: 禁用 1: 使能
18	REN	R/W	比较器中断上升沿使能 (comparator interrupts the rising edge enable) 0: 禁用 1: 使能
17:16	HYPHEN	R/W	比较器迟滞使能 (comparator hysteresis enable) 正迟滞, 默认值 11。 00: 禁止 01: 一档迟滞 (20mV) 10: 二档迟滞 (40mV) 11: 三档迟滞 (80mV)
15:14	HYSNEN	R/W	比较器迟滞使能 (comparator hysteresis enable) 负迟滞, 默认值 11。 00: 禁止 01: 一档迟滞 (20mV) 10: 二档迟滞 (40mV) 11: 三档迟滞 (80mV)
13	POL	R/W	比较器极性 (Comparator polarity) 该位由软件控制, 用于选择比较器 x 的输出极性: 0: 非反相 1: 反相
12:8	保留		
7	VPSEL	R/W	选择比较器正端输入电压 (comparator positive input voltage Select) 当 COMPEN=0 时, 所有通道均断开。 选择通路 0: 外部虚拟中心点---PB6 1: 内部虚拟中心点 注: 此 bit 由 COMP1/2/3 共用, 放在 COMP1 的寄存器中配置。
6:5	保留		
4	VNSEL	R/W	选择比较器负端输入电压 (comparator negative terminal input voltage Select) 当 COMPEN=0 时, 所有通道均断开。 COMP1: 0: PA1 1: PB1 COMP2: 0: PA2 1: PB2 COMP3: 0: PA0 1: PB5
3:1	保留		

位/域	名称	R/W	描述
0	COMPEN	R/W	使能比较器 (Comparator enable) 0: 禁用 1: 使能

20.7.4 中断状态寄存器 x (COMP_ISRx)

偏移地址: 0x0C+0x04*x (x=1~3)

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	IFLG	R/W1C	中断状态 (interrupt status) 当发生了 REN/FEN/RFEN 对应的边沿触发请求时, 由硬件置 1, 当发生了 SWEG 软件触发请求时, 由硬件置 1; 可通过向该位写入 1 清 0。 该标志反映了比较器输出在极性选择器和屏蔽之前的电平值。

21 运算放大器（OPAMP）

21.1 简介

MCU 内嵌有两个可独立使用的运算放大器（OPAMP0 和 OPAMP1），可以和 COMP、ADC 结合使用。

21.2 主要特征

- （1） 支持内部增益可调，可调范围（x1,4,6,8,10,12,16）
- （2） 支持外部增益最大 16 倍
- （3） OPAMP 的输出可以作为 ADC 的输入
- （4） OPAMP 的输出可以作为 COMP 负端输入
- （5） 支持 $1/2V_{DDA}$ 、 $1/4V_{DDA}$ 、BG、 $1/4BG$ 四档可选的内置偏置

21.3 结构框图

图 109 OPAMP 结构框图

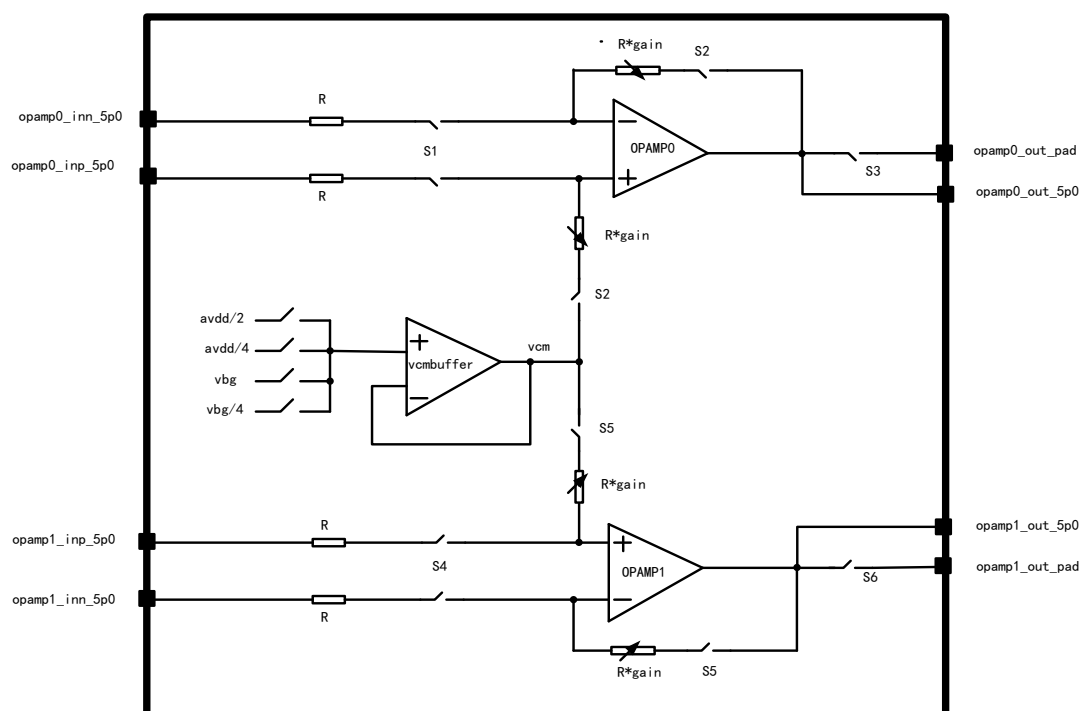


图 110 内部增益应用示意图

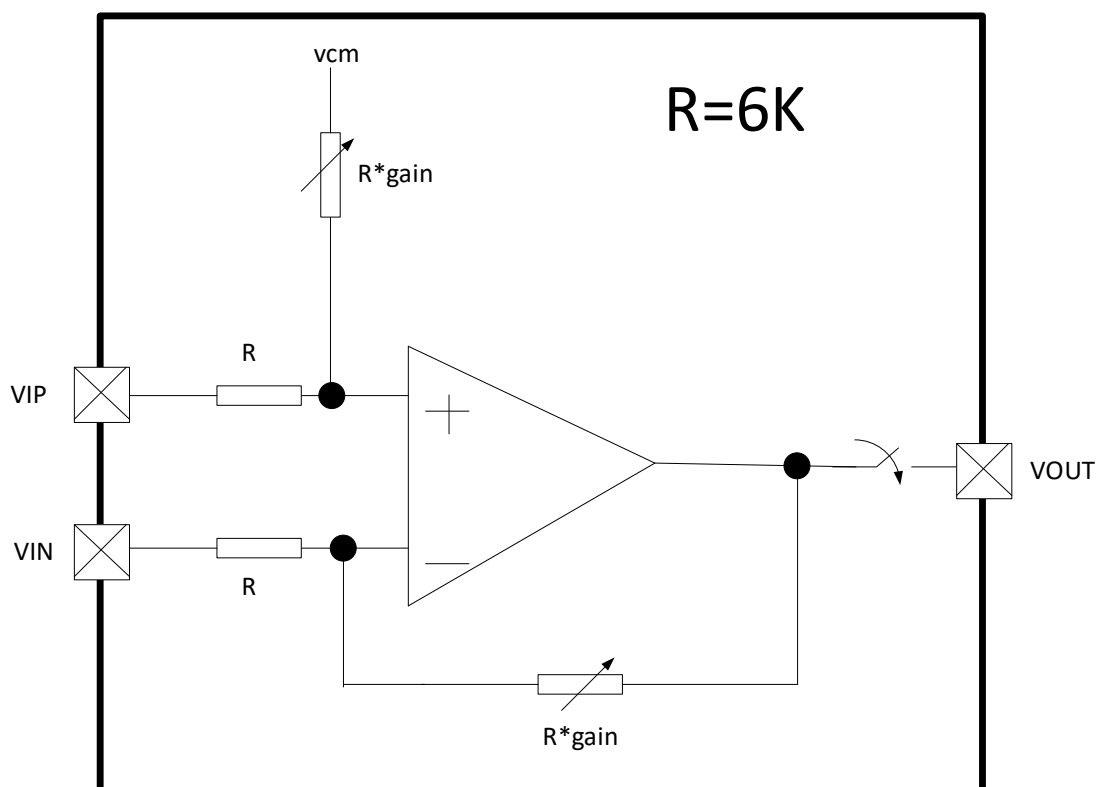
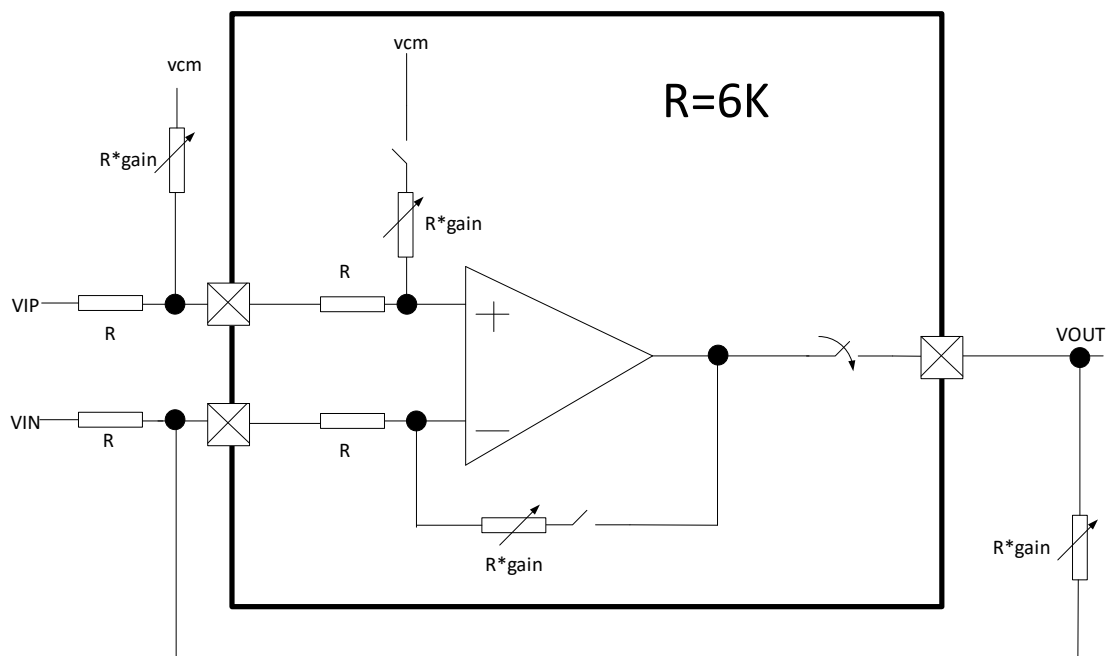


图 111 外部增益应用示意图



21.4 寄存器地址映射

表格 69 OPAMP 寄存器地址映射表

寄存器名	描述	偏移地址
OPA_CR	OPAMP 控制寄存器	0x00

21.5 寄存器功能描述

21.5.1 OPAMP 控制寄存器 (OPA_CR)

偏移地址: 0x00

复位值: 0x0004 0000

位/域	名称	R/W	描述
31:19	保留		
18:16	OPAVCMSEL	RW	运放内置偏置电压选择信号 (Operational amplifier has an internal bias voltage selection signal) 运放 0/1 共用。 0xx: VCM 输入电压均不选择 100: VCM = 0.5*AVDD 101: VCM = 0.25*AVDD 110: VCM = VBG 111: VCM = 0.25*VBG
15:14	保留		
13	OPA1OUTSEL	RW	运放 1 输出的 IO 控制信号 (IO control signal output by operational amplifier 1) 0: OPAMP1 输出未连接到输出 PAD 1: OPAMP1 输出连接到输出 PAD
12	OPA1INSEL	RW	运放 1 输入的 IO 控制信号 (IO control signal input by operational amplifier 1) 0: 输入 PAD 未连接到 OPAMP1 输入 1: 输入 PAD 连接到 OPAMP1 输入
11:9	OPA1GAINSEL	RW	运放 1 增益选择信号 (Operational amplifier 1 gain selection signal) 000: 增益由外部电阻决定, 不使用内部电阻 001: 使用内部电阻, 增益为 1 010: 使用内部电阻, 增益为 4 011: 使用内部电阻, 增益为 6 100: 使用内部电阻, 增益为 8 101: 使用内部电阻, 增益为 10 110: 使用内部电阻, 增益为 12 111: 使用内部电阻, 增益为 16
8	OPA1EN	RW	使能运放 1 (Operational amplifier 1 enable) 0: 禁用 1: 使能
7:6	保留		

位/域	名称	R/W	描述
5	OPA0OUTSEL	RW	运放 0 输出的 IO 控制信号 (IO control signal output by operational amplifier 0) 0: OPAMP0 输出未连接到输出 PAD 1: OPAMP0 输出连接到输出 PAD
4	OPA0INSEL	RW	运放 0 输入的 IO 控制信号 (IO control signal input by operational amplifier 0) 0: 输入 PAD 未连接到 OPAMP0 输入 1: 输入 PAD 连接到 OPAMP0 输入
3:1	OPA0GAINSEL	RW	运放 0 增益选择信号 (Operational amplifier 0 gain selection signal) 000: 增益由外部电阻决定, 不使用内部电阻 001: 使用内部电阻, 增益为 1 010: 使用内部电阻, 增益为 4 011: 使用内部电阻, 增益为 6 100: 使用内部电阻, 增益为 8 101: 使用内部电阻, 增益为 10 110: 使用内部电阻, 增益为 12 111: 使用内部电阻, 增益为 16
0	OPA0EN	RW	使能运放 0 (Operational amplifier 0 enable) 0: 禁用 1: 使能

22 循环冗余校验计算单元（CRC）

22.1 简介

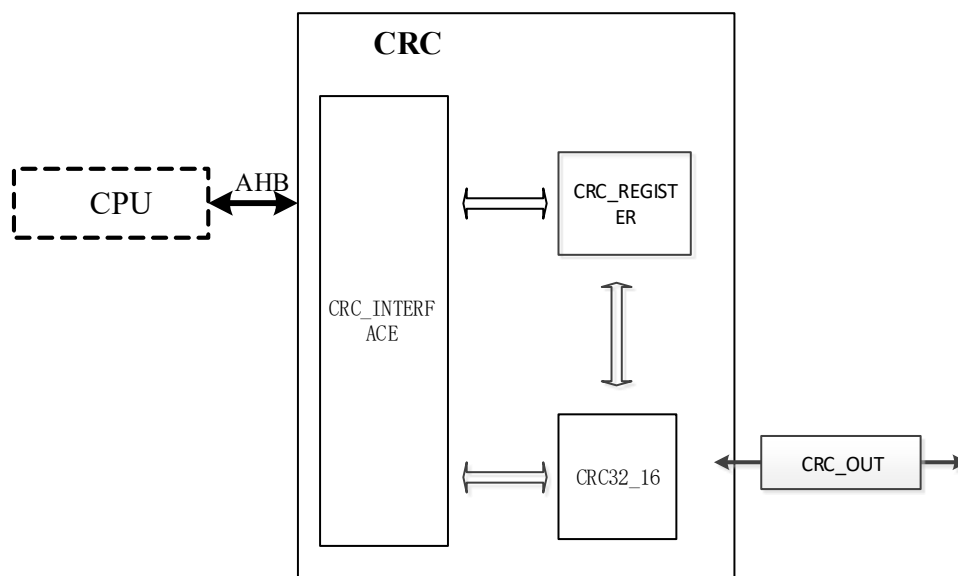
循环冗余校验（CRC）计算单元可将输入数据经过固定的生成多项式计算得到 16/32 位的 CRC 计算结果，主要用来检测或校验数据传输或者保存后的正确性与完整性。

22.2 主要特征

- （1） 处理 16 位、32 位数据
- （2） 支持 CRC16-CCITT 和 CRC32
- （3） 可编程 CRC 初始值
- （4） 32 位数据寄存器
- （5） CRC 暂停后可继续计算，即 CRC 结果不清零，可以基于之前的结果继续计算
- （6） 输入数据高低位可以翻转，以适应不同数据存放方式（字节、半字或字，大小端体系）
- （7） 输出数据翻转，即高低位颠倒

22.3 结构框图

图 112 结构框图



22.4 功能描述

22.4.1 计算方式

使用 CRC-32（以太网）多项式：0x4C11DB7

多项式公式：($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$)

CRC16-CCITT 多项式：0x1021

多项式公式：($X^{16}+X^{12}+X^5+1$)

22.4.2 计算时间

- 处理 32 位数据时，其计算时间为 4 个 AHB 时钟周期
- 处理 16 位数据时，其计算时间为 2 个 AHB 时钟周期

22.4.3 功能特性

CRC 单元含有一个 32 位读/写寄存器 CRC_DR，用来写入新数据和给出 CRC 计算结果，每写入一次新数据，其结果是上一次的计算结果和新的计算结果的组合。（对整个字进行运算）。对 CRC_DR 能够进行字或右对齐半字或右对齐字节的存取操作，而其他寄存器只能进行 32 位的存取。

可以对 16、32 位数据进行 CRC 计算，CRC32 和 CRC16 可选，CRC 初始值可配，输入输出数据可翻转。

输入数据不翻转，以字节、半字节、字为单位。输出数据可以翻转或不翻转。

22.4.4 使用说明

CRC 初始化步骤

- (1) 开启 CRC 时钟
- (2) 配置 CRC_CR 寄存器，设置 CRC32 或 CRC16、输入数据翻转形式和输出数据
- (3) 配置 CRC_INIT 寄存器，设置 CRC 初始值
- (4) 配置 CRC_DR 寄存器，设置待校验数据
- (5) 读取 CRC_DR，得到 CRC 计算结果

22.5 寄存器地址映射

表格 70 CRC 寄存器地址映射

寄存器名	描述	偏移地址
CRC_DR	数据寄存器	0x00
CRC_CR	控制寄存器	0x04
CRC_INIT	初始值寄存器	0x08

22.6 寄存器功能描述

22.6.1 数据寄存器（CRC_DR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	DATA	R/W	32 位数据（32bit Data） 作为输入寄存器：写入时存储 CRC 计算器的新数据。 作为输出寄存器：读取时返回 CRC 计算的结果。

22.6.2 控制寄存器（CRC_CR）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:4			保留
3	OUTFLIP	R/W	翻转输出数据（Output Data Reverse） 0：不翻转 1：翻转
2:1	INFLIP	R/W	翻转输入数据（Input Data Reverse） 对输入数据以不同单位进行翻转。 00：不翻转 01：以字节为单位 10：以半字为单位 11：以字为单位
0	CRCSEL	R/W	CRC 选择（CRC select） 0：32 位 1：16 位

22.6.3 初始值寄存器（CRC_INIT）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	INIT	R/W	CRC 的初始值（Initial CRC Value） CRC 的初始值是可编程的，此位用于设置 CRC 的初值。

23 除法器 (DIV)

23.1 简介

硬件除法器能自动执行有符号或者无符号的 32 位整数除法运算。移位减除法器算法是基于基本的长除法进行除法计算的过程。

23.2 主要特征

- (1) 32 位除数和被除数，输出 32 位的商和余数
- (2) 8 个 HCLK 周期完成一次除法运算
- (3) 如果除数为零，溢出状态标志位会置位，并且不会计算新数据，商和余数寄存器是上一次计算的结果
- (4) 写除数寄存器自动执行除法运算
- (5) 读商和余数寄存器时硬件自动等待运算结束

23.3 寄存器地址映射

表格 71 DIV 寄存器地址映射

寄存器名	描述	偏移地址
DIV_DVDR	被除数寄存器	0x00
DIV_DVSR	除数寄存器	0x04
DIV_QUOTR	商寄存器	0x08
DIV_RMDR	余数寄存器	0x0C
DIV_SR	状态寄存器	0x10
DIV_CR	控制寄存器	0x14

23.4 寄存器功能描述

23.4.1 被除数寄存器 (DIV_DVDR)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	DIVIDEND	R/W	被除数数据 (Dividend data) 若除法操作忙时写入，下次生效。

23.4.2 除数寄存器 (DIV_DVSR)

偏移地址: 0x04

复位值: 0x0000 0001

位/域	名称	R/W	描述
31:0	DIVISOR	R/W	除数数据 (Divisor data) 写完该寄存器后，自动触发除法运算。 若除法操作忙时，写入非 0 的除数将导致除法重新计算；若写入除数为 0，不影响除法运算继续，商和余数仍然为上次非零除数所计算的结果，同时 DIV_SR.OVFLG=1 表示此次配置除数为 0。

23.4.3 商寄存器 (DIV_QUOTR)

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	QUOTIENT	R	商数据 (Quotient data) 若除数为 0，寄存器保持上次结果。

23.4.4 余数寄存器 (DIV_RMDR)

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	REMAINDER	R/W	余数数据 (Quotient data) 若除数为 0，寄存器保持上次结果。

23.4.5 状态寄存器 (DIV_SR)

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	OVFLG	R/W1C	除零溢出状态标志 (Divide the zero overflow status flag) 在下次除法操作前由软件写 1 清除。 0：当前操作除数不为零 1：当前操作除数为零

23.4.6 控制寄存器 (DIV_CR)

偏移地址：0x14

复位值：0x0000 0001

位/域	名称	R/W	描述
31:1	保留		
0	USIGNEN	R/W	无符号除法使能 (Unsigned enable) 0：有符号除法 1：无符号除法

24 芯片电子签名

24.1 产品身份标识（UID）

唯一身份标识 UID 可以作为产品的序列号，便于追踪、资产管理和防伪；可以作为密码，结合安全单元（如安全启动、簇密钥、签名等）实现设备认证、固件完整性校验、密钥派发，软件加解密等场景应用。

96 位的产品唯一身份标识 UID 所以对任意一个微控制器，在任何情况下都是唯一的。用户在何种情况下，都只能读取，无法修改这个身份标识。

UID0 在存储空间地址为：0x00101E88

位/域	名称	R/W	描述
31:0	UID0	R	产品唯一身份标识的第[31:0]位，其值在出厂时编写。

UID1 在存储空间地址为：0x00101E8C

位/域	名称	R/W	描述
31:0	UID1	R	产品唯一身份标识的第[63:32]位，其值在出厂时编写。

UID2 在存储空间地址为：0x00101E90

位/域	名称	R/W	描述
31:0	UID2	R	产品唯一身份标识的第[95:64]位，其值在出厂时编写。

24.2 产品型号标识（PID）

产品型号标识 PID 用来唯一标识一个具体的芯片型号、版本等信息的组合，便于硬件设计、生产跟踪和固件适配。

PID 在存储空间地址为：0x00101D80

位/域	名称	R/W	描述
31:16	保留		
15:0	CHIPID	R	芯片版本：0x4402

25 栅极驱动器（Gate Driver）（仅 M3122/M3114/M3115 支持）

25.1 M3114 简介

G32M3114 内嵌一款三相中压高速栅极驱动 IC，专为桥式电路中驱动双 N 型沟道 VDMOS 功率管或者 IGBT 而设计，适合用于电池供电的直流无刷机等应用方案。它的内嵌典型死区时间为 500ns，当单片机输出信号死区时间小于内嵌死区时间时，实际死区时间为内嵌死区时间，反之，当单片机输出信号死区时间大于内嵌死区时间时，实际死区时间为单片机输出死区时间。内嵌 VCC、VBS 欠压保护功能可以防止系统在低驱动电压开启外部功率管。通过输入信号控制高侧驱动电路输出和低侧驱动电路输出。驱动内置 LDO 支持为 MCU 等控制芯片供电，该 LDO 支持 5V 电压输出。

25.2 主要特征

- 电源电压工作范围：5~20V
- 悬浮偏移电压：+200V
- 内嵌 VCC、VBS 欠压保护
- 内嵌直通防止功能
- 内嵌输入下拉电阻
- 内嵌输出下拉电阻
- 匹配高低端通道传输时间
- 高 dv/dt 噪声抑制能力
- 输入与输出同相位
- 兼容 3.3V/5V 逻辑输入
- 峰值输入电流 1.1A@15V，3.3nF 负载下降时间 60ns
- 峰值输出电流 0.9A@15V，3.3nF 负载上升时间 90ns
- LDO 负载能力 60mA @15V
- 过温保护阈值 151°C/131°C

25.3 功能描述

25.3.1 驱动器的逻辑真值

- （1） VBS 欠压只会将 HO 输出置低。
- （2） VCC 欠压会将 LO 和 HO 输出均置低。
- （3） VG 信号默认上拉为高，当外部下拉为低时关闭 LDO 输出。
- （4） 过温保护功能触发后，驱动输出以及 LDO 输出均被关闭。

表格 72 驱动器的逻辑真值

OTP	VG	VCCUV	VBSUV	LIN	HIN	LO	HO	LDO
normal	normal	normal	normal	L	H	L	H	5V
normal	normal	normal	normal	H	L	H	L	5V
normal	normal	normal	normal	L	L	L	L	5V
normal	normal	normal	normal	H	H	L	L	5V
normal	normal	normal	UV	H&L	H&L	H&L	L	5V
normal	normal	UV	normal	H&L	H&L	L	L	5V
normal	L	normal	normal	H&L	H&L	H&L	H&L	0V
OVER	normal	normal	normal	H&L	H&L	L	L	0V

25.4 M3115 简介

G32M3115 内嵌一款三相中压高速栅极驱动 IC，专为桥式电路中驱动双 N 型沟道 VDMOS 功率管或者 IGBT 而设计，适合用于电池供电的直流无刷机等应用方案。它的内嵌典型死区时间为 220ns，当单片机输出信号死区时间小于内嵌死区时间时，实际死区时间为内嵌死区时间，反之，当单片机输出信号死区时间大于内嵌死区时间时，实际死区时间为单片机输出死区时间。内嵌 VCC、VBS 欠压保护功能可以防止系统在低驱动电压开启外部功率管。通过输入信号控制高侧驱动电路输出和低侧驱动电路输出。

25.5 主要特征

- 电源电压工作范围：5.5~20V
- 悬浮偏移电压：+200V
- 内嵌最小死区时间：220ns
- 内嵌 VCC、VBS 欠压保护
- 内嵌直通防止功能
- 内嵌输入下拉电阻
- 内嵌输出下拉电阻
- 匹配高低端通道传输时间
- 高 dv/dt 噪声抑制能力
- 输入与输出同相位
- 兼容 3.3V/5V 逻辑输入
- 峰值输出拉电流 2.0A@15V，3.3nF 负载下降时间 20ns
- 峰值输出灌电流 2.7A@15V，3.3nF 负载上升时间 35ns

25.6 功能描述

25.6.1 驱动器的逻辑真值

表格 73 驱动器的逻辑真值

VCCUV	VBSUV	LIN	HIN	LO	HO
normal	normal	L	H	L	H
normal	normal	H	L	H	L
normal	normal	L	L	L	L
normal	normal	H	H	L	L
under vccuv	normal	L	H	L	L
under vccuv	normal	H	L	L	L
under vccuv	normal	L	L	L	L
under vccuv	normal	H	H	L	L
normal	under vbsuv	L	H	L	L
normal	under vbsuv	H	L	H	L
normal	under vbsuv	L	L	L	L
normal	under vbsuv	H	H	L	L

25.7 M3122 简介

G32M3122 内嵌一款用于驱动 P/NMOS 功率管的三相 40V 栅极驱动集成电路，适用于低压风机和水泵等直流无刷电机应用。该芯片集成了 5V LDO，具有 60mA 的载流能力，可为内部逻辑电路和外部 MCU 提供电源。G32M3122 内置多种保护功能，包括欠压保护、输入直通保护和启动保护，并设有 300ns 的死区时间，以有效确保系统的正常运行。同时，它提供 11V 的输出驱动电压，具备优秀的灌漏电流能力，可以有效驱动外部的 P/NMOS 功率管。

25.8 主要特征

- P/NMOS 功率管的三相栅极驱动器
- 电源电压推荐范围：5.5V~30V
- 内置 5V/60mA LDO
- HO 输出电流+260mA/-80mA@ $V_{sup}=24V$
- LO 输出电流+50mA/-240mA@ $V_{sup}=24V$
- 低待机功耗
- 3.3V/5V 输入逻辑兼容
- LDO 重载启动保护
- 内置电源欠压保护 UVLO
- 内置直通防止功能

- 内置 300ns 死区时间
- 高低侧通道匹配

25.9 功能描述

25.9.1 驱动器的逻辑真值

表格 74 驱动器的逻辑真值

LIN	HIN	LO	HO
0	0	OFF	OFF
0	1	OFF	ON
1	0	ON	OFF
1	1	OFF	OFF
悬空	悬空	OFF	OFF

注意:

- (1) 1: 逻辑高电平, 0: 逻辑低电平
- (2) ON: $V_{HO}=V_{SUP1}-11V$, $V_{LO}=11V$ OFF: $V_{HO}=V_{SUP1}$, $V_{LO}=0V$ 。
- (3) 建议输入口保持强输入状态, 避免出现高阻、悬空等不定态。

26 版本历史

表格 75 文件版本历史

日期	版本	变更历史
2025.9	1.0	初始版本
2026.5	1.1	增加合封型号信息
2026.5	1.2	修改 FMC_SR 的 bit6:4 描述
2026.7	1.3	- 修改 USART_CR1 寄存器 - 修改 M3115 的悬浮偏移电压

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合

同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标

准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2026 珠海极海半导体有限公司 – 保留所有权利